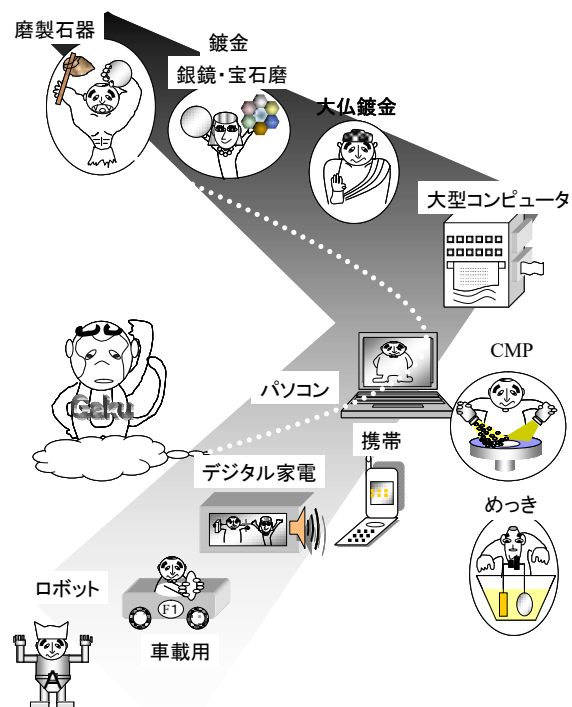


図解

半導体ウェットプロセス最前線

—めっき・CMP・洗浄、そしてデバイスへの応用—



精密・電子カンパニーは1985年のCorporation Project
として発足し、その後事業部、カンパニーへと昇格し、
今日に至っております。
今年2025年の40周年記念を祝して拙著をお世話
になった皆様にお届けします。
お役に立てれば幸いです。

2025年5月1日 (株)荏原製作所 フェロー 辻村学



「これらの著作物の著作権は著者に帰属します。
ファイルのダウンロードは自由ですが、
著作権内容の転載は著者の許可が必要です。」

はじめに

「辻村君、これおもしろいよ。学生用だけでなく、是非出版しようよ」とある方からに言われたのがきっかけです。

‘おもしろい’と言われた本は、私が過去20年余経験してきたことを学生向けに書いた教科書のことでした。私は1985年に半導体の世界に入り、以来半導体製造装置やコンポーネントの開発人筋に歩んできています。2002年に首都大学東京の太田教授のご指導により学位を取得できました。そうすると1997以来CMPと一緒に研究してきた米国クラークソン大学のバブ教授から、客員教授の話が舞い込みました。そうこうするうちに首都大学でも客員を、韓国の漢陽大学のバク教授からも客員の話を読み、現在日米韓3カ国で半導体製造装置について、Wet Revolution(湿式革命)と称して教鞭を取っています。この教科書はその客員講義から生まれました。

私が32年勤めています(株)荏原製作所でも、開発を実施もしくは指導してきました。本書はその経験から、研磨やめっきなどの半導体デバイス製造プロセス用のウェットプロセスを扱った総合解説書であると同時に、開発の手引書として書かれたものと思って下さい。読者の対象は、大学でこれらのプロセス又は装置を研究している人へのチュートリアル的なものと、すでに企業で専門的に開発を進めている人への先端的なことの両方を含んでいます。それを読者は読み分けて戴きたいと思います。

科学(Science)と技術(Technology)は「**99%の模倣と1%のSomething New**」で進化してきたと信じています。単なる模倣は卑しいものとされますが、先人の苦勞の上に進化(Evolution)、革新(Innovation)そして革命(Revolution)があるのであれば、先ずは素直に模倣から入るのも良いと考えます。模倣を終えたらエンジニアの誇りに賭けて新しい技術を世に生み出しましょう。本書も99%は先人の苦勞の焼き直しではありますが、1%のSomething Newを紹介できたと信じています。読み終えた方は是非その評価点をお知らせ戴きたくお願い申し上げます。今までに、私から酷評を受けた当社のエンジニアや、学生からの恨みの評価点では困りますが(笑)。

この本を作成するに当り、貴重な資料を提出して下さい(株)東芝の柴田英毅様、小寺雅子様には大変感謝しております。また、2002年に学位を指導して下さい首都大学の太田教授、客員教授に初めて任命して下さいクラークソン大学のバブ教授、そして日韓の架け橋となり日韓のインターンシップを実現して下さい漢陽大学のバク教授には、今後とも学生教育にお力をお貸し戴きたく御願い申し上げます。私の夢は5カ国で客員教授をこなし、めでたく(株)荏原製作所を定年退職しましたら、私の(少ないながらの退職金で)ファンドを設立し、年に1回学生を日本に呼び「Wet Revolution(革命)のEvolution(進化)」と題した大会を開催することです。その夢にもご協力下さい。(ずうずうしいようですが・・・)

そうそう、この本がここまで‘おもしろく’(と私も思っていますが)完成したのは、実は学生のおかげです。クラークソン大学の学生はいろいろな疑問をぶつけてくれます。それが全て開発のネタであり、本書のネタになりました。毎年1～2ヶ月(3～4名)でインターンシップに来てくれている漢陽大学の学生は、本当に熱心でこちらが勉強させられました。首都大学東京の学生には、本書にある「Bell Best Project」のロールプレイなどの実験にも参画戴きました。こうして本書は私が企業で学んだことを、学生に教え、学生に教えられて完成しました。

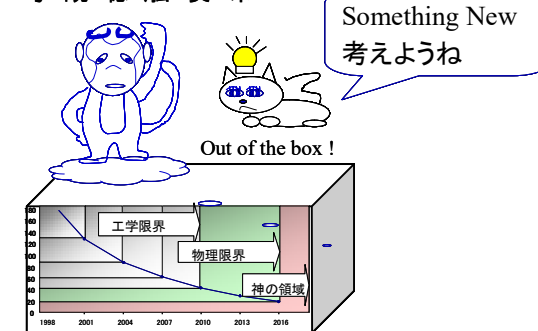
もちろん当社のエンジニアには日夜お世話になっていますので、感謝すべきは当然ですが、このような私にお付き合い戴いたセット・デバイスメーカーの方々、材料メーカーの皆様、投資家アナリストの皆様・・・と言いついたらきりがないほどお世話になり本書ができました。

そして本書の生みの親である、土肥先生と出版にご尽力戴いた工業調査会の方々に厚く御礼申し上げます。

あっ！いけない。一番迷惑をかけて、お世話になった我が愛妻‘久美子’(本書にも出てきます)にも・・・

2007年9月

考・観・聴・触・嗅・味



— 目次 —

はじめに

第 I 編 平坦化祝歌 Planarization Carol

- ・ 温故知新
 - 世界最古の技術:めっきと研磨
 - クラークソンからこんにちは
- ・ 平坦化祝歌
 - Planarization Carol
 - 精霊現わる
 - 現在・過去・未来
 - CMP は永遠に
- ・ Bell Best Project
 - プロジェクト 'X' ?
 - いよいよ鉄腕アトム?
 - 弱肉強食フードチェーン
 - プロジェクトは進む
 - ロードマップを作ろう
 - TEGってなあに?
 - デバイスを知ろう
 - Bell Boy完成!

◇初めてのディナートーク(Dinner Talk)

第 II 編 ウェット成膜プロセス:めっき

- ・ 半導体製造プロセスでめっきが?
 - パケツから半導体めっきまで
 - 旧3Kから新3Kへ
 - いろいろなめっき装置
 - 4つのアプリ
 - 6つのサブシステム
 - ファラデー則から始めよう
 - 3つの秘薬
 - 半導体プロセスが要求するめっき性能
 - 洗浄と汚染制御

- ・ 実際の適用例
 - 微細でピンチオフ孔に埋め込み?
 - たったの60ccのバス(浴)?
 - ここでも有限要素法
 - ターミナル効果低減は含浸材が有効
 - ハリネズミプロセス
 - 高融点メタルキャップめっき
 - バンプめっき

◇MANABU 流パワーポイントペイント派

第 III 編 ウェット削膜プロセス:研磨

- ・ 半導体製造プロセスで研磨が?
 - 石(石器)から石(デバイス)まで
 - ドライイン・ドライアウト登場
 - CMPは麻薬だ?!
 - プレ斯顿から始めよう
 - これが研磨だ!
 - あれっ!プレ斯顿に逆らうの?
 - 研磨の極意を授けよう
 - 永遠の課題:パタン依存性
 - デバイスのどこに使うの?
 - 研磨部・洗浄部
 - モニタ部
 - ロープロセスタイム
 - スラリ再生・排液処理

- ・ 実際の適用例
 - 層間絶縁膜から始めよう
 - 均一性にはプロファイルコントロール
 - 後ろから・端から・ぐるぐる廻して
 - ドレス・流量そして振動
 - これがILDスペックだ
 - STI CMP
 - いろいろなSTI攻略法
 - タングステンCMP

- Cu残りも下層のWから？
- 銅配線CMP
- 平坦化統一論
- 低く・低く・そんなに低く？
- それなら解析で実証
- いろいろな加工方法
- CMP／ECMP／ECP／CE:何ですかこれ？
- (特殊)平坦化統一論から
- (一般化)平坦化統一論

- ・ 特殊な開発例
 - ナノポラフィ―:STIの歩留まり悪化！
 - うねりに倣わない研磨なんて！
 - ロールオフ:エッジが垂れる
 - エッジ1mmを目指して
 - キロからナノまでFEM
 - ダマシン強度を確認しよう

◇Who's Law?

第 IV 編 ウェット表面改質プロセス:洗浄・乾燥

- ・ 半導体プロセス用洗浄
 - 洗浄は戦場？
 - 何をどうやってきれいにするの？
- ・ 実際の適用例
 - きれいな洗浄はきれいな装置から
 - 環境をクリーン化しよう
 - 望まれる非接触洗浄
 - 荒くれ馬を乗りこなせ
- ・ 半導体の乾燥
 - 乾きにくい下地にはIPA
 - すごい！疎水膜でも簡単に！

◇Manabu's Law?

第 V 編 ウェットプロセス応用:多層配線

- ・ これが全てだ多層問題
 - 超高層ビルと多層問題
 - ローケーチーズ？ Low-k 材
 - チーズを温めて:キュア
 - 掘って掘ってまた掘って:エッチング
 - めっきと CMP も問題が
 - 漏電が！安心して住めない:信頼性
- ・ セブン シーズ
 - 7つの課題と7つの解法
 - 1'st See ダイレクト CMP
 - 2'nd See: CMP の低圧化要求:mC2 とは？
 - 3'rd See: ルテニウムバリアアプリケーション
 - 4'th See: ウォータマーク無し要求
 - 5'th See: ½ CD ゴミサイズ
 - 6'th See: メタルキャップ
 - 7'th See: エッジエクスクルージョン

- ・ スタンバイME
 - Stand-By-ME
 - 有限要素法はオールマイティ
 - めっきとCMPにFEMを応用しよう
 - 振動から材料・流体・磁気応用まで幅広く

- ・ パラダイムシフト 45
 - パラダイムシフト45
 - 45nm 微細化の終焉、その時何が・・・
 - 45μm 3D 実装、その時何が・・・
 - 45cm 大口径化、その時何が・・・そしてパラダイス

◇‘パラダイムシフト’から‘パラダイスシフト’へ

第 I 編

平坦化祝歌

Planarization Carol

世界最古の技術:めっきと研磨

温故知新(ふるきをたづねてあたらしきをしる:論語)

これほど半導体デバイス製造用のめっきと研磨に当てはまる言葉は無い。
磨製石器に用いられた研磨や奈良の大仏に用いられためっき技術が、今最先端の半導体デバイス製造に無くてはならない技術になっている。実際その基本原理は全く当時と変わらない。ただその研磨やめっきする相手が「ナノサイズ」になっただけだ。本書はそんな古くて新しい技術を紹介するものである。

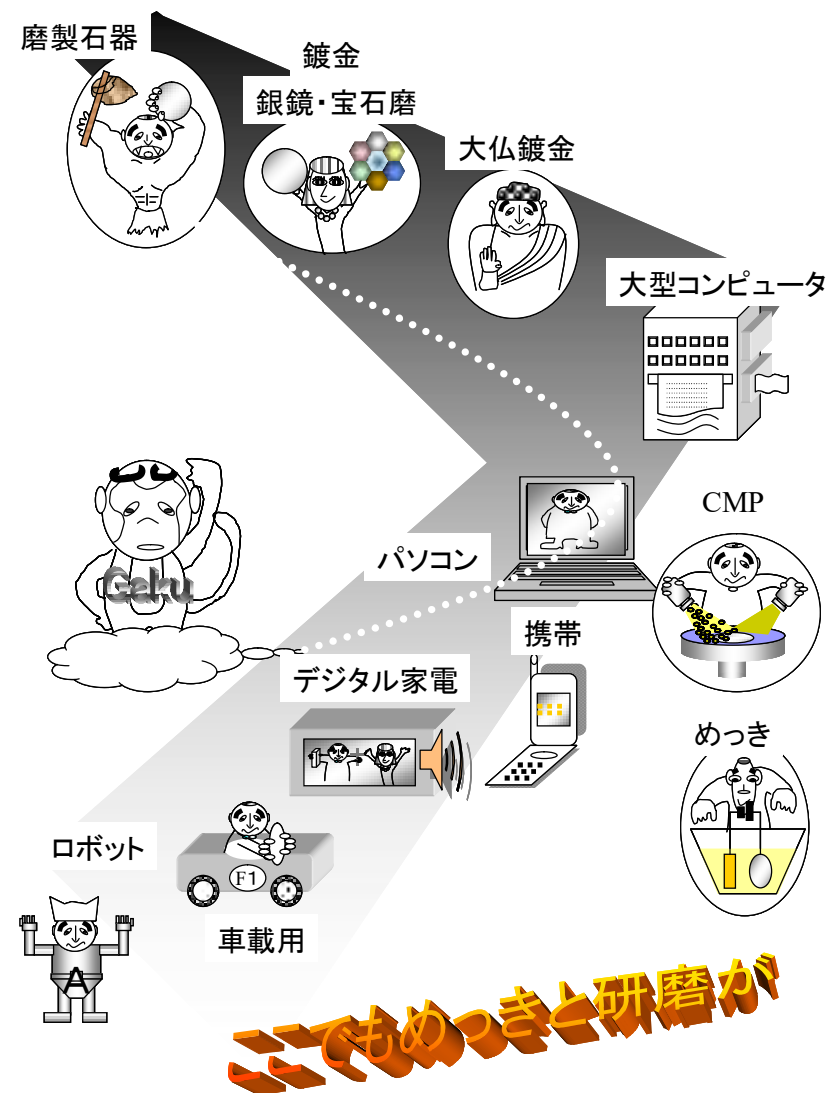
めっきと研磨が半導体に？

1980年代 IBM がとんでも無い技術を使い出した。半導体デバイスでは忌み嫌われる銅を、しかも汚い・きつい・経験依存のいわゆる3K 代表のめっきと研磨を使ってだ！ 現在はこのめっきと研磨が無ければ最先端のデバイスは作れない。当時誰がこんな状況を想像できただろう？ 白状しよう。私は1987年にめっきを、1989年に研磨を始めたが、まったく信用していなかった。それが、時が経つにつれ「あれっ？ この技術はもしかしたら・・・」と思うようになったのだが、何故か？ 本書を読むうちにその理由も明らかになるだろうが、一言で言うと「とにかく研磨の場合、平坦化性能が抜群なのだ」。当時のデバイスエンジニアは「研磨は麻薬のようだ。一度使ったら離れられない」と物騒なことを言っていたのを覚えている。めっきの場合は研磨の後に出てきたのだが、これも「毒(研磨)食わば皿(めっき)まで」とこれもかなり物騒な発言だ。

ということで、とにかく性能が良ければ使ってしまうという大胆な半導体エンジニアのおかげで今日のめっきと研磨がある。

大学と学会が支えるめっきと研磨

ということで最先端の半導体に古いめっきと研磨の技術が採用されることになったのだが、古いということはそれだけ成熟した分野であるということだ。前述の3K 技術と言えども、実は伝統ある大学や企業によって支えられた技術があった。それらを踏まえ、如何にしてめっきと研磨がハイテク技術になってきたかを紹介したい。



クラークソンからこんにちは

クラークソン大学から

成田から米国ニューヨークの JFK 国際航空まで飛行機で12時間。米国国内線に乗り換え、パーリントン空港まで90分。さらに LIMO(車です)で4時間かけて、やっとポツダム(Potsdam)に到着。ここに目的地クラークソン大学がある。ポツダムは人口約13,000人でほとんどが大学関係という、いわゆる大学町である。

私は2002年にクラークソン大学に客員教授として招聘されて以来今日まで、年に1度、夏休み時期に1週間だけ講義(もしくは研究・学会)目的で同大学を訪問している。何故、こんな僻地(失礼!)に毎年通うことになったのか? それはクラークソン大学が研磨(CMP)研究の中心だからだ。

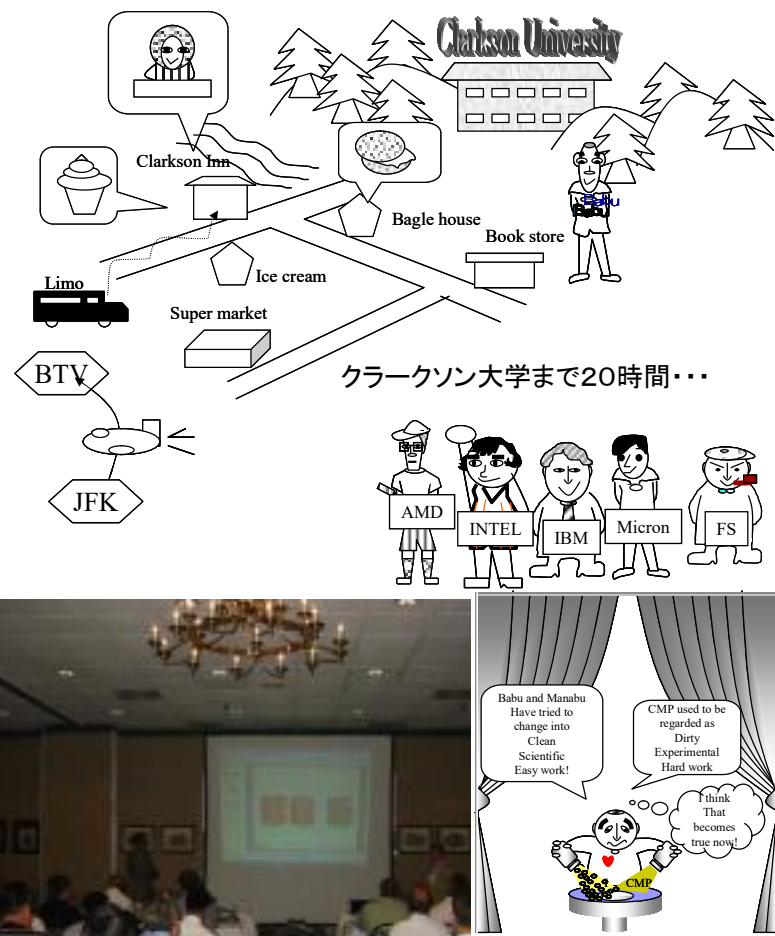
クラークソン大学は約100年の歴史を持ち、ナノパーティクルでは古くから実績のある大学であり、そのナノパーティクル応用として研磨を研究し始めた。旧副学長で現在の特別教授である S.V.Babu 教授はこの CMP 研究一筋に従事しており、現在教授の教え子が Intel・IBM・Micron など主要デバイスメーカで CMP を育ててきたと言っても過言では無いと思う。正に CMP に関与する会議上で「石を投げればクラークソン同窓生に当たる」と言われているほどだ。

Lake Placid CAMP からの報告

そのクラークソン大学が CMP の国際会議を毎年開催している。2007年、今年も第12回 CAMP 会議が米国 Lake Placid で開催された。世界中から CMP に関するエンジニア・科学者が一同に会し、半導体デバイス平坦化技術の最先端話題を3日間議論する場だ。

本書はそのクラークソン大学での客員講義及び CAMP での発表内容をまとめたものだ。従って、内容は学生向けから最先端のデバイスエンジニアまで幅広い。時には CAMP で行った Dinner Talk(ご家族向け)などの内容も加わり收拾が付かないほどだが、読者はそれはそれで楽しんで欲しい。(筆者の言い訳)

ということでクラークソン大学と CAMP に関して、少々私の個人的経験の一部を話したが、本論に入る前に、2つの創作話を紹介したい。この創作話にはめっきと研磨及び半導体業界のエッセンスが組み込まれているので、良く読んで欲しい。技術の詳細はその後で理解しよう。



CAMP風景

Planarization Carol

先ず最初の創作話は、「平坦化祝歌(プラナリゼーションキャロル)」。私はディケンズのクリスマスキャロルの大ファンなので、内容が似通っていても勘弁。

CMP 絶好調！？

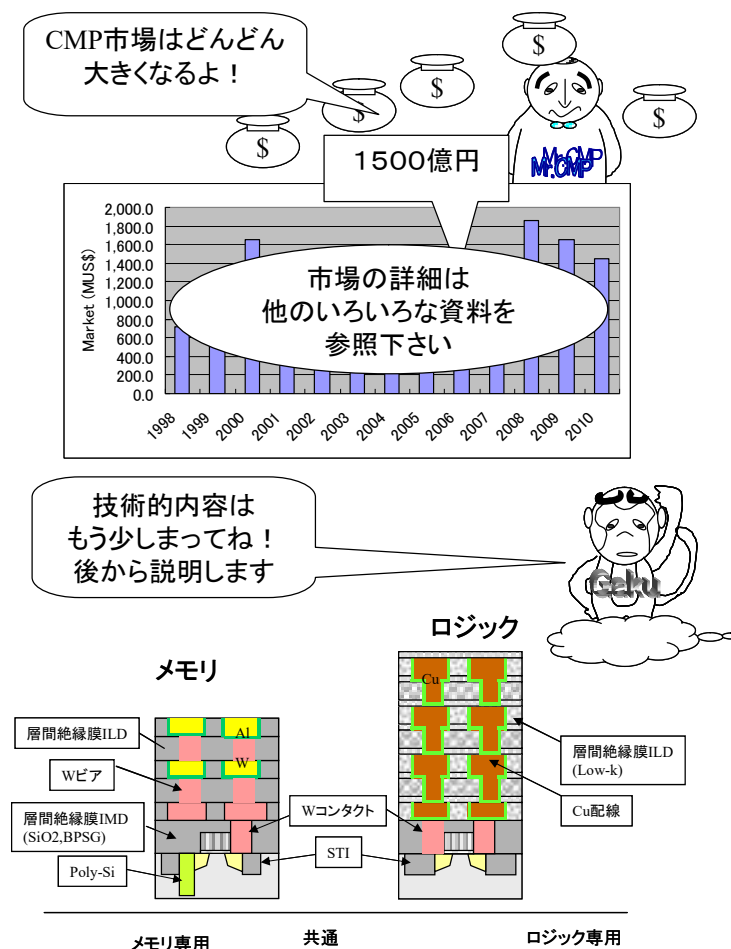
前述したが温故知新、これほど開発の基本を示した諺を他には探せはしない。紀元前700年も昔から知られているめっき技術と磨製石器にも用いられた研磨が合体して、21世紀に半導体製造技術の革命を起こした。それがダマシンプロセスだ。研磨は1980年代初めにIBMで層間絶縁膜の平坦化技術として考案された。その際にIBMは単なる研磨(Polisher)と言わずにCMP(Chemical Mechanical Polishing)と言い換えた。このキャッチコピーが、実は開発には重要なのだと気がついている人はどれだけいるだろうか？ 単なる研磨のままだと古いイメージから逃れられないが、これをCMPというとか半導体用に新規に開発ができそうな気になってくるから不思議だ。先人の財産を見直し、それを新しく変えて行く、これが温故知新・開発の根本であるとCMPに教えられた。

2006年のCMPの世界市場は約1400M\$ (約1600億円)。また、今後CMPの適用箇所は増え続け、同時に市場も約束されている。CMPの担当者は笑いが止まらない？ 因みに最新の CMP 用途をロジックとメモリに分けて示した。層間絶縁膜に始まり、タングステンコンタクトやビア、STI(Shallow Trench Isolation)、Cu 配線などなど。

でも、大丈夫？ 半導体製造業は栄枯盛衰の歴史、いつ何時何がおこるか？

MRS 学会に参加して

そんな時、ある体験をしたので紹介したい。2007年4月に開催されたMRS国際学会のCMP部門に招待され、サンフランシスコに出張した。これはその学会で経験した不思議な話。貴方(女)は私を信じますか？



CMPアプリケーション例

精霊現わる

3人の精霊

MRSIに来るのは久しぶりだ。MRSIは1998年にクラークソン大学のバブ教授とCMP部門のCo-Chairをやって以来いろいろ招待講演をしたが、ここ数年はCMP部門は開催されていなかった。今年は3日間開催できるほど盛況だ。でも、私はここ数年疲れ気味のこともあり、学会でもすぐに眠ってしまう。「ああ、また学生の発表か」と生意気なことを思うこともしばしば。今日も聞いているつもりが、いつのまにか眠気が...

老齡紳士現わる

突然廻りが真っ暗に？

どこかで見たことのある老齡紳士が私に話しかけてきた。

老齡紳士：「Manabuさん、貴方は今CMPで絶好調のようですが、明日から3日間PM11:00に尋ねてくる精霊たちの言うことを良く聞いてゆめゆめ疑わず、しっかり考えて下さい」

私はこの方をどこかで見たことがある人だなあ、と思いながら、その日は時差での疲れもあり寝てしまった。

さてその次の日から...

挿話)どこかで聞いたことがある話だな、などと思わないで下さい。

でも、確かに私はディケンズの大ファンで、飛行機の中でクリスマスキャロルを読んでいたのですその影響はあるかも。

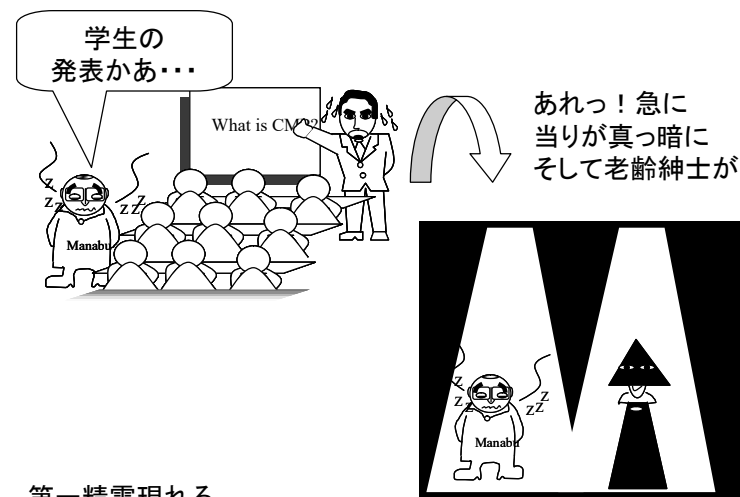
第一の精霊(過去)

最初の日のPM11:00に、確かに精霊が現れた。なんだか原始人のようだ。

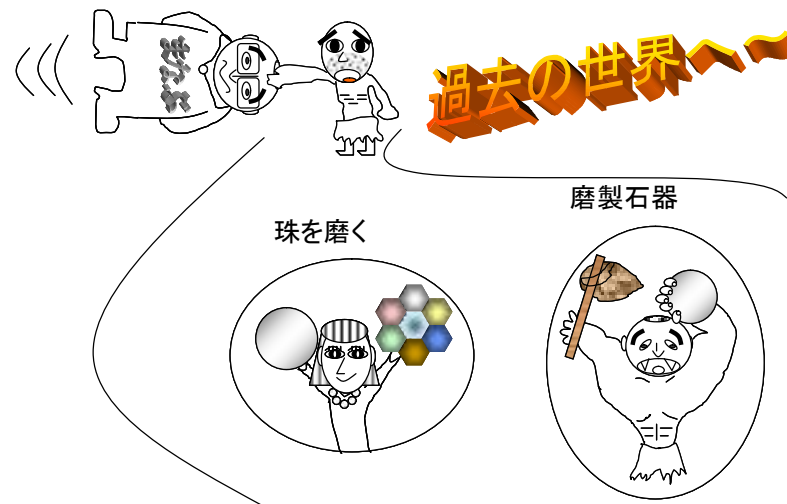
「Mana~bu、おまえを過去に連れていくぞ」

と言うや否や乱暴な精霊は、私の頭を掴んで過去に引き釣り込むと、あっという間に紀元前の世界へ。そこでは、紀元前の先人達が石を使って石を磨いていた。男性は苦労しながら磨製石器を作り、女性は石を磨いて珠を作っていた。

精霊：「Mana~bu、研磨はこうして神代の時代から先人が苦労して伝えてきた技術なんだ。決しておまえだけで創り出したものではない。温故知新、先人の技術を忘れるな！」



第一精霊現れる



現在・過去・未来

第二の精霊(現在)

次の日、また新しい精霊が現れた。今度は嫌に現代的な精霊だ。

精霊：「Manabuさん、昨日の‘過去の精霊’はどうでした。私は‘現代の精霊’です。正に今どのようにCMPが使われているかを見て見ましょう」と言うや否や、廻りがいきなり真っ暗に。

私：「ここはどこ？」

良く見ると、廻りにはバクテリアや細菌がうようよ。さらにあらゆる有機物・メタルと書かれた汚い服を着ている人が右往左往している。

精霊：「ここは現代の研磨が磨いている‘石(デバイス)’の中ですよ。貴方がたはCMPが既に完成した技術とうぬぼれているかも知れませんが実際は腐食・傷・剥がれ・ボイドと問題だらけ。現代の‘物言う石’は嘆いています。早く助けて！と」

第三の精霊(未来)

そして最後の日、最後の精霊が現れた。黒いマントを頬かむり、ただただ黙って立っている。

私：「精霊さん、今日はどんなものを見せてくださるのですか？ 私は最初の日に、神代の昔からご苦労されている研磨の神様に会いました。昨日は、半導体最先端で虐待されている‘物言う石たち’に会いました。今日はどんなものを・・・」

マントの精霊は黙って指を指した。その先にはCMP国際学会で、汗を書きながら、必死に最新技術を説明している若いエンジニア・科学者の真摯な姿があった。

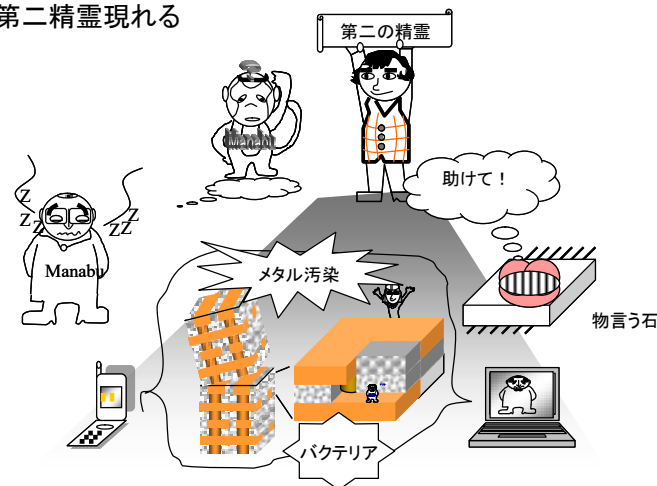
精霊：「Manabuさん、先人の苦労、そしてその時々々の若い研磨屋の努力があって今日のCMPの繁栄があります。日本でも1994年以来、プラナリゼーションCMP委員会が頑張っています。彼らは今‘意思’を磨いているのです。幸いCMPの用途は層間絶縁膜に始まり、タングステン、Poly-Si、STI、Cuダマシンなどに広がり、果てはメタルダマシングートなど新材料研磨を含めその勢いは止まりません。ですが、科学の無いところに発展はありません。是非、是非、CMPの関係者皆様には、この繁栄に奢ることなく更なる努力を重ねるようを磨き続けて下さい」

と言うや否やマントを脱いだその姿は、最初の日に現れた老齢紳士でした。

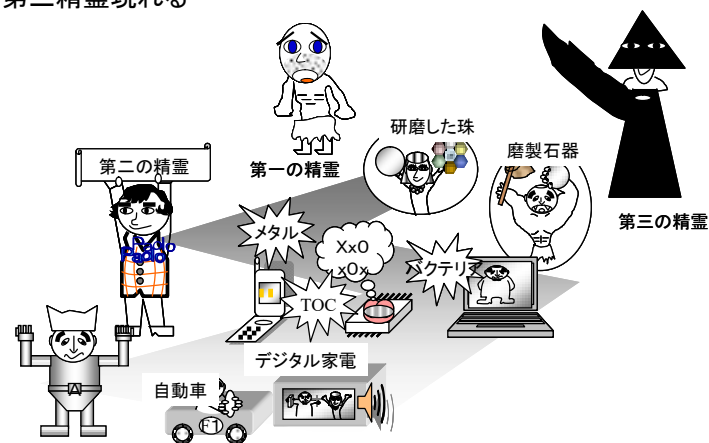
私：「あっ、貴方は・・・」

そう。その人こそCMP屋なら誰でも知っている Babu 博士だった。

第二精霊現れる



第三精霊現れる



CMP は永遠に

Babu と共に

バブに言われて初めて眼が覚めた。

考えて見れば半導体は栄枯盛衰の連続だ。

CMP だってこのままであるはずが無い。

実際に世の中はパラダイムが大きく変化している。^{注)}

CMP だって、めっきだって過去のパラダイムを塗り替えてきた技術だ。その裏では泣いて消えていった技術があったはず。

ならばめっきや CMP だって・・・

注) パラダイムシフト45とは筆者が2005年に発した「45nm 以降の微細化・45 μ m 以下の薄膜化・45cmの大口径化に対して、従来のパラダイムが大きく変化する」という警鐘である。後述する。

CMP は永遠に

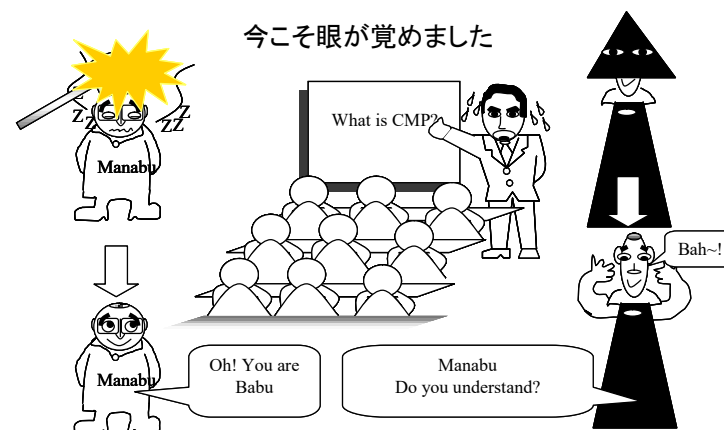
これは私が出張先で見た夢だ。この夢の真意はともかく、今確かにCMPはその日の出の勢いを止められない。が、かつての革命技術は繰り返し言うが栄枯盛衰の歴史でもある。我々CMP屋は今日の繁栄に奢ることなく、更なるCMPの発展のために努力して行くべきだろう。かつてCMPのPはPolisherだった。1998年のMRS以来、私とBabu教授で相談して、CMPのPはPlanarizationに換えた。研磨ばかりが平坦化技術では無いからだ。

平坦化にはまだまだやるべきことが残っている。それを CAMP の学会などで若きエンジニアが技術を支えている。今こそ目が覚めた。10年後、20年後にもCMPが栄えているよう、今を奢らず精進することを誓おう。

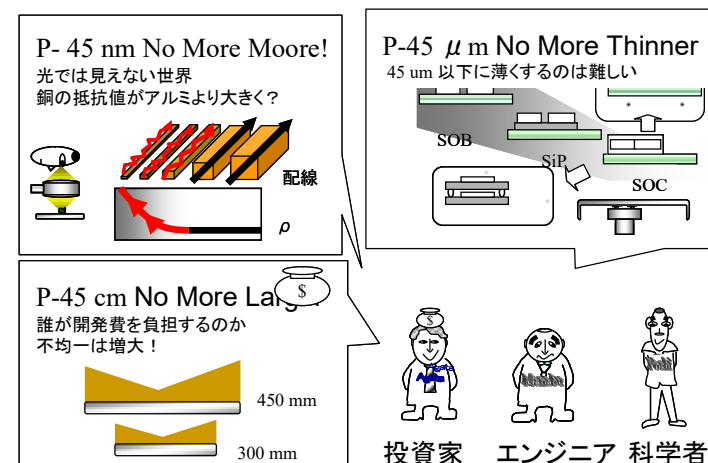
CMPは永遠に不滅だ！

これはめっき及び CMP の歴史と現状を物語的にまとめた第一の創作話だが、学生には受けが良い。読者の皆様にはどうか？

次は、もう少し進んだ、半導体業界全体を俯瞰できる第二の創作話に移りたい。



パラダイムが変化して！



プロジェクト‘X’?

ここでは仮想のセットメーカー・デバイスメーカー・装置メーカーによるロボット開発プロジェクトを紹介しながら「セットとは?・デバイスとは?・装置とは?・半導体業界とは?」を掴めるよう心がけた。個別技術詳細は後の章に譲り、ここでは全体イメージを掴んでもらいたい。

Bell Project 発進!

まず本ストーリーのキャストから紹介しよう。

- ・ロボット会社Sunny社CEOのDr. Manabu (とっても頑固で自分勝手)
- ・デバイス会社TBS社の部長 Ms. Kumiko (とっても有能で美人)
- ・装置会社BER社の部長 Mr. Babu (ものわकारいの良いエンジニア)

物語はある日の午後、Sunny社の事務所で始まる。

Sunny社CEOのDr. Manabuがアトムみたいなロボットを作りたいと思ったことがきっかけで、ロボット開発プロジェクトが始まる。さあ何が起こるのだろうか?

各シーンは以下の通り:

- ・ シーン1 ロボットを作りたい (I want Atom!)
- ・ シーン2 フードチェーン (Food Chain)
- ・ シーン3 ベルベストプロジェクト (Bell Best project)
- ・ シーン4 コンセプトファースト (Concept first)
- ・ シーン5 ロードマップ (Roadmap)
- ・ シーン6 ベルデバイス開発 (めっきと研磨)
- ・ シーン7 装置発注 (Order !)
- ・ シーン8 こうしてロボットが (Bell Boy!)

それでは飽きずに読まれることを希望し、始めよう。



有能で美人



Sunny社:
ロボット会社
Dr. Manabu

頑固者

TBS社:
デバイス会社
Ms. Kumiko



BER社:
装置会社
Mr. Babu



優秀なエンジニア

いよいよ鉄腕アトム？

シーン 1 ロボットを作りたい (I want Atom!)

ここは Sunny 社の CEO 室。Sunny社のワンマンCEOManabu 氏はいつも未来のことを考えている。今日は読書中。‘鉄腕アトム’を読んでいるようだ。

Manabu:

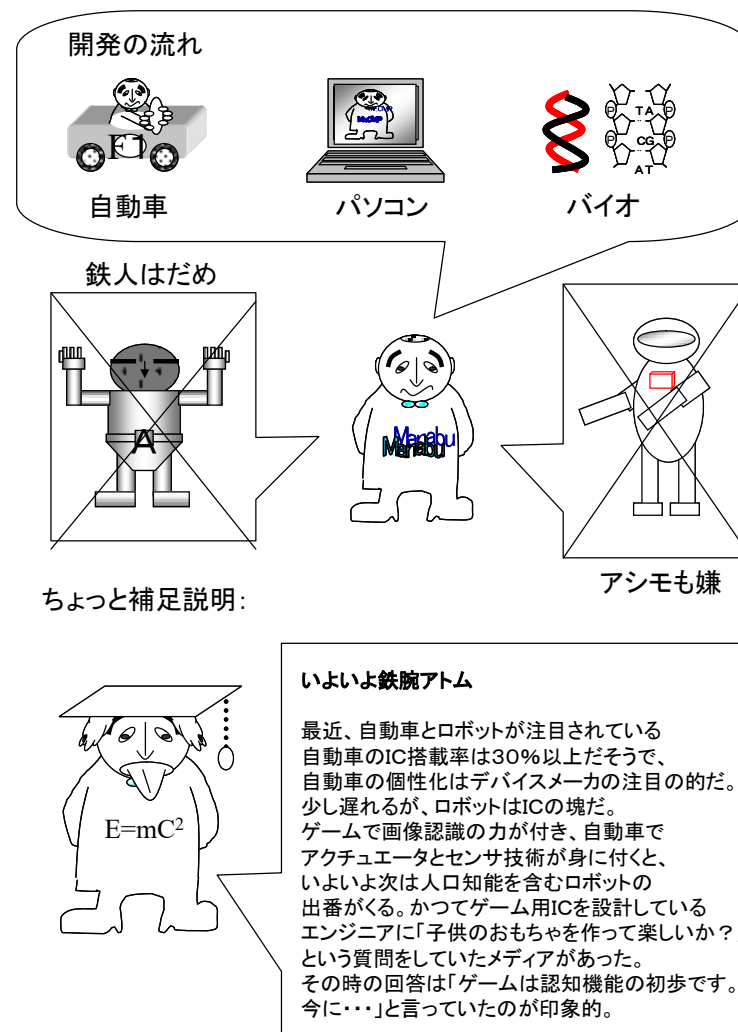
「技術革新はかつて車から半導体、そしてバイオに移ってきた。次は何だ！？
そうだ、ロボットだ！ でもアシモや鉄人のような‘キカイ・キカイした’ロボットじゃあなくて、アトムのような人間に限りなく近いものを作りたいなあ。このような開発では半導体デバイスの開発が絶対に必要だ。よし、私のような賢い未来のロボットを作るプロジェクトを発足だ！」
と話はとんでもない方向に進みそうな予感が……。
ちょっとここでポスト半導体について補足説明を

ポスト半導体は何だろう？

半導体業界は今まで成熟産業からの借り物技術で発展して来た。さあ、いよいよ半導体が新規分野にその技術を貸す番だ。その舞台は？

そう、MEMS とかナノテクとかバイオと言われる分野が最有力候補だ。科学技術に対する日本の取り組みは、経済産業省が発表する予算で想像がつく。だいたいエネルギーと環境は国策としてダントツだが、この他にここ数年IT(情報)／BT(バイオ)／NT(ナノテク)分野の予算を大幅にあげてきている。つまり、Long Term R&D としては、IT(情報)＝半導体分野で培った技術をBT(バイオ)やNT(ナノテク)分野に活かす努力をすべきだろう。

半導体で培った技術とは？ マイクロ加工技術・ナノ加工技術・装置技術全般・プロセス技術などなどいろいろだが、これらを新規分野に如何に活かすかが重要だ。短期的に見ればデジタル家電、中期的に見れば車載、長期的に見ればバイオ・ナノテク・ロボットさらにその応用と半導体の未来は益々明るい。半導体は不滅だ！



弱肉強食フードチェーン

シーン 2 フードチェーン (Food Chain)

話は続く。Manabu社長はすぐに秘書を呼び出した。

Manabu:

「デバイス開発なら TBS 社に頼もう。 すぐ Ms.Kumiko に電話しなさい。彼女なら素晴らしいSoC(System On Chip)を作ってくれるはず。
プロセス装置なら BER 社だ。 すぐ Mr.Babu に電話しなさい。彼なら何でもすぐ持ってきてくれるはず。」

ということで秘書さんはててこ舞いだ。何がなんだかかわからないうちにFood chainの上流から下流に連絡が跳んで来た。

注) SunnyはSony、TBSは東芝、BERは荏原ではないので、勘違いの無いようにお願いします。

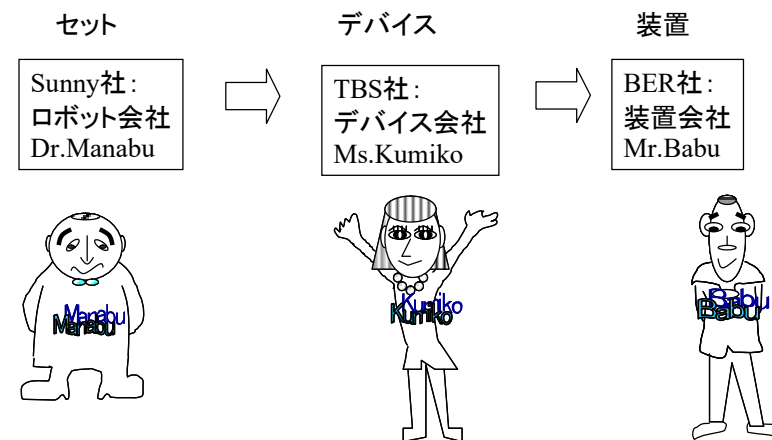
半導体 Food chain(Supply Chain)はセッター>デバイス>装置・材料となっている。かつて私はITPCという半導体デバイスVIPの集まりで、これを弱肉強食という意味でフードチェーン(Food chain)と揶揄したことがある。これは私の造語であるのだが、今ではこの Food chain という用語も認知されたようだ。

半導体業界市場イメージ

セッター業界を100%とすると、デバイスは約20%(これは半導体のセッターに対する搭載比率と見て良い)。装置は2%に過ぎない(これはデバイス業界の投資額10%に相当する)。そして「風邪が吹けば桶屋が儲かる」では無いが、セッター市場が2%変動すると、デバイス市場は20%、そして装置産業は100%の変動幅がある。これをもって Bull Whip(牛のしっぽ)業界と呼ぶ人もいる。

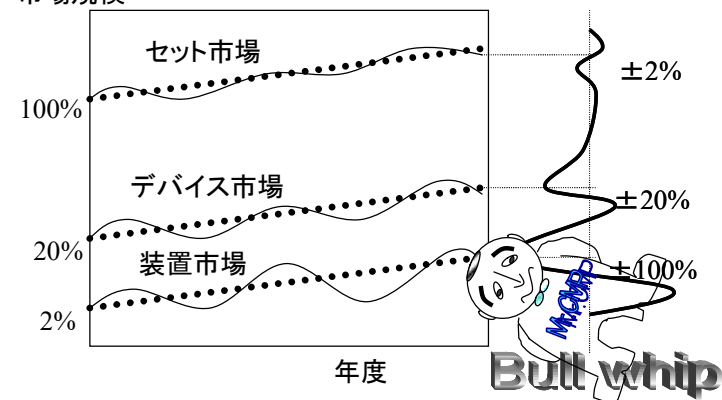
とにかく大変な業界であることは確かだ。

フードチェーン (Food Chain)



マーケットイメージ: 風邪が拭けば桶屋が...

市場規模



プロジェクトは進む

シーン 3 ベルベストプロジェクト (Bell Best Project)

Manabuの鶴の一声で(豚の咆哮とも?)全員集合。会議風景を覗いて見よう。

Manabu:プロジェクトには名前が重要だ。まずはデバイスから命名しよう。

‘Cell’はどうだ?

Kumiko: ちょっと待って! それって東芝とソニーのデバイスでしょ!

Manabu: あちゃ! じゃあ ‘Bell’ は?

Kumiko: う〜ん、なんか似てるけど... いいでしょう

Manabu:次はプロジェクトの名前だ! もう何でも良いからつけてくれ!

Babu: じゃあ Bell Best ではどうですか?

Manabu: OK OK OK.....

ということで Bell Best Project が始まった?

実際プロジェクト命名なんてこんなもんです。鶴の一声に多少の妥協、そして追従も含んでプロジェクトは進む。

このBell Best Projectで出来上がるロボットって一体...

シーン4 コンセプトファースト (Concept first)

Manabuはどうしても自分にそっくりで、アトムみたいに精巧なロボットを作りたい。そこでスケッチは私が...と一番大事な製品工業デザインを自分で書いてしまった。工業デザインはその設計 Concept を始めに表すとても重要なもの。製品設計ができてから工業デザインを実施することもあるが、本来はデザイナーによる工業デザインが先にあるべきでしょう。

本当にこんな絵で良いんですか? こうゆうのは Concern First でしょうか? しかもManabuは発注先までどんどん自分で決めてしまった。本当に自分勝手な人だ。

頭脳の部分はTBS社、足はXX社、体はYY社、ソフトはZZ社に頼もう。最後になって、ロボットの名前は...

うん、デバイスがBellだからBell Boyにしよう! (こんなのでもいいんですか?)

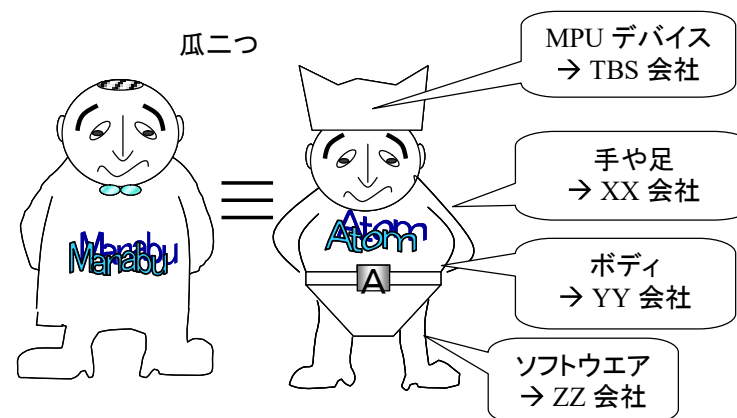
そしてプロジェクトチームは進む。ここまでのまとめ:

- ・開発するデバイス名はBell
- ・だからプロジェクト名は Bell Best Project
- ・ロボット名は Bell Boyだって!

入り乱れる論議! ? 身があれば良いけど?



Concept First! これは私が決める!



ロードマップを作ろう

シーン 5 ロードマップ (Roadmap)

ロードマップというのは単なるスケジュールとは違い、作成のポイントは各プロジェクトのチーム員が重要な時期にフラッグを立て、それに向かってあらゆる方法でまい進することだ。

セットメーカーのロードマップから

本例では先ずSunny社の立てるロードマップが重要だ。市場調査をして、この Bell Boy の発売時期を2010年末に設定した。正にクリスマス商戦だ！とすると Bell デバイスは2009年末には出来上がっていないと困る。これを TBS 社に伝えよう。

そこで Kick Off Meeting (プロジェクト開始会議) を2007年1月元旦と決めた！
(何とかがままた人だろうか)

デバイスメーカーのロードマップから

さてセットメーカーからデバイス納入時期が知らされると、デバイス開発の詳細スケジュールを検討できる。設計・プロセス・製造を考慮して、装置納入は2008年末と決めた。必要な装置を決めて、これを BER 社に伝えよう。ただし、間に合わないと困るので、ちょっと早めに言おうかな、などと考えるかも？

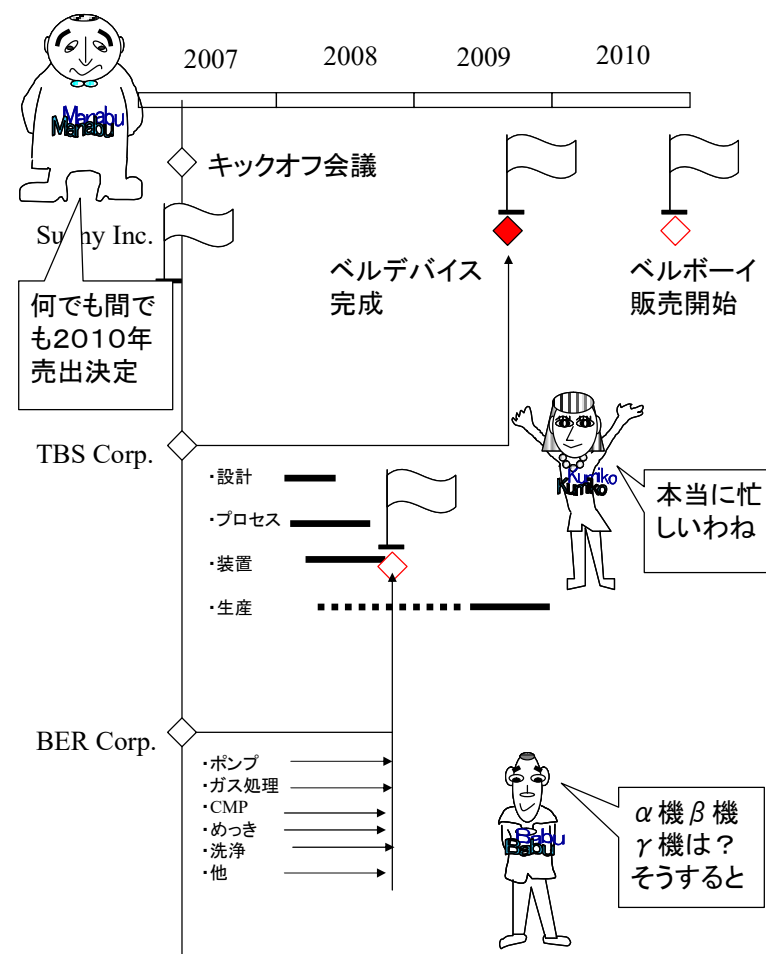
リソグラフィは XX までに
CVD 装置は XX までに
RIE 装置は XX までに
CMP 装置は XX までに
めっき装置は XX までに
洗浄装置は XX までに
排気系は・・・ と続く。

装置メーカーのロードマップから

最後は装置メーカーのスケジュールだ。とにかくデバイスメーカーの指定したフラッグ時期に向けて、最大限の努力をする。ただし、成熟した装置は良いが開発装置はそうは行かない。先ずは社内で検証して(α機)、次にデバイスメーカーの場所で検証(β機)、最後に量産機(γ機)を納入する。

半導体製造では、最先端の性能を要求されるために、γ機前のβ機段階で納入してしまうことも珍しくない。

ロードマップ作りは相互協力で



TEG ってなあに？

シーン6 ベルデバイス開発（めっきと研磨）

まず CMP エンジニア A さんと Babu の会話から

Babu:「A さん、今度のデモの結果はあまり良くなかったけど、ユーザからの初期プロファイルと下地構造はどうなっているの？」

A さん:「えっ！ 初期プロファイルって何ですか？ そんなの測っていませんよ。下地構造は極秘ですしね」(と自信満々です)

Babu: (実はあつげに取られて)「で、で、でも、初期段差やパタン密度もわからなくて研磨性能が保証できるの？」

A さん:「・・・」

次に同じく当社のめっきエンジニア B さんと Babu の会話から

Babu:「B さん、今度のデモの結果はあまり良くなかったけど、ユーザのめっき TEG 構造が複雑なの？ パタンが特別なのかなあ？」

B さん:「えっ！ めっき TEG って何ですか？ パタンなんか教えてもらってませんよ。

極秘ですからね」(とここでも自信満々でした)

Babu: (またあつげに取られて)「で、で、でも、パタン密度もわからなくてめっき性能が保証できるの？」

B さん:「・・・」

Babu:「う〜ん。これは TEG が何たるかをまとめて指導しないと・・・」

とこんな状況も装置メーカーでは決して珍しいことでは無い。しっかりとデバイスを勉強しよう。

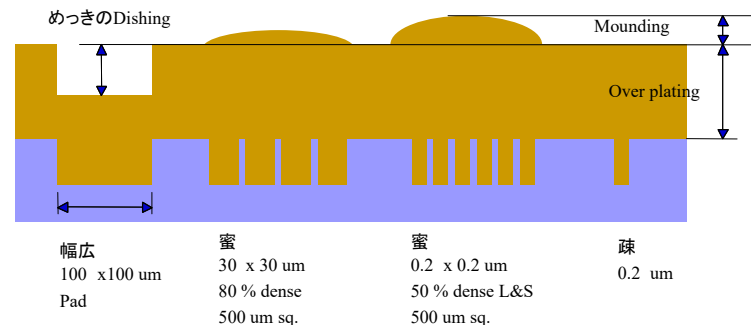
デバイス TEG

TEG(Test Element Group)を知ろう。お馴染のめっきや研磨用 TEG が実際のデバイスではどこの部分を表しているのか？ そしてめっきや研磨での性能要求が何故必要なのかを勉強しよう。

詳細は後の章へ

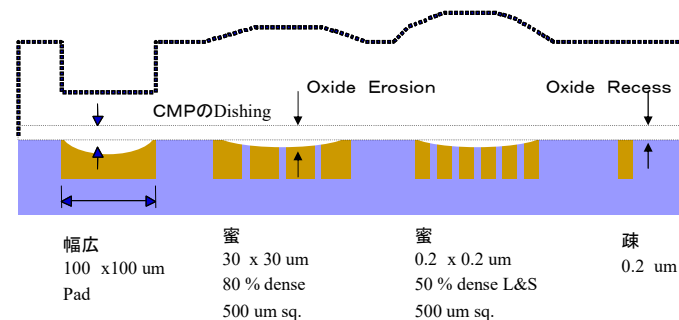
めっきに必要な情報は？

初期パタン密度が重要



CMPに必要な情報は？

初期プロファイルとパタン密度が重要



デバイスを知ろう

デバイスの顔

デバイスは主としてメモリとロジックを考える。(詳細な種類は専門書を参照)

メモリとロジック例では全くイメージが違うことが分かると思う。メモリはとにかくメモリエリアに徹底して詰め込まれている感じがするが、ロジックはそれこそユーザによって千差万別、顔つきが異なる。めっきや研磨ではこれらの顔の異なるウエーハを階層毎に処理するということを最初に理解しよう。

フロアプランとは

デバイスは先ずフロアプラン(Floor Plan)と言われる概略設計から始める。

- ・先ず全体のプランを立てる。(どこにどのモジュールをおくか)
- ・次に各モジュール内のプランを立てる。(どこにどのブロックを)
- ・そしてブロック内にセルがある。

TEG イメージ

そして TEG を理解しよう。TEG には以下の4種類の段階がある。

段階の1 : BEOL 開発用 Metal Open,Short Via-chain などの電気特性

これ以外にオプション TEG として CMP 用とかめっき用が作られる

段階の2 : FEOL/BEOL ロジックなどの検証用

段階の3 : FEOL/BEOL TEG 付ウエーハ 本体の周りに TEG エリアがある

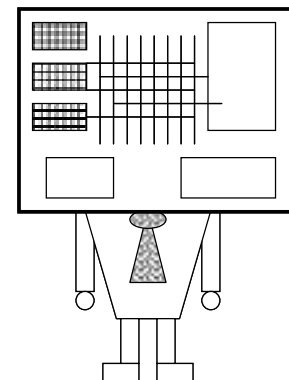
段階の4 : TEG を切り離した量産用ウエーハ

各社各様、各デバイス毎に、各階層毎に配線寸法も設計も異なるり、まためっきや CMP のユニットプロセスを開発するための特別なオプション TEG なるものが存在することが理解できればもう、何の情報も持たずにめっきや研磨のデモをすることは無くなるでしょう。

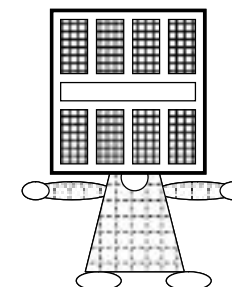
その他 TEG 専門メーカーがある目的を持って作成した TEG ウエーハもあるので利用しよう。

ロジックとメモリの顔つきの違いを理解しよう

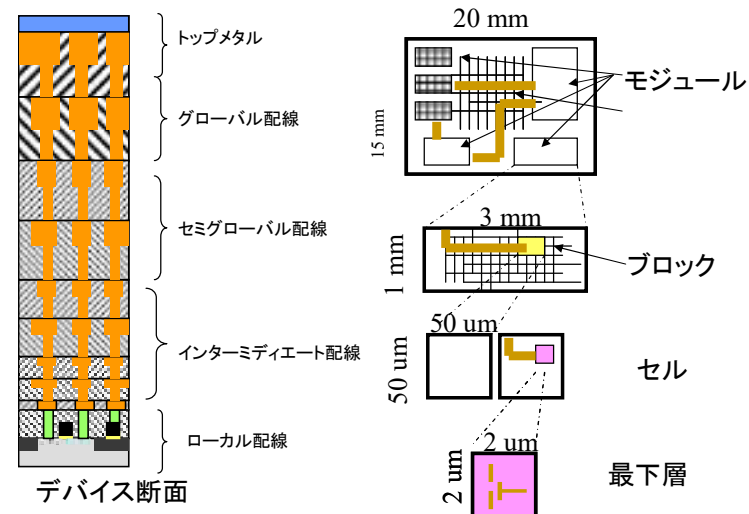
ロジックの顔付き



メモリの顔付き



フロアプランの階層(マンションみたい)



Bell Boy 完成！

シーン7 装置発注 (Order !)

それではいよいよBER社の装置選定だ。リソから始まり、イオン注入、成膜、エッチング、CMP、めっき、排気系、ユーティリティと大変だが、何とか納期に間に合った。

さて、これでプロジェクトは成功か？

とんでも無い。SoCには実はこんな問題が！

これについては後の章、多層問題を参照のこと。とにかく問題が多い。

シーン8 こうしてロボットが (Bell Boy !)

多層配線の問題をとにかく図にして見た。

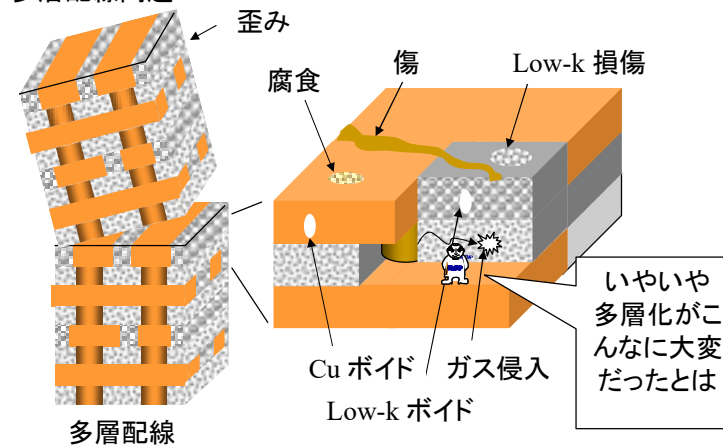
詳細は後章にゆずるが、とにかく絶縁膜は孔だらけ、銅配線は傷・腐食だらけ、結果としての信頼性は全く無し。こんな問題に突き当たり、頼りになるのは開発だ。大学や学会をしっかりフォローして次世代デバイス開発に邁進しよう。

ということで、Dr.Manabu の読書から始まった本プロジェクトだが、苦難を乗り越えて何とか完成までこぎつけたようである。現在、開発されたロボット Bell Boy は、立派に某有名ホテルで働いてそうだが・・・

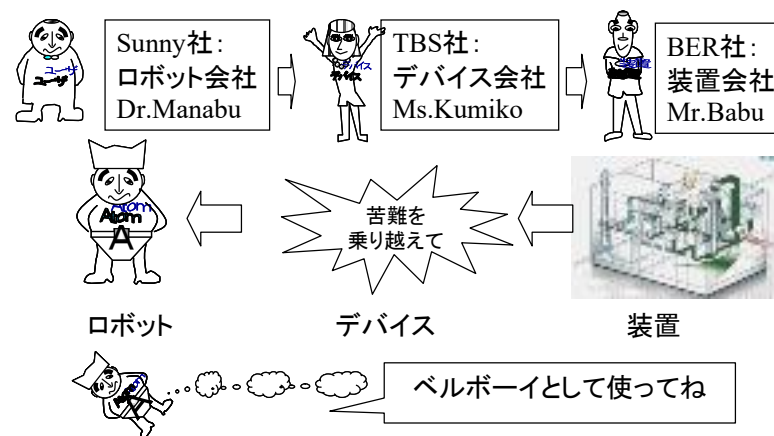
これで創作話は終わりだが、この話にはいろいろ重要なエッセンスが含まれている。何度か読み返して欲しい。大学ではロールプレイにこの話を使っているが、好評だ。

さあ、次章からはいよいよ本格的に技術課題に移ろう。

多層配線問題！



ロボット完成



初めてのディナートーク(Dinner Talk)

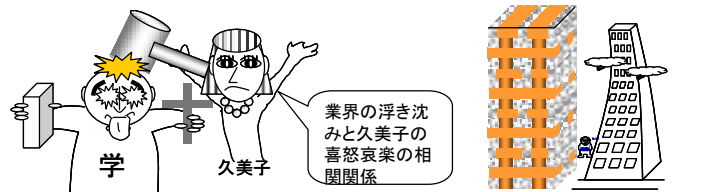
2003年第8回CAMP会議で初めてディナートーク(Dinner Talk)を企画しました。CAMPには毎年約100人のエンジニアと、そのご家族が参加されます。そこでご家族の方にも楽しんで戴きながら、ご両親がどのような仕事をしているのかを知って戴きたい。それには辻村が良いとバブ教授からご下命があり、初めてのディナートークをさせて戴きました。

半導体業界がセット・デバイス・装置(材料)の‘食物連鎖’になっていること。大変浮き沈みの激しい業界で、久美子(我が妻)の喜怒哀楽も激しいこと。さらに、最近の多層配線の難しさは高層マンションと同じで、完成までには大変な努力がいること。さらに、さらに、CMPの最新技術である‘OPSI!’ 圧力研磨や‘10000回転!’ 研磨など、プレストン教授が腰を抜かすような革命技術(?)を紹介しました。

ディナートークが終わり汗だくで壇上から降りるとき、10歳くらいのかわいいお嬢さんがつかつかと近寄ってきて「Good Job! 」とねぎらいの言葉がありました。少なくとも私の英語は通じたようで一安心。その後今年の第12回までディナートーク企画は続いています。未だに会場の笑い指数では負けていないようです。

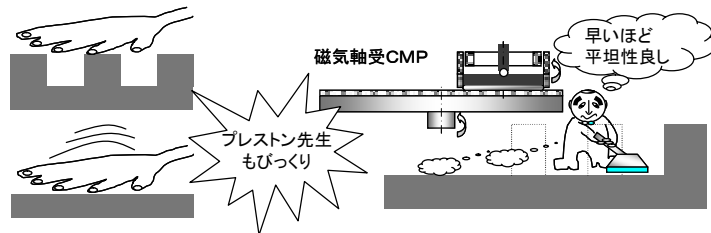
浮き沈みの激しいブルフィップ市場

高層ビルと多層配線は似ています



マジックハンドプロセス‘OPSI’研磨(ECP)

新幹線プロセス‘1万回転’研磨



第 II 編

ウェット成膜プロセス:めっき

バケツから半導体めっきまで

世界最古のめっきから最新のめっきまで

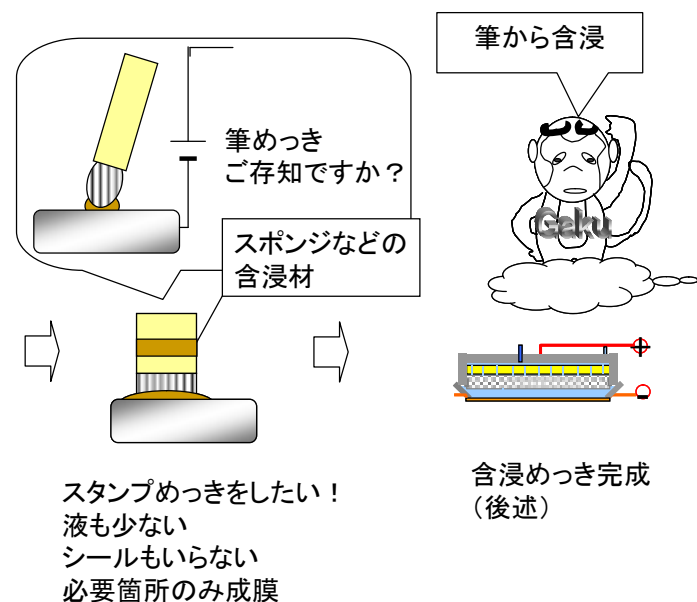
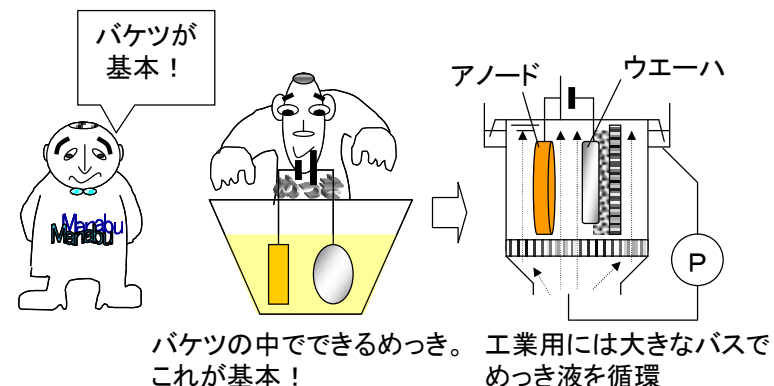
めっきは紀元前からある世界最古の技術の一つであり、日本には4世紀頃に中国・朝鮮から渡来したものである。めっきはメッキと書いたり鍍金と書いたりするが、ここではめっきに統一する。私は「めっき開発の基本はバケツの中でやってみることだ」といい続けている。何故か？ 温故知新。正にめっきの歴史を紐解き、めっきの原理を知れば、貴方も高価な装置を作らずバケツを買いに走ることに請合おう。

次ページの図を見てもらいたい。後述するがめっきをするには(例えば)バケツのような大きな浴(バス)に銅版とめっきを成膜したい製品を入れて、数ボルトの電圧をかけるだけで銅めっきは完成。とても簡単でしょ？ めっきの基本はこれだけだ。ただし、これを工業にするためにいろいろな部品が付属される。実際の半導体用めっき装置は大きなバスでめっき液を循環させながら、アノード(電極)とウエーハ(めっきを成膜する製品)を対向させて設置している。

さらにこれらを発展させるアイデアはそれこそ百花繚乱。例えば「筆めっき」の応用としてスタンプ型のめっき装置は、めっき液も少なく、めっき装置の最大の難関であるシールも不要、必要な箇所のみ成膜するというアイデアだ。このアイデアをさらに発展させたのが(後述する)「含浸めっき装置」である。

半導体応用めっき技術歴史概要

半導体応用のめっき技術に関する歴史概要を紹介する。半導体製造用のめっき技術は、時期的にも性能的にも2期に分けて議論すべきである。第1期は80年代後半に開発・採用されたバンプ用めっき技術である。このプロセスは $40\mu\text{m}$ 角 $\times 40\mu\text{m}$ 高さ程度のサイズの孔に金を埋め込む金バンプ(電極)形成用プロセスであり、これは成膜量が数 $10\mu\text{m}$ オーダの成膜技術である。第2期は90年代後半に開発・採用された配線めっき技術である。このプロセスはデザインルール並みのサブミクロンサイズの孔や溝に銅を埋め込む配線形成技術である。次ページの図に研磨とめっき装置の開発と採用時期の類似性を示す。いずれも汚い・きつい・経験依存の3Kと言われたプロセス装置であり、単体から洗浄のビルトイン、そしてモニタなどを組み込むような開発歴史になっている。実際には採用にあたって研磨が先行したために、めっきが半導体製造プロセスに受け入れられるまでには研磨ほどの苦労はなかった。



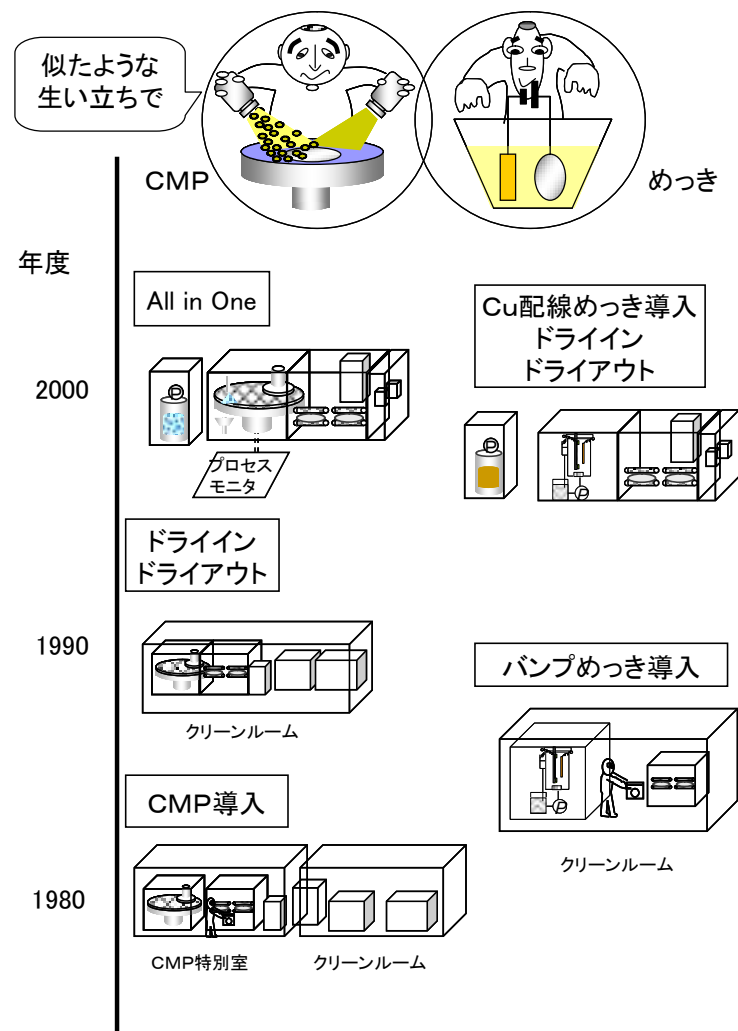
旧3Kから新3Kへ

実装用バンプめっきが最初に

それではまず初めの金バンプ形成プロセス装置の特徴について述べる。半導体デバイス用金バンプの形成には金めっき技術が用いられているが、めっきは重汚染プロセスとして考えられていたため、クリーンルーム内には設置されずオフライン（クリーンルーム外）で特別に処理されていた。金めっきプロセスは反応室廻りに発生するダストが多く、ウェーハそのものの汚染ばかりでなく、装置外部への汚染が問題となっていた。金バンププロセスはウェーハ製造工程では最終に近いためウェーハへの汚染そのものはそれほど深刻では無いが、外部への汚染は重大で、とても半導体デバイス前工程のクリーンルームに設置するなど考えられなかった。しかしながら半導体デバイスの納期を短縮するためには、いちいちオフラインで作業するよりインライン（クリーンルーム内）で作業できた方が圧倒的に有利である。そのため80年代後半それまで旧3K（汚い・きつい・経験依存）の代表であっためっき技術を、新3K（きれい・簡単・科学的）であるめっき技術に生まれ変わらせることが急務であった。半導体デバイス製造用めっきプロセス装置はこうして開発が始まった。従ってこの時の開発の第一目的は、クリーンルーム内に設置可能なクリーン設計のなされた装置の開発と、次世代に要求されるバンプデザインピッチの微細化に対応できるめっきプロセスの高性能化であった。

配線用めっき装置に発展

次の配線用めっきプロセスは、半導体デバイス製造のメインプロセスである。1997年末IBMがロジックデバイスに銅配線を採用、かつプロセスはめっきで行うとの発表を行った。CMP発表に続く2度目のIBMショックである。かつて筆者がCMP開発を手がけた際、それまで超高真空を目指し「一片の曇りも許さず」という開発からは、研磨がどうしても半導体デバイス製造技術に採用されるとは思えなかった。めっきの場合は80年代後半にすでに前述のウェーハ用バンプめっき装置が採用されていたにも拘わらず、このめっきプロセスも配線工程には採用されとは思えなかった。将来配線めっきの時代が来れば対応できるよう周辺技術をバンププロセスで確立しておこうという程度の認識であった。それほど銅配線プロセス用の装置には、バンププロセス用より格段に厳しい汚染対策と微細化のための高性能化が要求されるのである。



いろいろなめっき装置

それでは実際の各装置の歴史を見てみよう。めっき装置の変遷を図に示す。

縦型浸漬式

1980年代、LCDドライバICの金バンプ用めっき装置は縦型浸漬式と言われるものであった。これはウェーハの裏面をワックスで保護してめっきバスに浸漬する方法である。これはめっき後にワックスを除去するのが大変であったため、カップ噴流式にとって変わられた。

カップ噴流式

ウェーハを下向きに設置し、下からめっき液を吹き上げる方法。この方法ではウェーハの裏面にはめっき液が回らないために、裏面への成膜を防止できる。ただし、この方法ではウェーハ端面にめっきが付いてしまい、後工程でチップを切り離す際にこの金ゴミになるというデメリットが未解決であった。まためっき液中の泡がウェーハ面から抜けず、めっき欠けが発生するというデメリットもあった。

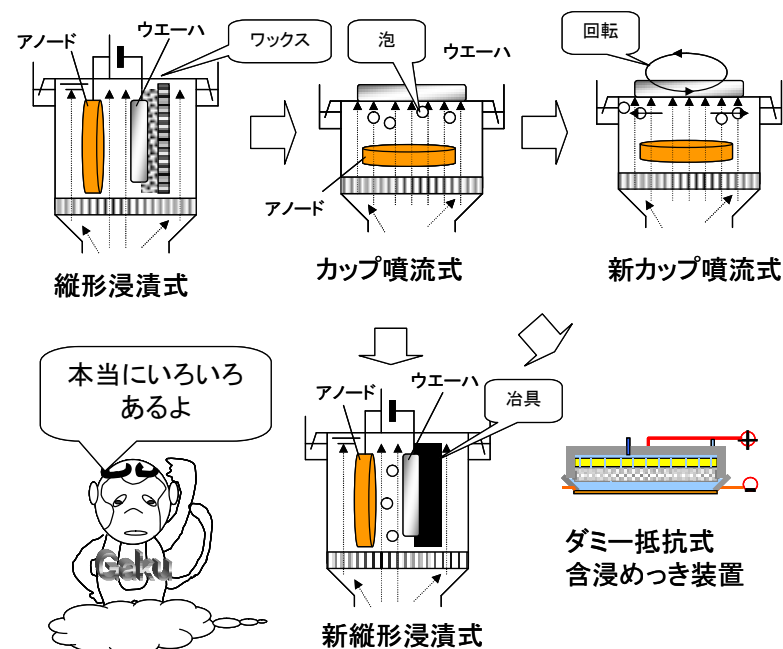
新縦型浸漬式

このデメリットを解消するために、ウェーハの裏面・端面を特殊治具でカバーして従来の縦型めっきをするという新縦型浸漬式が開発された。

新カップ噴流式

上記カップ噴流式の難点であった泡抜きを目的としてウェーハを回転しながらめっきをするという方法である。これにより液中の泡がウェーハ表面に付着することを少なくできた。

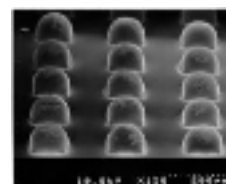
こうして世界最古といわれるめっき技術が最先端の半導体製造用プロセス技術として定着してきたのである。



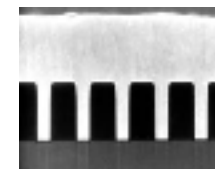
TAB バンプ

配線

CSP バンプ



バンプ写真



配線埋め込み
0.2 μ m 径 AR=4.5

4つのアプリ

それぞれの詳細は後述するが、半導体デバイス用めっきには大きく分けて下記の4種類のアプリケーションがある。

電極用バンブめっき(金など)

半導体デバイスの多層配線の最後に、外部(例えばインタポーザ)に接続する電極をバンブと称し、金めっきなどで成膜して作成する。このバンブはデバイスの種類によってその大きさ・個数は異なるが、将来このバンブも10数ミクロン微細化されさらに個数も数千個になると1980年代に予想され、いち早く微細化に適するめっき技術が開発・採用された。

配線工程の銅めっき(Cu)

銅配線をめっきにより成膜し、それを研磨で削って作成するという、いわゆるダマシンプロセスが1980年代に考案された。ダマシンプロセスとは、絶縁膜をエッチングして配線溝を作成し、バリア層やシード層をスパッタプロセスで成膜後、めっきで銅配線を成膜、その後にCMPで研磨して配線を作る方法である。

配線上の高融点キャップメタルめっき(Co-W など)

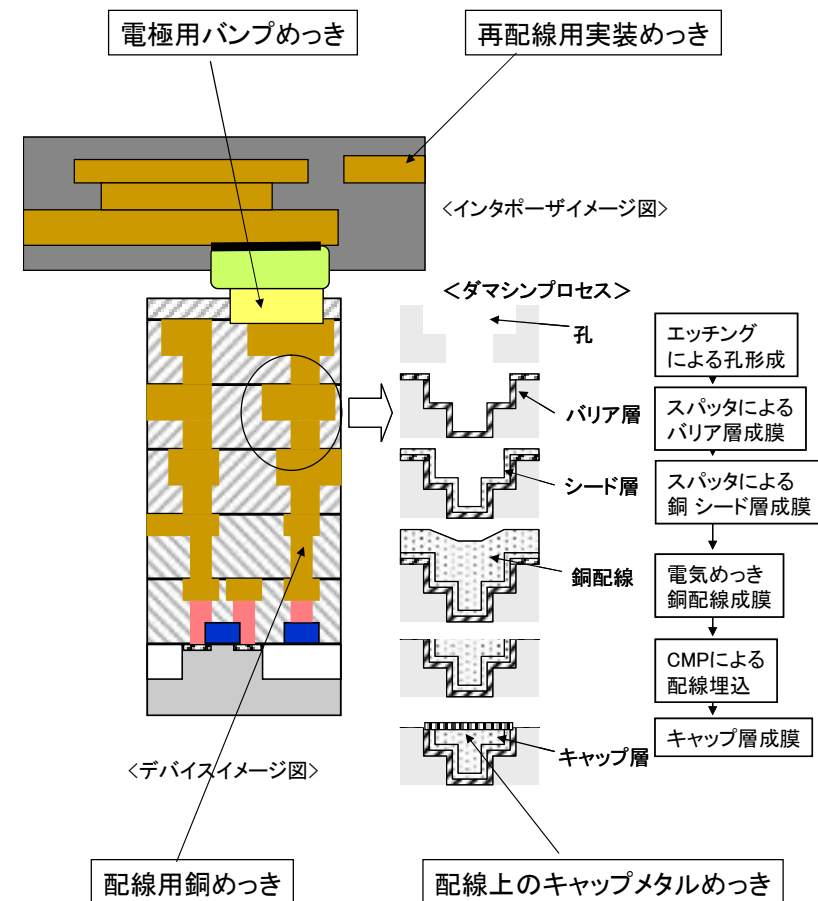
銅配線が多層配線に採用されると、今度はめっき技術そのものが半導体製造技術のあらゆる箇所に応用され始めた。その一例が、銅配線めっき後にその上部に蓋(キャップ)をするように成膜する技術が現れた。これが高融点キャップメタル技術である。詳細は後述するが、目的は配線の信頼性向上である。

再配線用実装めっき(Cu や Ni など)

さらに、デバイスからの配線を外部に繋ぐ際の、配線位置を変更するいわゆる再配線プロセスにも当然めっきが採用されるようになった。銅やニッケルなどをめっきする。

以上、4つのアプリケーションを示したが、めっき技術、すなわちウェット成膜プロセスの応用範囲は今後も増え続けることは間違いない。

4つのアプリケーションをしっかりと理解しよう



6つのサブシステム

めっきのサブシステムは、①めっき液の供給・管理部、②めっきプロセス部、③洗浄部、④搬送部、⑤ロードアンロード部、⑥廃液処理部からなる。ウェットプロセスシステムとしてはCMPシステムと類似している。

めっき液の供給・管理部

めっき液も各社各様であるが、めっき濃度管理の他に添加剤の管理や温度・圧力・フィルタなど種々の管理が必要である。めっき液供給装置では、単にめっき液を供給するだけでなく、必要な管理を実施している。

めっきプロセス部

めっきプロセスは種々の方式があり、これこそが各社ノーハウの見せ所である。詳細は本論を参照のこと。

洗浄部

めっきプロセスによって洗浄や乾燥の仕様は異なるが、ウェットプロセスのドライイン・ドライアウト化には必須技術である。まためっき後の表面改質も洗浄工程の役目である。

搬送部・ロードアンロード部

搬送はウェットプロセス共通のプラットフォーム化が可能である。事実当社で開発しためっき装置は CMP 装置と全く同じ搬送・ロードアンロードが採用されている。

廃液処理部

めっきでは廃液処理が必須である。特にめっき液の再生・再利用など環境を考慮した設計が、今後益々要求されるであろう。

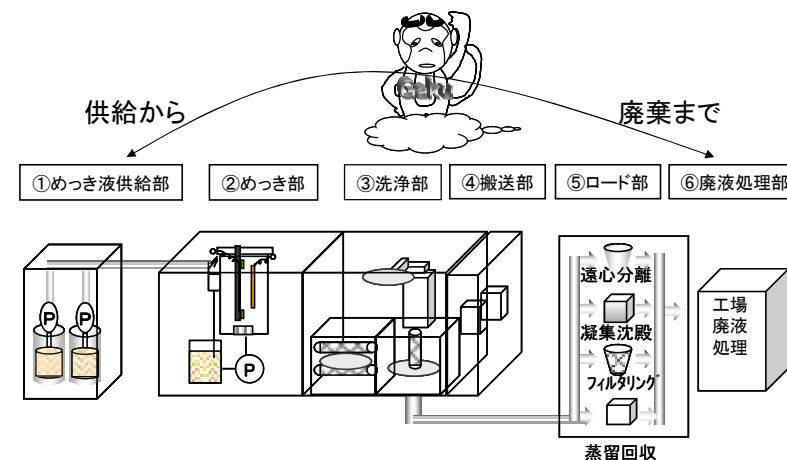
ドライイン・ドライアウト

めっき装置普及のためには必須技術であった。特に300mm用装置ではミニエンバイロメントとして開発された。

トータルコーディネート

これらをまとめて、めっき液供給から成膜、洗浄及び廃液処理まで一貫したシステム構築が要求されている。

次頁に装置概観図を示す。概観は他のドライ装置と全く変わりはない。



めっきサブシステム概要



めっき装置概観写真

ファラデー則から始めよう

めっきと言えばまずファラデーの法則 (Faraday's Law) である。基本中の基本なのでこれを最初に説明しておく。研磨のプレストン則 (Preston's Law) と並んでしっかり覚えよう。

溶解アノードと不溶解アノードと反応式

アノードの種類によって溶解アノードと不溶解アノードがある。この差については専門書を参照されたい。ここでは半導体めっき技術として必要な最低限のことを硫酸銅めっきを例にとり説明しておく。

溶解アノードでは下記の式に従ってプロセスが進む。印加する電圧は、水の電解反応電圧 (1.25V) 以下で実施する

水溶液中のイオン解離 $\text{CuSO}_4 \rightarrow \text{Cu}^{2+} + \text{SO}_4^{2-}$

アノード (+) 反応 $\text{Cu} \rightarrow \text{Cu}^{2+} + 2\text{e}^-$

カソード (-) 反応 $\text{Cu}^{2+} + 2\text{e}^- \rightarrow \text{Cu}$

同様に、不溶解アノードでは下記の式に従ってプロセスが進む。

水溶液中のイオン解離 $\text{CuSO}_4 \rightarrow \text{Cu}^{2+} + \text{SO}_4^{2-}$

アノード (+) 反応 $2\text{OH}^- \rightarrow \text{O}_2 + \text{H}_2 + 2\text{e}^-$

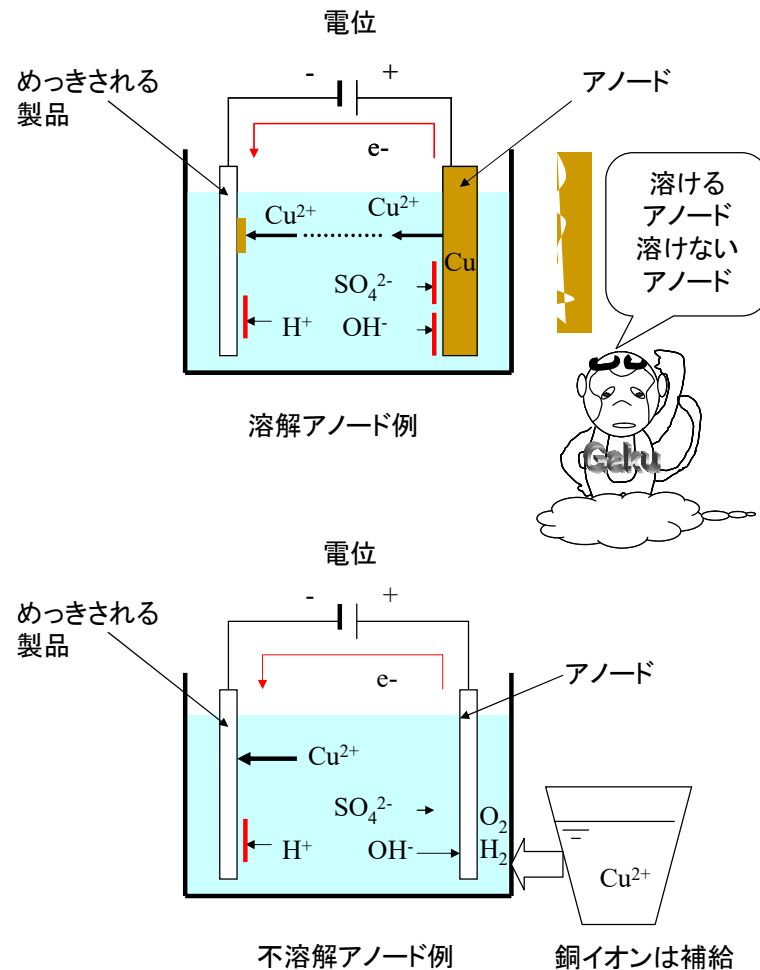
カソード (-) 反応 $\text{Cu}^{2+} + 2\text{e}^- \rightarrow \text{Cu}$

ファラデーの法則の適用

半導体デバイスに成膜される銅の厚みを求めて見よう。ファラデーの法則から、銅の成膜量は流したクーロン量に比例する。よって、下記の式から簡単にウエーハ上の Cu の成膜速度、成膜量が計算できる。便利なので覚えておこう。通常めっきに使用する電流密度 (20 mA/cm²) で計算しておく。

ファラデー則からめっきの析出量 = (電流値) × (めっき時間) × (Cu の 1g 等量)

めっき膜厚は 0.44 μm/min (20 mA/cm²) と計算できる。



3つの秘薬

次に添加剤の役割についてこれも簡単に述べておく。めっきプロセスはこの添加剤がノーハウであり、これにより全ての性能が決定するといっても過言ではない。添加剤には基本的に①Suppressor(抑制剤)②Accerlator(促進剤)③Leverer(平滑剤)がある。それぞれの役割を簡単に説明しておこう。

Suppressor: (抑制剤)

本添加剤は塩素を仲介として銅表面に吸着する。吸着された銅表面は、めっき析出が抑制され、局所的な析出を緩和して、核発生密度を向上させる働きがある。吸着初期時のフィールド部及びトレンチ底部への吸着量の違い、つまりフィールドへの吸着量の方がトレンチ底部への吸着量より少ないために、ボトムアップに影響を及ぼすと思われる。この添加剤としては界面活性剤が良く用いられている。

Accelerator: (促進剤)

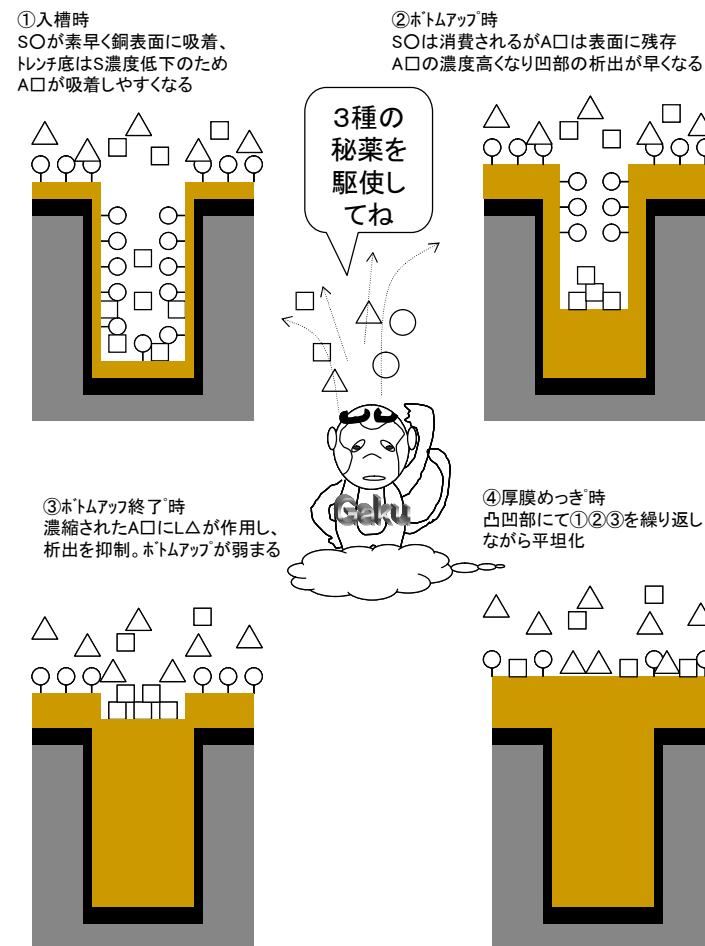
本添加剤は Suppressor との競争吸着関係があり、めっき析出電位を下げる働きがある。めっき表面に残存することより、めっき面形状の変化により局所的に濃度が高まることで更なるめっき促進の効果をもつものと思われる。つまり、凹部めっきを促進する。有機硫黄化合物が代表例。

Leveler: (平滑剤)

本添加剤はめっき析出を抑制する働きがある。吸着が液の攪拌に依存するため、トレンチ底など液流れが遅く拡散層の厚いところには吸着しにくい。Accelerator の析出促進効果を抑制し、膜厚の平坦性を向上させる働きがある。4級化アミン化合物などが代表例。

上記はかなり大雑把な説明であり、詳細はめっきの専門書を見てもらいたい。これらの3種の添加剤は2種類として用いられる場合もある。

硫酸銅めっき液における添加剤の役割



半導体プロセスが要求するめっき性能

めっき性能

めっき性能は①成膜速度②成膜の均一性③ディフェクト④埋め込み性⑤膜の密着性⑥抵抗値⑦膜中不純物などで評価される。

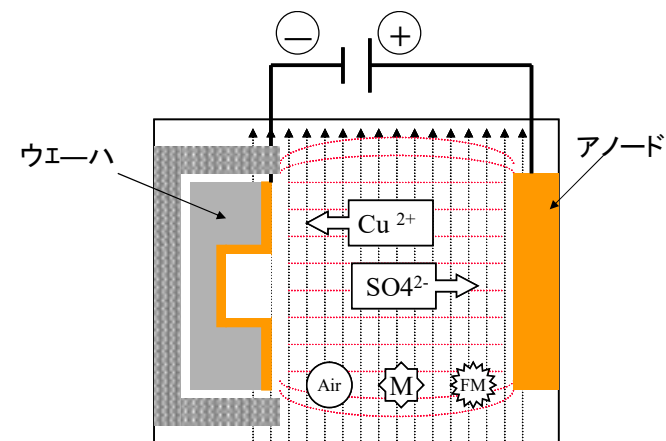
- (1) 成膜速度はファラデーの法則通りであり、電流密度とめっき液中の金属イオン濃度の関数である。
- (2) 成膜の均一性は、ウェーハ全体で電流密度が一定にすることである。そのためにウェーハ表面での流れを一定にしたり、電界制御が必要である。
- (3) ディフェクトは、Void(孔)、ゴミ、腐食、壊食などの総数で評価する。
- (4) 埋め込み性は、添加剤によって調整している。微細化に伴い埋め込みが厳しくなりこの改善は必須である。
- (5) バリア膜との密着性はElectroMigration(EM)性能にも関与する重要は評価項目である。もちろん剥がれるなどというのは論外だが。
- (6) 銅配線の場合は低抵抗化が目的であるのでバルクの $1.6\mu\Omega\text{cm}$ に対して、配線として $2.2\mu\Omega\text{cm}$ 程度を目標とする。
- (7) 純度：これも先ずは徹底して不純物を無くすべきだが、制御された不純物はEM耐性を向上するので必要である。

実際の例紹介

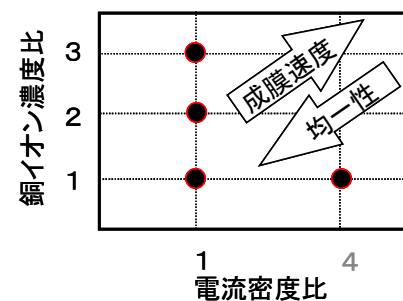
一般的な硫酸銅めっきで、電流密度と銅イオン濃度をパラメータとした埋め込み実験例を示す。一般的に電流密度やCuイオン濃度を上げて成膜速度を上げると、成膜の均一性が悪化する傾向にあり、均一性を考慮しながら条件を決める必要がある。

流れの可視化

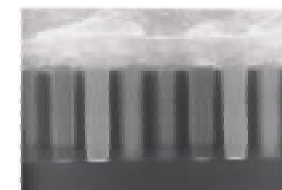
上記の基礎となる液流均一性はハイドロパッセイジ設計をコンピュータ解析と流れの可視化技術を駆使し開発している。



めっき原理図



成膜速度と均一性



実際の埋め込み例

洗浄と汚染制御

洗浄

洗浄面は半導体プロセス上の各種材料(Si、SiO₂、Si-N、Cu、Ta、Ta-N等)であり、洗浄対象はめっき液及びFM(Foreign Material)である。これらが混在した状態で洗浄母材の腐食対策も考慮するためデバイスプロセスを良く知る必要がある。

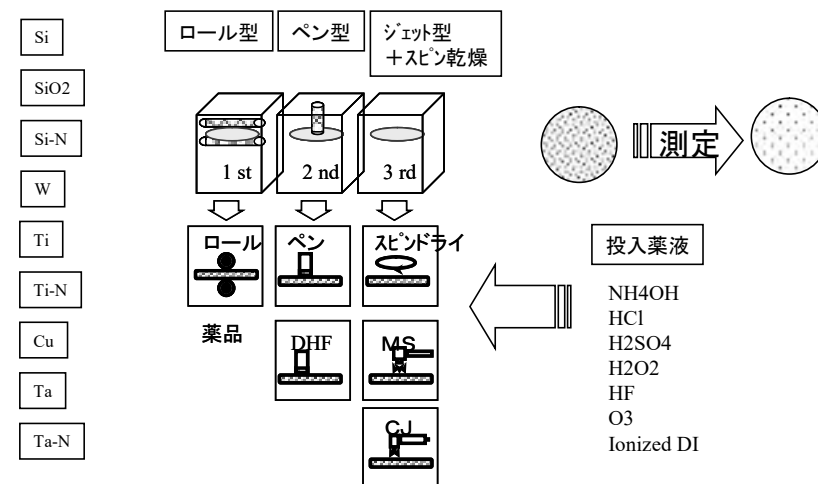
洗浄モジュールの特徴を下記に述べる。

- ①ロール型：ロール部材を数100回転させウェーハの表面・裏面を同時に洗浄するもので標準的な装置である。
- ②ペンシル型：ペンシル部材を数100回転させウェーハの表を洗浄するもので①と並びこれも最も多く標準的に採用されている。
- ③ジェット型：通常のジェット型の加え、超音波を加味したタイプ、キャビテーションを応用した特殊ジェット洗浄が可能。キャビジェットでは従来のジェットより広範囲かつ高効率の洗浄が可能。またブランケットウェーハによる比較ではなく、凹凸のあるパターンウェーハの評価ではさらにその差は倍増する。
- ④スピン乾燥：②ペンシル型、③ジェット型モジュールに設置され最終乾燥を行う。

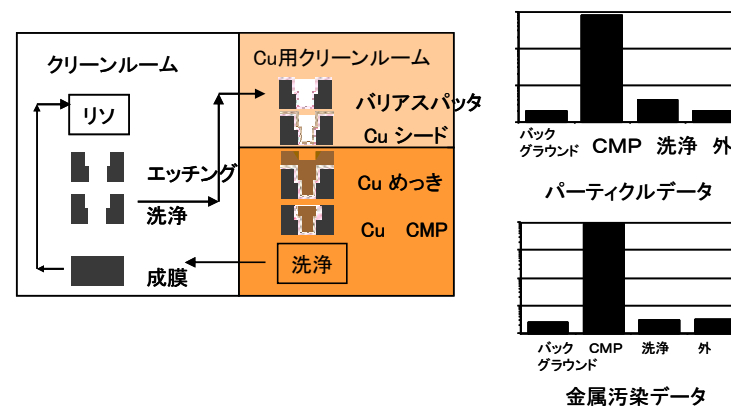
コンタミネーションコントロール

Cuは半導体デバイスにとって忌み嫌うべきものであり、CuのめっきやCMP装置をクリーンルームに入れる際には大議論があった。Cu関係の装置はクリーンルームのCuコンタミネーションコントロール設計に大きく影響する。試行錯誤として、Cu関係の装置を全て特殊室に設ければ安全だがコストが大きい。Cu装置を通常のクリーンルーム内に設置するとコストは低い危険度が大きい。その中間も考えられ、これこそ各デバイスメーカーのエンジニアリングチョイスとなっている。装置としてはいづれにしろ、気流設計をしっかり実施し、外部へのコンタミが無いように工夫すべきである。因みに装置の気流設計はCMPで実証済みである。

洗浄対象 洗浄モジュール 装置汚染管理



洗浄モジュール



コンタミネーション制御

微細でピンチオフ孔に埋め込み？

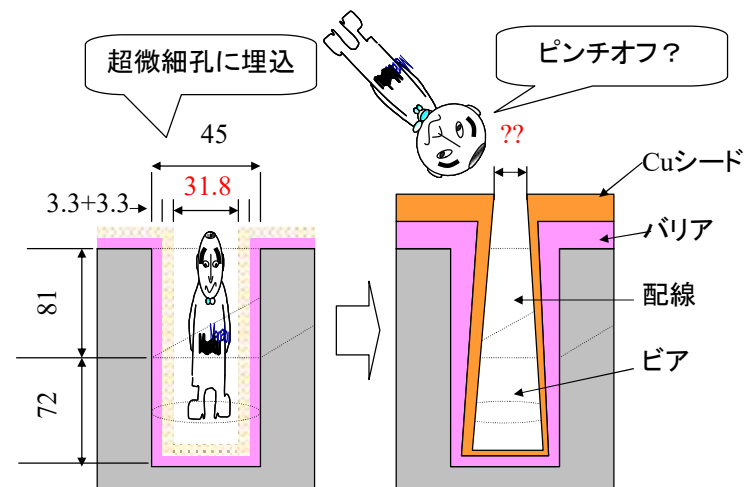
配線めっきへの要求

今後の配線への要求がどうなるか考えるため、先ず ITRS2005年度版で2010年の要求値を見てみよう。めっきに要求される埋め込みのためのアスペクト比は配線部/ビア部(1.8/1.6)。これにバリア厚3.3nmとシード厚3.3nmを加えると、実際のアスペクト比は配線部/ビア部(2.55/2.26)となる。さらにバリア前の酸化膜エッチング側壁の荒れ、加えてスパッタの形状を考慮すると埋め込みの形状は大変なものになることが予想される。さらに、このシード3.3nmの抵抗値はとんでもなく高いものになり、300mm半径方向の不均一は増大する。もしこのシードさえ無くしてしまおうとすると、バリアが電極になるためにこのときの抵抗値はさらにとんでもなく高いものになり、300mm半径方向の不均一はさらに増大する。結局、微細化傾向の例として2010年45nm世代では、高抵抗シード(バリアシードも含めて)でかつとんでもない埋め込み形状を要求されているのである。

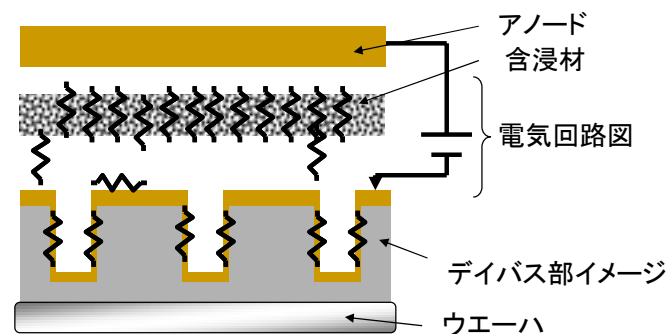
含浸材ダミー抵抗によるめっき方法

それを改善する革命技術を紹介しよう。従来のめっき方法ではシード層厚みが薄膜化すると、ウェーハ半径方向の面内均一性が悪化してしまう。本方法ではダミー抵抗機能を持たせた含浸材を採用すると、通電用シード層厚みを薄膜化してもウェーハ半径方向の面内均一性を悪化させずに現状の世界最高レベルのめっき性能(膜厚のウェーハ面内均一性が3σで10%、配線幅0.1μmでアスペクト比4.5のコンタクトホール埋め込み)を達成できる。

注)従来の(ダミー抵抗機能を持たせた含浸材を使用しない)循環浴めっき方法の場合、シード層厚みが現状の60nm程度であれば上記の性能(膜厚のウェーハ面内均一性が3σで10%、配線幅0.2μmでアスペクト比4.5のコンタクトホール埋め込み)を達成できるが、シード層厚みが20nm程度に薄くなると達成できなくなった。



2010年45nm世代の配線・ビアの寸法イメージ



ダミー抵抗を用いた含浸めっきイメージ図

たったの60ccのバス(浴)?

装置概要

装置のアノードヘッド構造そして装置モジュール構造を示す。

(1)アノードヘッド構造:

ウェーハは上向き設置し、エッジシール内に電極接点を設置した(ドライコンタクト型)を採用。めっき液はウェーハ上に1mm以下の狭ピッチとした。アノードとウェーハ間にダミー抵抗としてのポラスセラミックを配置した。めっき液は注入口から上部チャンバと下部チャンバに供給できる。

(2) 装置モジュール構造:

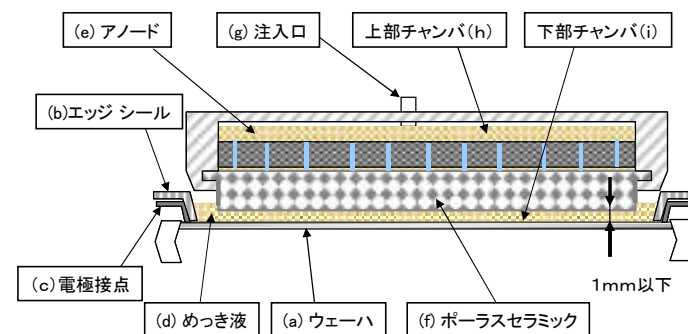
装置モジュールは主としてアノードヘッド、ステージ及びアノード待機部で構成される。運転シーケンス例を示す;

- ・ 下部位置でウェーハをロードする。
- ・ 上部位置に移動して前処理と成膜を実施する。
- ・ 中間位置で洗浄と乾燥を実施する。
- ・ 下部位置でウェーハをアンロードする。

ステージは成膜工程毎に上下移動し、下部位置でウェーハ出し入れ、中部位置で前処理及び洗浄・乾燥処理、上部位置でめっきを行う。アノード待機部にはめっき液を満たしたトレーが設置してあり、待機時のアノードはめっき液に浸漬状態で保持される。アノードヘッドは含りん銅および含浸材(ポラスセラミックなど)で構成される。含浸材により、アノード表面のブラックフィルム保護、アノード移動中の液垂れ防止、電場の制御が可能である。使用めっき液は硫酸銅で、使用液量は狭ピッチであるため60ccと少量である。めっき液はめっき直前にウェーハとアノードヘッドの隙間に導入され、めっき終了後にノズルで回収される。

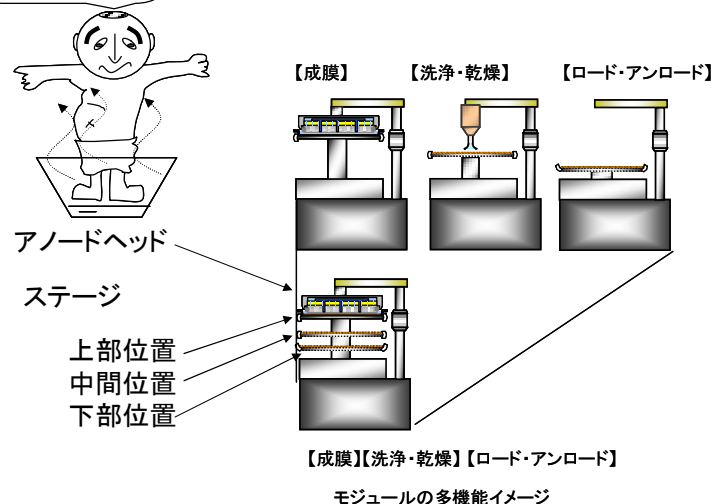
含浸材は気孔率が命

ダミー抵抗に用いた含浸材はポラスセラミックと言ったが、要は軽石のようなものである。液が通る率を制限することにより、見かけの抵抗値を上げているのである。



たったの
60ccの
お風呂?

含浸めっき用ヘッド概要図



含浸めっき装置概要図

ここでも有限要素法

流れと電界分布の解析

めっき成膜速度は主として電流密度とめっき液の金属イオン濃度により決定され、その成膜量の均一性はめっき液の流れと電界の分布によって制御できる。先ず流れと電界に関して、含浸めっきのような狭ピッチ・静止浴めっきと従来の循環浴めっきの違いを説明する。

	通常の循環浴めっき	狭ピッチ・静止浴めっき
流れ	一様に制御	静止のため完全一様
電界	膜厚に合わせて制御	膜厚に合わせて制御

従来の循環浴めっきではウェーハとアノード間にめっき液が循環しており、流れと電界を制御する必要がある。狭ピッチ・静止浴めっきでは、流れは静止しているため、流れ場はウェーハの成膜表面に対し完全一様である。従って、成膜分布の制御には電界の制御だけとなる。

狭ピッチ・静止型 ECD の電界制御解析

次に狭ピッチ・静止型の電界を有限要素法 (FEM) で解析した結果を示す。

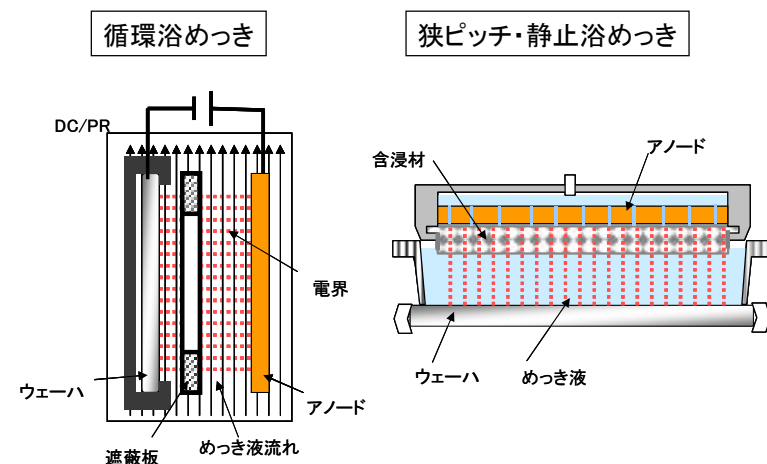
解析条件: プリ・ポストプロセッサ: FEMAP

ソルバー: ASTEAN

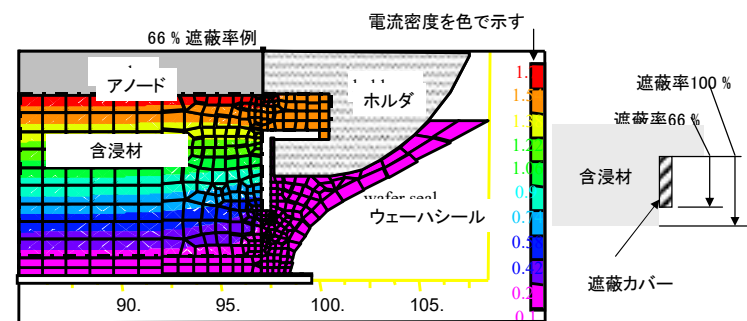
二次元軸対称モデル

FEMの解析結果を図に示す。ウェーハ近傍の電位が一様であることが示されていることを見て欲しい。

前ページで含浸材を軽石だと述べたが、この気孔率を少なくすればするほどダミーとしての抵抗は上がり、解析結果からもうターミナル効果は少なくなる方向である。しかし、気孔率が少なくなるということは液が流れにくいことでもあり、このトレードオフの関係をどこまで最適化できるかがポイントである。この検討するのに、FEMが多いに役立った。



循環浴めっきと狭ピッチ・静止浴めっきの違い



FEMによる電解シミュレーション例

ターミナル効果低減は含浸材が有効

通電シード層厚みの影響(ターミナル効果)

バリア層が薄膜化すると、当然シード層も薄膜化する。シード層の電気抵抗値はウェーハ上では半径方向距離に依存しているが、シード層が薄膜化するとこの半径方向の変化分が成膜の均一性に影響を及ぼしてくる。これをターミナル効果といい、微細化された配線めっきでの大きな課題であった。通常のめっきでは薄膜シードの場合、中心ほどめっき厚みが少なくなるが、ダミー抵抗を設置した含浸めっきでは薄膜の場合でも厚膜同様に均一に成膜できている。

膜厚制御も

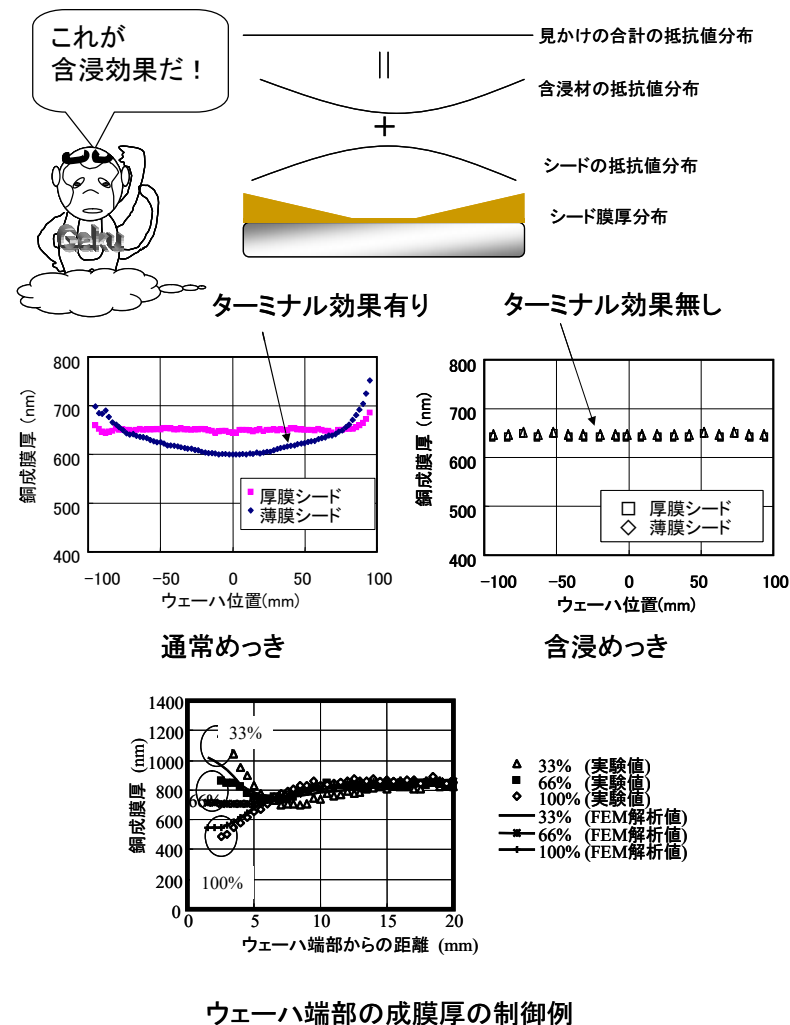
このダミー抵抗材の気孔率を変化させたり、端部を遮蔽などを行うことにより、膜厚が制御できる。図に示したようにダミー抵抗体の端部の厚みを厚くしたり、薄くしたりすることにより、次工程の CMP にとって好適な形状に制御可能である。

ダミー抵抗付き含浸めっきの効果

まとめると、

- (1) 従来の(ダミー抵抗機能を持たせた含浸材を使用しない)循環浴めっき方法の場合、シード層厚みが20nm程度に薄くなると均一性が悪化する。
- (2) ダミー抵抗機能を持たせた含浸材を用いることにより、通電用シード層の厚みの薄膜化が可能になった。
- (3) 含浸材により膜厚制御も可能になった。
- (4) 膜厚のウェーハ面内均一性は $3\sigma \cdot 3\text{mmEE}$ (エッジエクスクルージョン)で3%以下を達成できている。

ダミー抵抗機能を持たせた含浸材を採用して、狭ピッチで静止浴というコンセプトのめっき装置が開発できた。結果として世界最高レベルのめっき性を達成し、通電用シード層の薄膜化(バリア層が薄膜化するとシード層も薄膜化)にも対応できることが実証された。この方法により32nm 世代以降の薄膜シードに対する銅配線も、めっきにより達成できることを示唆できた。



ハリネズミプロセス

成膜の平坦化

かつて成膜は平坦化の歴史であった。孔に埋め込みたいという要求と出来上がった膜が平坦であって欲しいという要求は相容れないものである。孔に埋め込むためにコンフォーマルに成膜すれば必ず出来上がりは凸凹だ。めっきの場合には前述のように孔にボトムアップが可能なので、微細孔だけであれば、埋め込みかつ平坦にということは可能であるが、広いパタンと混在すると難しくなる。

出来上がりのめっき膜厚分布が凸凹だと、後工程のCMPが大変になる。そこで、できるだけめっきは平坦に成膜したい。

種々の平坦化めっきプロセス

現在までに種々の平坦化めっきプロセスが開発されてきた。が、まだ一度も採用されていない。何故か？平坦化するために、いろいろな薬剤を用いたり、擦ったりするアイデアがあるが、結局出来上がった膜質に悪影響が出てしまった(これは自分自身で試した実験だけなので、他社の装置の場合は言及しない)。

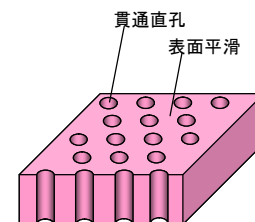
そこで薬剤も入れず、擦らずに平坦にできないかと考え次のアイデアが出てきた。

ハリネズミプロセス

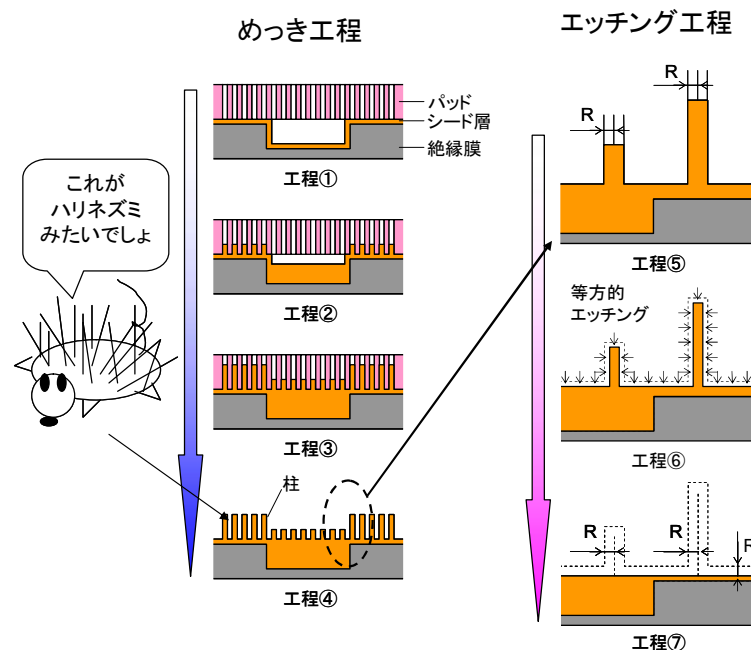
図に工程を示す。簡単に言えば、めっきをつけるウエーハ上に多孔のパッドを載せてめっきをする。めっきは孔の無いところにはたくさん付かず、ウエーハの孔(めっきしたい箇所)とパッドの孔のみに成膜される。

このパッド孔内にめっきされた針状の膜(これがハリネズミに似ている)はエッチングで簡単に除去できる。もちろんその際に配線部のめっきに損傷しない範囲でエッチングをする。結果として、残ったCu膜は非常に薄くかつ平坦になっている。

この技術はまだ開発段階だが、成功すればCMPが非常に楽にかつ平坦化性能を格段に改善することが可能であり、32nm以降の革命技術として期待している。



貫通直孔を有するパッドのイメージ



パターンによらず平坦で
余剰めっきが少ない

高融点メタルキャップめっき

キャップメタルの目的と仕様

キャップメタルの目的と仕様は以下の通り、

- (1) 先ず始めに配線の一部なので、低抵抗であることは第一の必須条件。
- (2) 有効誘電率低減を目的とし配線部のみに成膜する。つまり Si-N などの無機材キャップを無しにすることが望ましい。(この目的は現在達せられていない)
- (3) EM(SM)防止を目的とする。これはバリアの Ta-N がもともと絶縁膜との密着層であるために Cu との密着性が悪い。そこで EM(Electro Migration)や SM(Stress Migration)がここで発生する可能性が高い。高融点メタルでこの密着性を高めて EM や SM 耐性を向上することを目的とする。
- (4) Cu との密着性が良くなれば当然この表面を介してのリークが低減できる
- (5) 絶縁膜エッチングの際の保護になる。

などのいろいろな目的で仕様が決定され、現在いろいろなキャップが開発されている。例としてW、Co-W、Co-Bなどがある。

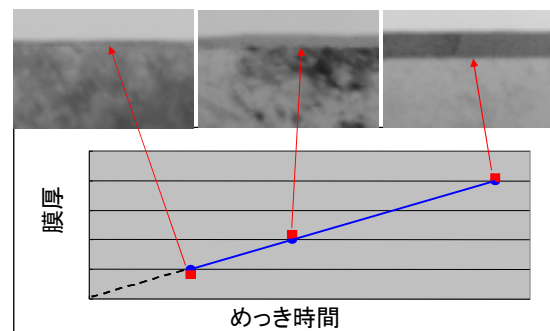
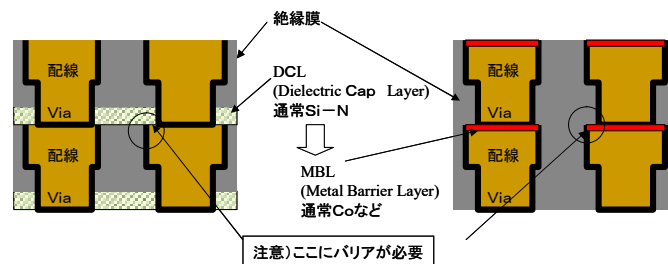
無電解めっきによるCo系キャップ

最近の論文発表ではEM耐性向上目的のものが多く。EM耐性向上にはCu合金とか将来のCNT(カーボンナノチューブ)という案もあるが、Co-Wキャップ膜を用いてEM耐性が100倍に伸びたという報告もある。

Coは実際には5~10nm程度の膜を成膜するが、図には5~20nmの成膜が時間にリニアに制御されている例を示す。無電解めっきは浴の温度管理や流れの管理をきちんとすればこの程度の制御は可能である。

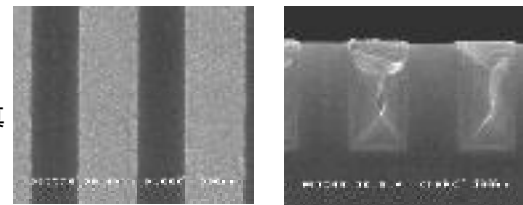
無電解技術のポイントは選択性にある。キャップメタルは銅配線上には成膜したいが、絶縁膜上に残ると信頼性悪化の原因となる。無電解めっきはもともと無選択に成膜するのが得意のめっきなので、この無電解めっきで選択性を確保することが各社のノウハウとなっている。SEM写真にはCoがCu上と絶縁膜上に選択的に成膜されている様子を示した。

めっき液の種類により、Co-WやCo-Bなどの膜種がある。



めっき膜厚制御例

SEM写真



パンプめっき

パンプめっき

パンプはデバイスの最終部に外部との繋ぎに電極を作るが、これをパンプ(突起)と呼ぶ。断面イメージを図に示した。

パンププロセスフローを図に示したが、簡単に言うとレジストでパンプの位置を決めておき、レジストを埋めるようにめっきをする。その後レジストを除去してリフローすれば図のようなパンプが形成される。材料ははんだや金が多いので、電気めっきで成膜する。

パンプの寸法はデバイス世代によってまちまちだが、大きいもので $100\mu\text{m}$ 角、小さなものでは $50\mu\text{m}$ 角程度の大きさだ。将来は $10\mu\text{m}$ 角程度にまで小さくするというロードマップもある。

競合技術もたくさんある。印刷方式や、あらかじめボールにしておいたパンプを指定された孔に乘せるという方法もある。いずれもスループット・精度・コストの兼ね合いで現在は競争戦乱イメージだ。微細化要求に従い、微細孔に最適な方法にいずれ決着がつくだろう。

装置イメージ

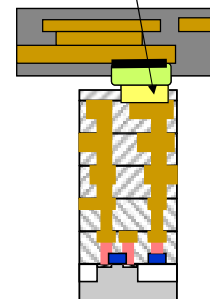
多槽の電気めっきイメージの図を示した。配線めっきではCuをつける槽だけだったが、実装に近いパンプの場合、製品ウエーハのクリーン度も影響して①めっきの前表面処理②リンス③めっき材料：成膜から何種類かの成膜を実施して④洗浄をして終了。その際にめっき時間が長いために、多槽にしてめっき量を稼ぐのが通常だ。そのためにパンプめっき装置は比較的長くなってしまう傾向にある。

めっき装置・成膜メーカー

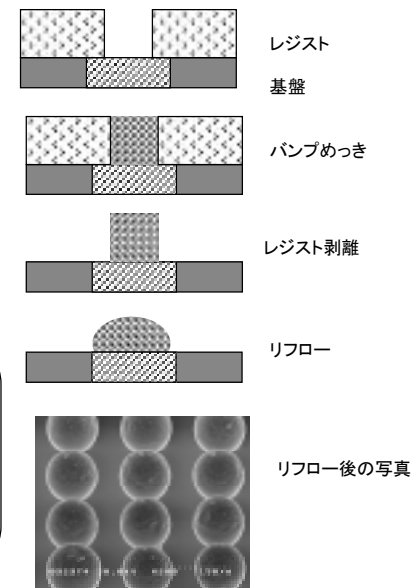
では誰がこのめっきをするのか？デバイスメーカーが自身で実施する場合と、パンプハウスといってパンプだけを外注で請け負う会社も多い。

デバイス実装ではめっきは珍しいものではない。ウエーハ工程でのパンプは実装とは異なるが、かと言って多層配線ほどの難しさがあるわけではない。正に多層配線と実装の間にあるプロセスだ。事実、将来の $10\mu\text{m}$ パンプめっきは実装で担当するのか、多層配線が担当するのかデバイスメーカーでも迷っているケースを見受ける。

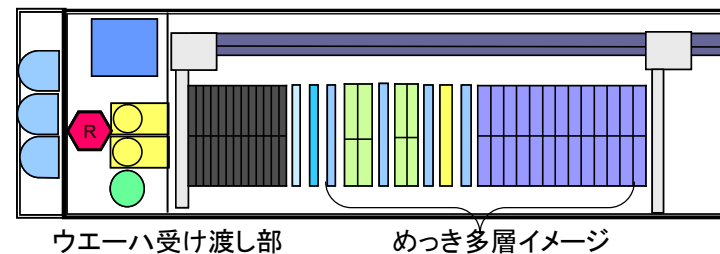
パンプ(電極)めっきイメージ



プロセスフロー



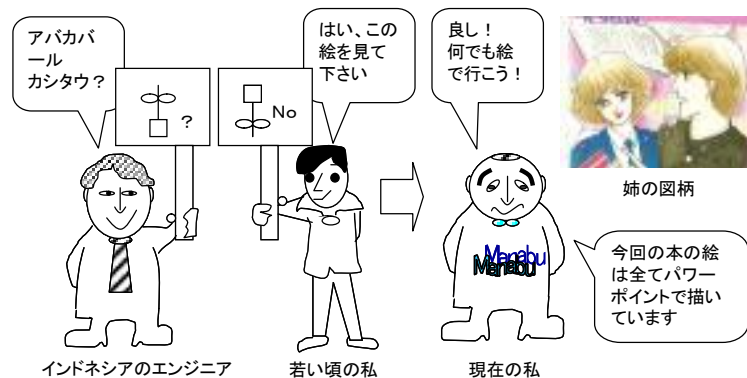
装置イメージ



MANABU流・パワーポイントペイント派

1974年(株)荏原製作所に入社した際、インドネシア向け水力発電所建設を担当しました。ビジネス用語は、インドネシアの方も我々も英語です。実は私の英語は当時ひどいもので、まるで西部劇のインディアンです。「私、エンジニア。貴方、お客。アンダerstand?」。相手のお客も似たようなもので、悲喜劇です。実際にこんな調子で発電所ができたのですから奇跡?と思いましたが、最近考えが変りました。英語が堪能では無いということは、実はとてつもなくエンジニアにとっては良かったのではと思い始めています。何故か?英語が拙いと先ず「うそがつけません」。次に、言いたいことを伝えようとすれば、言いたいことから、強調して何度も言い続けます。それも分かるまで。結局、エンジニアとして伝えたいことを絵で描き、エッセンスを抽出する訓練がこの時にできました。

さて半導体製造装置の開発ではどうだったか?言いたいことを絵にしてみます。そうすると不思議に開発のエッセンスが理解できるようになりました。そこで私の仕事はいつも‘ポンチ絵’で始まります。そのうちに私の書き物には、全て私の漫画が入るようになってしまいました。個人的なことで恐縮ですが、私の姉は‘有名な’漫画家(辻村弘子)です。姉に対抗して私は、パワーポイントを駆使した私流の絵柄を作りました。称して‘パワーポイントペイント派’(造語)です。誰でも私に師事すればすぐに漫画が描けるようになりますよ(笑)。



第 III 編

ウェット削膜プロセス: CMP

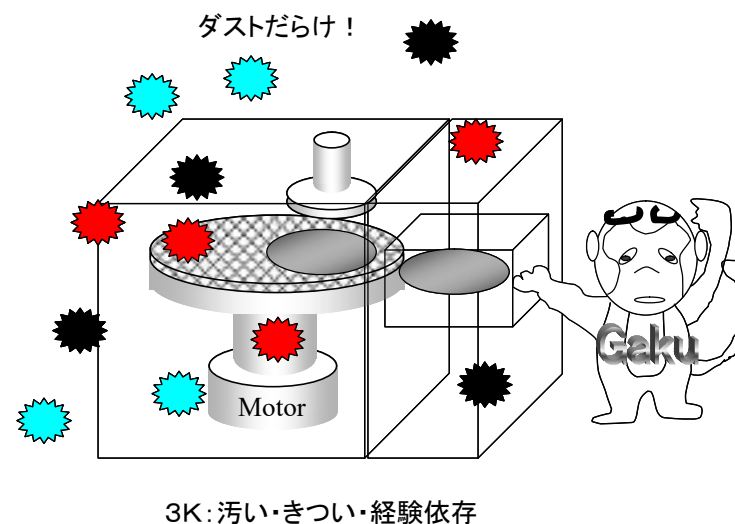
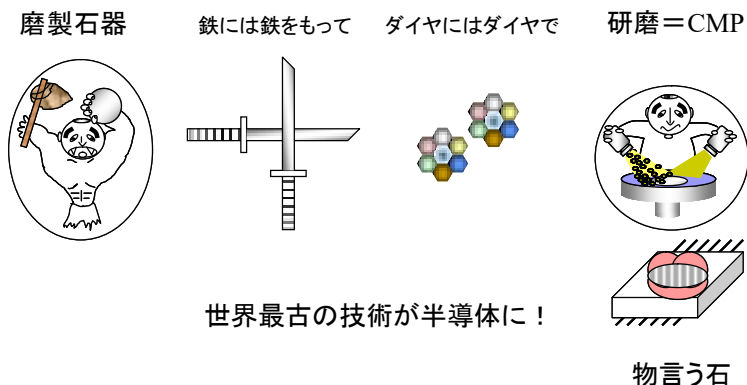
石(石器)から石(デバイス)まで

世界最古の研磨から最新の研磨(CMP)まで

前章でめっきが世界最古の技術の一つと書いたが、めっきが西の横綱なら研磨は東の横綱である。研磨の起源は正に磨製石器にさかのぼり、縄文時代からある技術である。また研磨は「共削り」が基本であり、酸化シリコンは酸化シリコンで研磨する。半導体デバイスでは酸化シリコン以外にもタングステンや銅を研磨しているが、タングステンをタングステンで、銅を銅では研磨していない。どうやら CMP は研磨の世界を飛び出してしまった感がある。それでも半導体デバイスの平坦化技術には未だ研磨が主要な技術であり、今後益々いろいろな材料を研磨する要求が出てくるだろう。また半導体で培った研磨技術をまた従来の研磨に応用するなど、研磨の世界は希望に膨らむ一方だ。

半導体応用研磨(CMP)技術歴史概要

CMPは Chemical Mechanical Polisher(化学的機械研磨装置)の略であり、現在半導体デバイスの平坦化プロセスには必須の装置である。1980年代後半IBMが「ロジックデバイス用平坦化プロセス」として開発・採用した。ロジックではメモリに比べ層数が多いため平坦化要求が強く、またチップ生産数が少なくチップコストも高いのでオフライン(クリーンルーム外)で用いられるCMPも採用しやすかったと思われる。その後米国ではインテル・モトローラ・AMDなどにも採用された。当時の日本国内デバイスメーカーは製品がメモリ中心であったためと、さらにSOG(Spin On Glass: 塗布型絶縁膜形成方法)やエッチバックなど他の平坦化技術で対応できていたため、CMPが使われていなかった。この時期のCMPはベアシリコンウェーハの研磨装置の応用であったため、装置そのものがとてもクリーンルーム内に設置できるようなクリーン化設計にはなっていなかった。そのためCMP用の特別室を設けざるを得ず、デバイスメーカーとしてはなかなか本格的には採用しにくい状況であったと思われる。



ドライン・ドライアウト登場

その他の平坦化技術

この時期のCMPに対抗する平坦化技術の主なものは以下の通りである。

【層間絶縁膜の平坦化】

- (1) ウェーハにRFバイアスを印加しながら成膜するバイアスCVD法
- (2) TEOSとO₃などのような流動性を持つ熱CVD法
- (3) スピン塗布によるSOG法(Spin On Glass)

【配線の平坦化】

- (1) Alを成膜後に加熱流動させる方法
- (2) Wなどで用いられるブランケットCVDで成膜後にエッチバックする方法

いずれの方法も1980年から1990年代前半のテクニカルノード350nmないしは250nmまでは採用されていたが、ダマシンプロセスの出現でCMPに変わりつつある技術である。

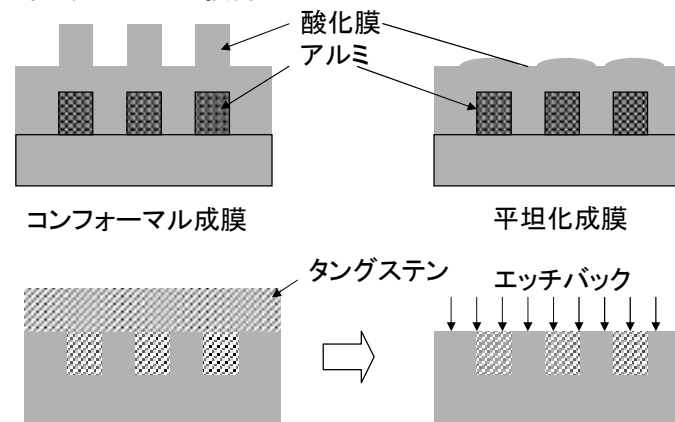
ドライン・ドライアウト

1990年代になり半導体微細化要求が厳しくなるにつれ、日本でもCMP技術がクローズアップされてきた。この時期にCMPの設計コンセプトに大きな改革があった。それがドライン・ドライアウトコンセプトである。

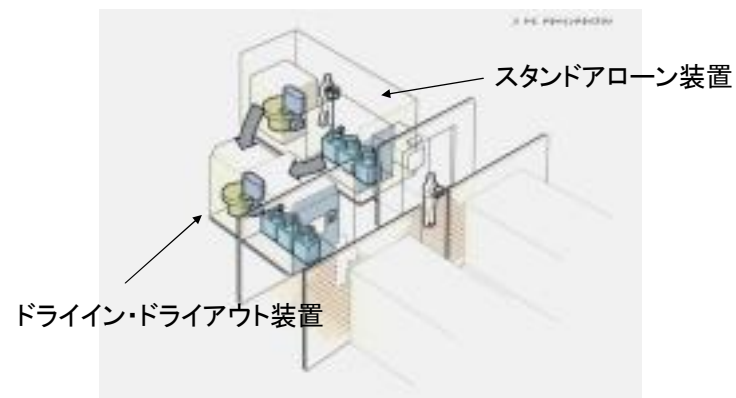
このコンセプトを用いた設計によりCMPが他のドライプロセス装置並みにクリーンルーム内で使用できることが実証され、CMPが普及しやすくなった。層間絶縁膜平坦化用を主として200mm(ウェーハ径)/250nm(テクニカルノード)世代で定着、いよいよ300mm/130nm新世代を迎えることになった。

この新世代要求の大きな特徴は、機械的には300mm世代を意識した「ドライン・ドライアウト」コンセプトの完全導入であり、プロセス的には130nm世代以降を意識したSTI(Shallow Trench Isolation:素子分離)・ダマシ銅配線や低誘電率材導入等によるプロセスの多様化である。従ってCMPだけが(研磨だから汚くて良いという)特別視される時代は終わると同時に、プロセス・機械性能共に他のドライプロセス以上の要求が課せられてくる。デバイスや装置開発の世界標準とされるロードマップ(ITRS)の中でもCMPは次世代デバイスに必須な技術であることが記載され、CMPは世界的に認識され始めた。

その他の平坦化技術



ドライン・ドライアウト技術



CMPは麻薬だ?!

微細化・大口径化とCMP採用イメージ

半導体微細化と大口径化に伴って、CMP がどのように採用されてきたかを図に示す。CMPは200mmウェーハ時代には350nm世代デバイスで一部に採用され始め、250nm世代デバイスで広く普及した。その後の微細化では必須技術と考えられている。300mmウェーハ時代では200mmウェーハ時代でのプロセスを転用するためCMPは同じく必須であり、130nm世代デバイスで採用されている。

現在45nm世代以降のデバイスでは、層間絶縁膜の平坦化・タングステンコンタクト(ビアも)埋め込み・STI 埋め込み・ポリシリコン平坦化・銅ダマシン埋め込みを始め、種々のプロセスに採用され、今では最先端デバイス製造に必須な技術となった。

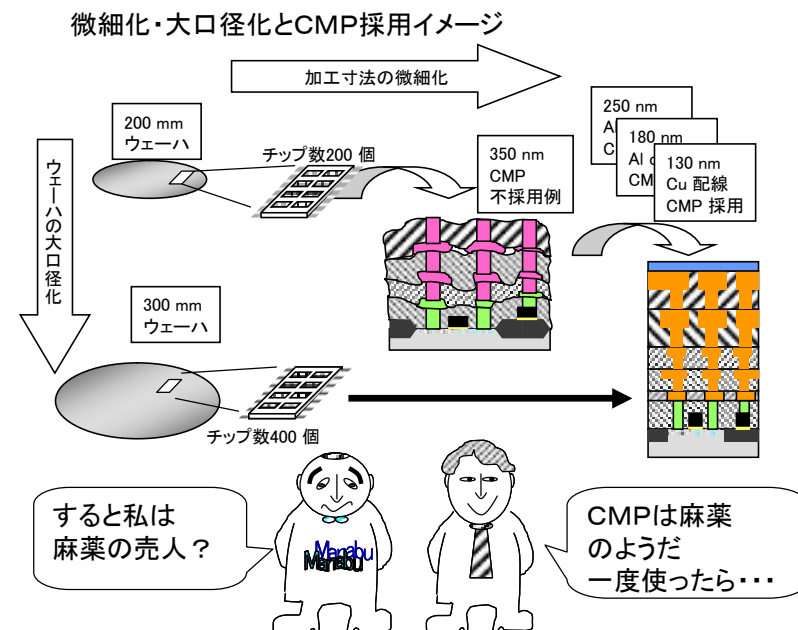
CMP の平坦化効果と他の用途

CMPを採用したデバイスと採用しないデバイスの平坦度のイメージを示した。配線の多層化に伴い、各層の平坦化は益々重要になってきている。CMP の他の用途として、実は表面改質効果が上げられる。各層に残っているノジュール(出っ張り)部分を研磨で削って除去したり、純水のみで研磨することにより洗浄効果を改善したりとCMP 自体にも種々の使い道が考えられている。

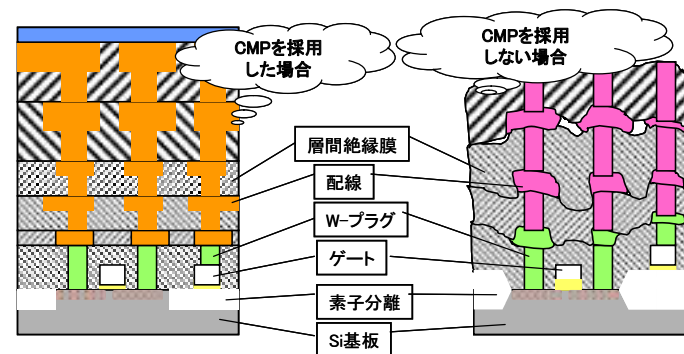
CMPは麻薬だ?!

物騒な表現が出てきて申し訳ない。これはCMPを実際に使い始めたエンジニアのありがたい言葉だ。1990年前半はまだCMPはそれほど普及すると思われていなかったため、「CMP? あの汚いプロセス?」と敬遠されていた時代の話である。嫌だ嫌だと言いながら、ちょっと使ってみた。あれっ! ずいぶん印象が違うなあ。表面は汚いけど、デバイスの中まで拡散するほどひどくは無いし、平坦化性能は‘抜群’だ。と言っていたエンジニアが1年後にはCMPのトップエンジニアになっていた。

彼は今ではCMP無くしてデバイスは作れないと言い切っている。冒頭の言葉はその時彼が発した言葉であり、私の日記に今でも残っている。



CMPによるデバイスの平坦化イメージ



プレストンから始めよう

プレストンの式から

以下にCMPの原理を示す。CMPは従来からベアシリコンウェーハに用いられている研磨加工の応用である。一般的に用いられるロータリー型CMPで説明する。ウェーハをフェースバック(表面を下)にしてウェーハキャリアで保持する。回転テーブル上に設置されたパッド上にスラリー(シリカなどの砥粒を数%含む砥液)を塗布する。ウェーハはバックング材とパッドに挟んで、ウェーハキャリアによりパッドに押しつけ研磨加工する。この際テーブル・ウェーハキャリアは共に同方向にほぼ同じ回転数で運転される。研磨速度は荷重と相対速度に比例する。

研磨は下記に示すプレストンの式に従うものとする。

$$PR = k P V$$

PR: 研磨速度 (m/s)

k: 定数 (Pa^{-1})

P: 研磨圧力 (Pa)

V: 相対速度 (m/s)

研磨圧力を一定とするための工夫はヘッドの設計によってなされる。研磨速度は研磨テーブルとウェーハを同一方向に同一回転とすればウェーハ上のどこでも一定になる。

PVT 依存と PVTQ 依存

ケミカル性の強いスラリーでは研磨速度は温度にも影響を受ける。この場合には研磨は以下に示す式に修正する。

$$PR = k P V T^{\alpha}$$

T: 研磨時の温度 ($^{\circ}\text{C}$)

α : 温度指数

さらに、最近では CoC(Cost Of Consumable)を削減する目的でスラリー流量を少なくする傾向にあり、この場合研磨速度がスラリー流量に依存する場合もある。この場合には研磨は以下に示す式に修正する。

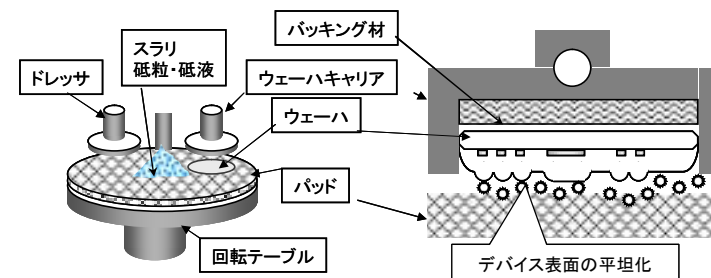
$$PR = k P V T^{\alpha} Q^{\beta}$$

Q: スラリー流量 (m^3/s)

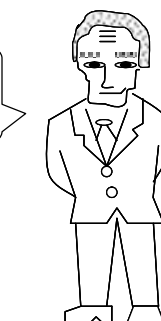
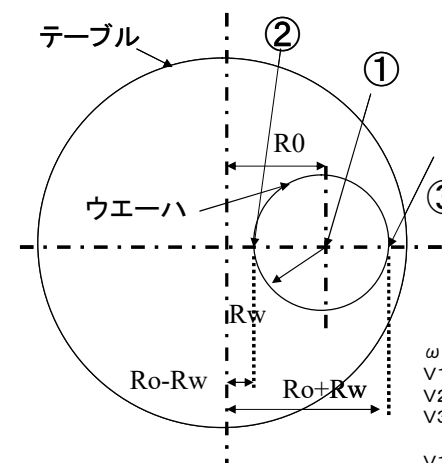
β : 流量指数

このように旧来のプレストンの式とその応用式が実際には使用されている。

CMP原理図



まずはプレストンから初めて下さい



プレストン博士
(1896-1989)

$$\begin{aligned} \omega &: \text{Speed of table and carrier} \\ V1 &= R0 * \omega \\ V2 &= (R0 - Rw) * \omega + Rw * \omega = R0 * \omega \\ V3 &= (R0 + Rw) * \omega - Rw * \omega = R0 * \omega \\ V1 &= V2 = V3 \end{aligned}$$

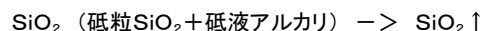
これが研磨だ!

平坦化原理を簡単に

これが研磨だ! という話をする。厳密には違うが、この程度に考えたほうが最初はわかりやすい。CMPはChemical化学的要素とMechanical機械的要素を組み合わせたPolish加工である。何が化学的で何が機械的かを考えよう。

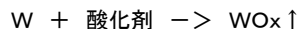
(1) 酸化膜から

Siの酸化膜は SiO_2 と表すが、これを砥粒(SiO_2)で共磨り(同じ材料で擦って加工すること)が基本である。同じ材料同士なので傷が入りにくいためと考える。アルカリで表面層を改質し(化学的)、その表面層を砥粒で除去(機械的)する。



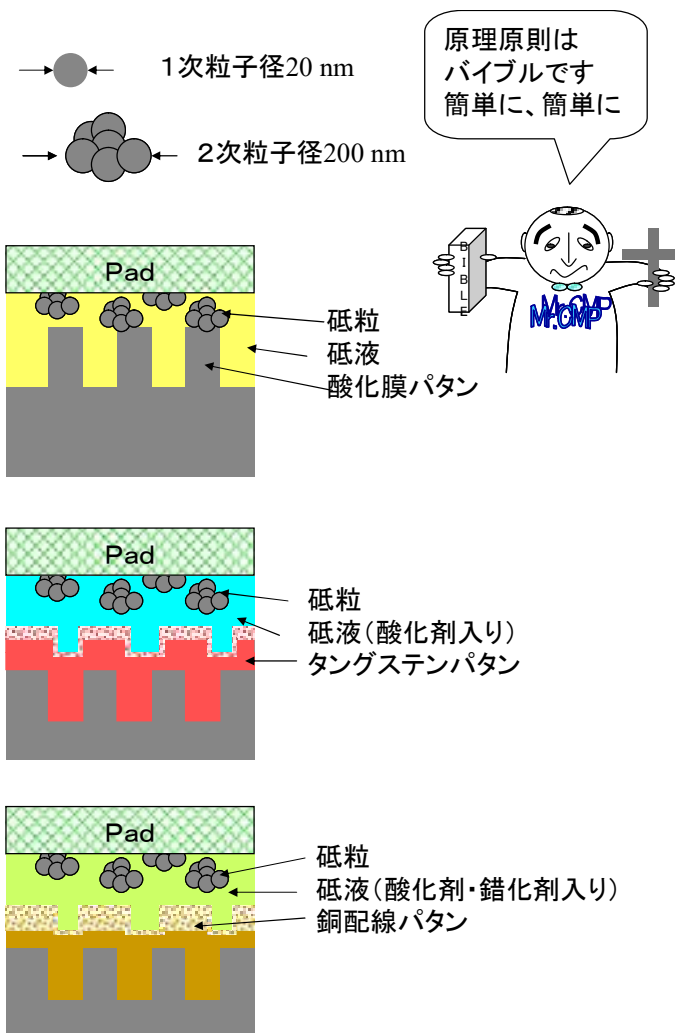
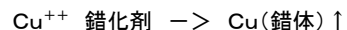
(2) 次にメタルのタングステン

Wなどの純金属を砥粒で加工すると傷が入る(柔らかかったり、粘っこかったりするため)。そこでWの表面を酸化しておきこれを SiO_2 の研磨と同じように機械加工する。この酸化を化学的、加工を機械的と言う。



(3) 最後にCu

基本はWと同じだが、CuはWと異なり酸化膜が強固では無い。どんどん腐ってしまう感じで捉えると良い。そこでCuは酸化膜にするのではなく、Cuの錯体にしてから機械加工をする。その際にCuは酸化しながら錯体にする。この作用を化学的、できた錯体を加工するのが機械的と言う。



あれっ！プレストンに逆らうの？

プレストン領域と非プレストン領域

プレストンの式に従う研磨をプレストン領域と言うが、最近はこの理論式から外れる研磨が出てきた。これを非プレストン領域といい主としてケミカル色の強いスラリの場合に用いられる。要はエッチング力が高いものと考ええると良い。

研磨には化学的要素と機械的要素がこのように関与している。このどちらが支配的か？ そしてその化学反応と機械加工がウェーハ全体に渡り、そしてチップ内で均一に進行するかを考えるのがCMP技術である。

性能を簡単に

一般的に半導体製造装置の性能はプロセス性能と機械性能であるが、

プロセス性能は

- ・ 加工レート
- ・ ウェーハ全体の均一性
- ・ チップ内均一性(成膜や削膜のパタン依存性)
- ・ Defects(ゴミや傷など)

機械性能は(上記プロセスのもとで)

- ・ 処理性能 スループット(wph)やタクトタイム(hr)
- ・ 信頼性
- ・ 生産性指数

で評価される。今回のCMPもこの一般的常識に沿って、CMPに特殊な要求を追記しながら考えて見よう。

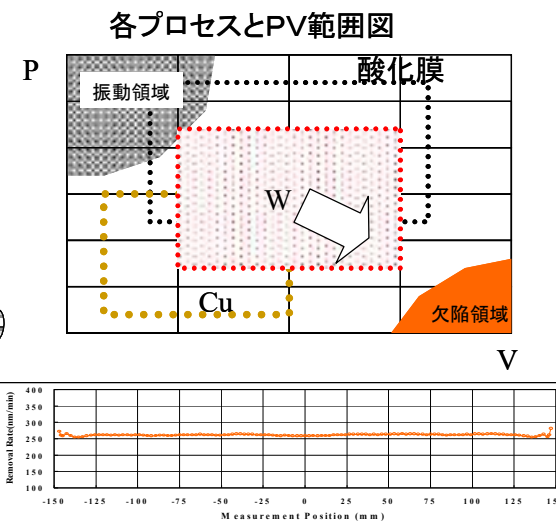
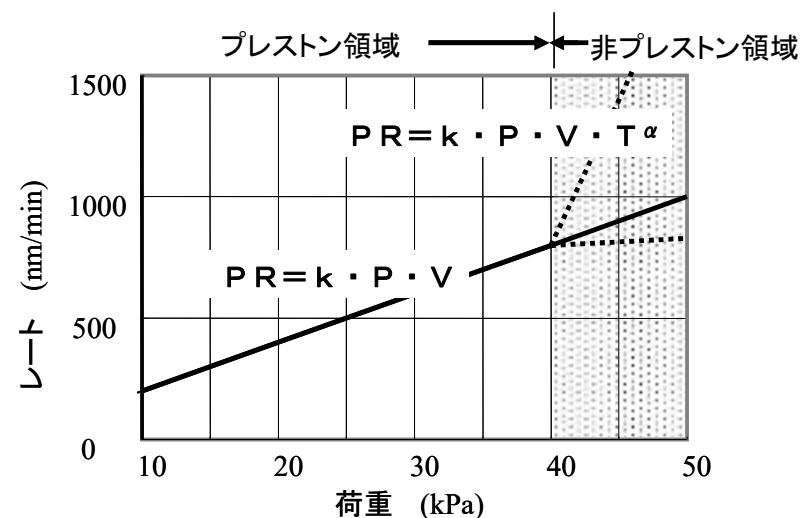
評価項目

(1) レート: 早いに越したことは無いが、一つの目安は1分プロセスである。と言うことはもし膜厚が1μmなら1μm/min ということになる。大体のイメージとして、

- | | | |
|-------|-------------|----------------------|
| ① ILD | >500 nm/min | (1000 nm/min というときも) |
| ② STI | 200 nm/min | |
| ③ W | 500 nm/min | |
| ④ Cu | >500 nm/min | |

(2) 均一性(ウェーハ内) — ベタウェーハで検証 3(2)mmEE で 3σ3%

機械的要素の大きい酸化膜研磨ではヘッドの性能がもろに効くプロセスである。化学的要素の大きいメタル研磨では如何に化学反応を均一にするかが勝負となる。



性能図例

研磨の極意を授けよう

研磨のくせ?

ここで注意! 研磨は均一に加重をかけても均一に加工できない!?

理由—1 研磨は被加工物のウェーハ・パタン形状とスラリー・パッドによって基本加工形状が異なる。この基本加工形状を「研磨のくせ」と呼び、この研磨のくせを修正するために研磨圧力を制御(変化)させて一定の研磨形状を作り出すことが研磨の極意である。

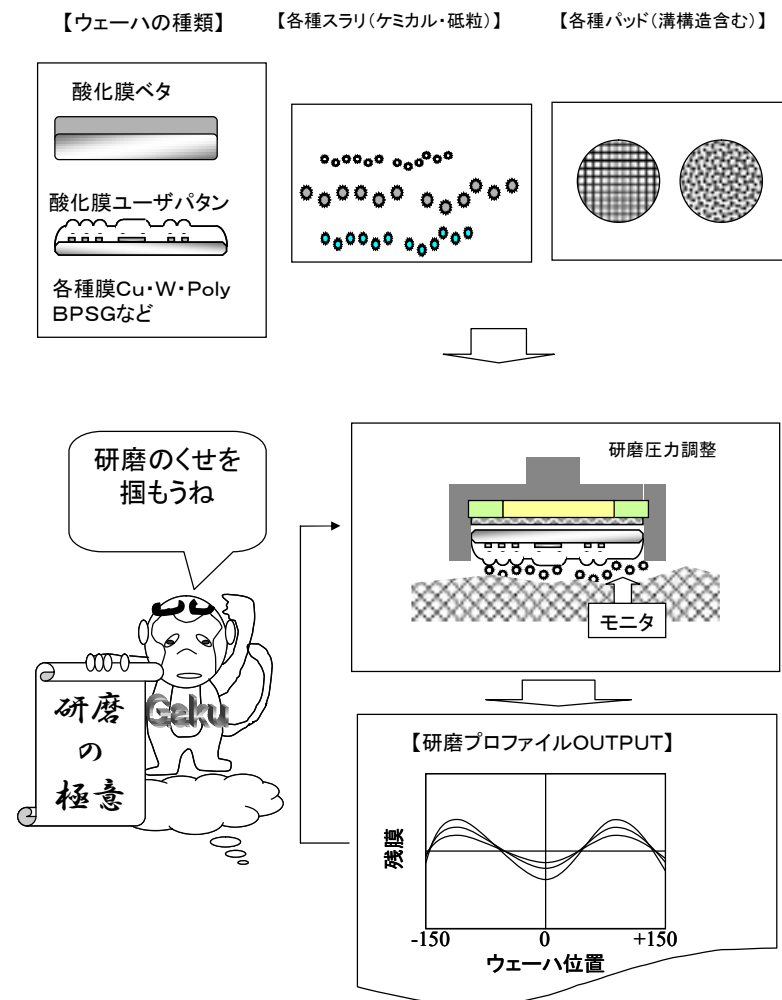
理由—2 Incoming Waferの形状が異なる場合が多く、この形状を制御する要求が出てきた。これを研磨のプロファイルコントロールと言うが、研磨は上記理由—1で述べたようにもともとプロファイルコントロールをしているのでIncoming Waferの形状が多少くらい変わっても調整が可能である。

従って、CMP では通常そのデバイスパタン・スラリー・パッドの種類などにより好適な研磨圧力を制御して所定の性能を得ているのが現状である。

その他の変動要因

上記の研磨のくせの中には、もともと研磨の種々の変動要因も含まれるので注意しよう。ここではその変動要因を簡単に述べておく。

例えばドレッサだが、ドレッサの種類(番手)・ドレッシング方法などにより研磨速度とプロファイルは大きく変動する。またデバイスの膜質によっても大きく変動する。例えば古くはBPSG膜のBやPの分布によって変る場合や銅のアニール温度があり、最近では低誘電率のエッチングダメージによっても大きく変動するので要注意である。



永遠の課題:パタン依存性

平坦化性能(Dishing, Erosion, など)

チップ内には配線パタンによる凸凹の疎密があり、そのパタン上に成膜をすれば必ずどんな成膜方法でもパタン依存性がある。これを成膜のパタン依存性といい、さらにその形状を削膜すればその依存性もあり、これを削膜のパタン依存性という。

図に示したように、幅広パタン・密パタン・疎なパタン上にめっきをした場合、①めっきプロセスで生じる Dishing②密パタン上に盛り上がる Mounding などが特徴的である。

さらにその状態から CMP した場合、①幅広パタンでは CMP で生じる Dishing②密パタンで発生しやすい酸化膜の Erosion③全体に過研磨される Recess などが発生する。

注)成膜でも削膜でも表面処理でも同じ課題が付きまとう。それがパタン依存だ。デバイスには種々のパタンが存在し、パタン依存があるプロセスではどうにも改善できない。できるだけパタン依存の少ないプロセスを開発したい。

欠陥 Defects — FM(ゴミ)、PS(傷)、PR(残り)などのカテゴリあり

欠陥Defect検査には何をどの検査機で測定したかが重要である。現在、検査機には大きく分けて3種類ある。

- 1) ベタ膜上のゴミ検査
- 2) パタン膜上の欠陥検査機 → 上記のようにゴミ・傷・腐食などに分けられる

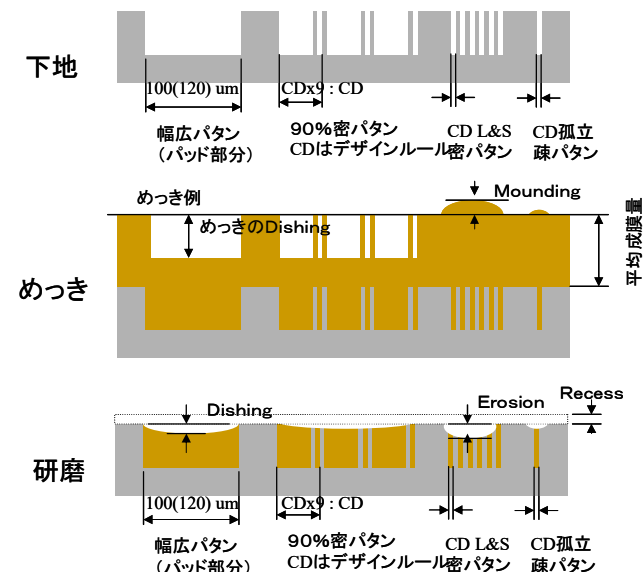
暗視野と明視野があり、本来は両方が必要。

カテゴリとしては

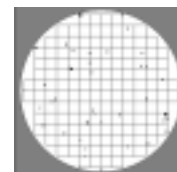
- ・外部からのゴミ
- ・傷
- ・研磨残り
- ・腐食
- ・壊食

などがあり、各社特有の命名をしている。

めっきと研磨の平坦化性能

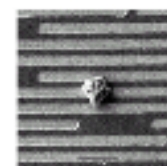


ベタ膜検査

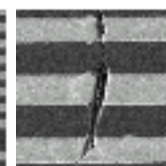


パタン検査

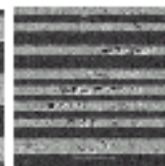
外部ゴミ



傷



腐食



デバイスのどこに使うの?

CMPの適用箇所

CMPの採用箇所をイメージ図で示す。STI、層間絶縁膜(ILD)各層、タングステン(W)プラグ、メタル各層を示している。これをCMPの立場からは、CMPストップ膜の無い「ブラインドCMPプロセス」とストップ膜のある「埋込みCMPプロセス」に大別できる。層間絶縁膜の研磨は均質膜のブラインドCMPプロセスであり、主として段差低減性能が要求される。STIはSi-Nなどのストップ膜のある埋込みCMPプロセスであり、ストップ膜内の均一性向上やDishing低減が要求される。配線はバリアを含む埋込みCMPプロセスであり、Dishing や Oxide Erosion 低減が要求される。Dishing とは配線部分が皿のように過研磨される現象であり、Oxide Erosionとは同じく配線間の酸化膜が過研磨される現象である。

CMPの4段階

このように酸化膜(ILDとSTI)とメタル(WとAL, Cu)その他PolySiや他材料用途があるが、ここでは代表的なBlind CMPとしてのILD、Recess CMPとしてのSTI、W、Cuを研磨の性質で分け一般化してみる。

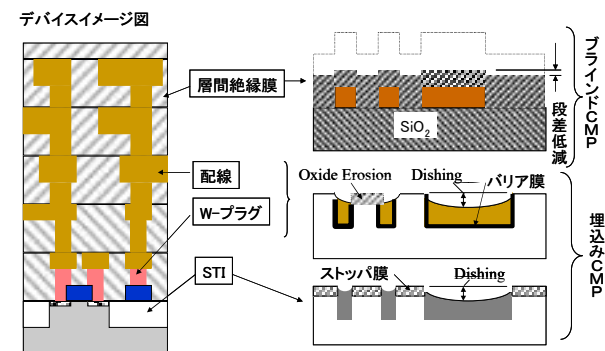
CMP-1 段差低減領域 (ILD) 被加工材は同質	= 段差性能が主
CMP-2 バルク研磨領域 被加工材は同質	= ウェーハ均一性が主
CMP-3 異質材領域 (リセスのストップバやバリア)	= 選択比が主
CMP-4 下地材領域	= Defectが主

さらに付け加えると実際には「CMP-0」というのがある。最初に被加工材の酸化膜を研磨するときに問題が起り、CuではCuの前にCuOxを研磨する必要がある。

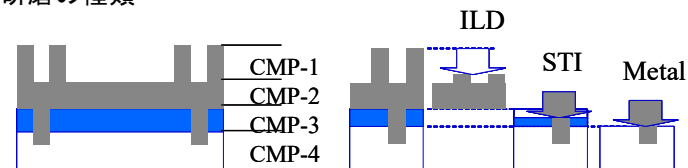
ベアシリコンとデバイス用CMPの違い

参考に従来のベアシリコンウェーハの研磨と半導体デバイス用CMPの大きな違いを示す。ベアシリコンウェーハの研磨はウェーハ両面にあるうねりを20μm程度研磨して、ウェーハの厚みを一定にすると表面の粗さを低減することを目的としている。当然研磨対象はシリコンのみである。一方半導体デバイス用CMPは上述のように片面2μm程度研磨して、20nmの膜厚精度管理をすることと、種々の不均質材料を研磨するものであり、ベアシリコンウェーハ用研磨プロセスと半導体デバイス用CMPプロセスは似て大きく異なるものである。

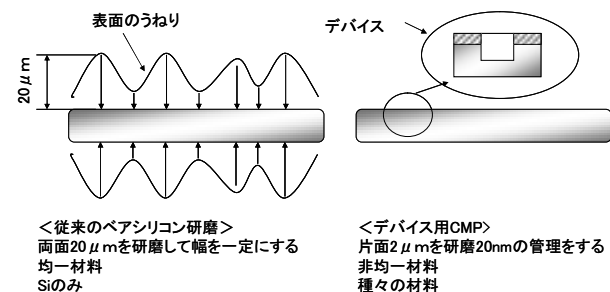
CMP採用箇所



研磨の種類



ベアシリコン研磨とデバイス研磨の違い



研磨部・洗浄部

CMPシステムとは研磨・洗浄・乾燥・モニタ・スラリー供給・廃液処理・パッド・スラリーなどの他に管理技術・自動化技術などを含めたものを言うが、ここでは主となる研磨・洗浄・モニタ技術を抽出してみた。

研磨部

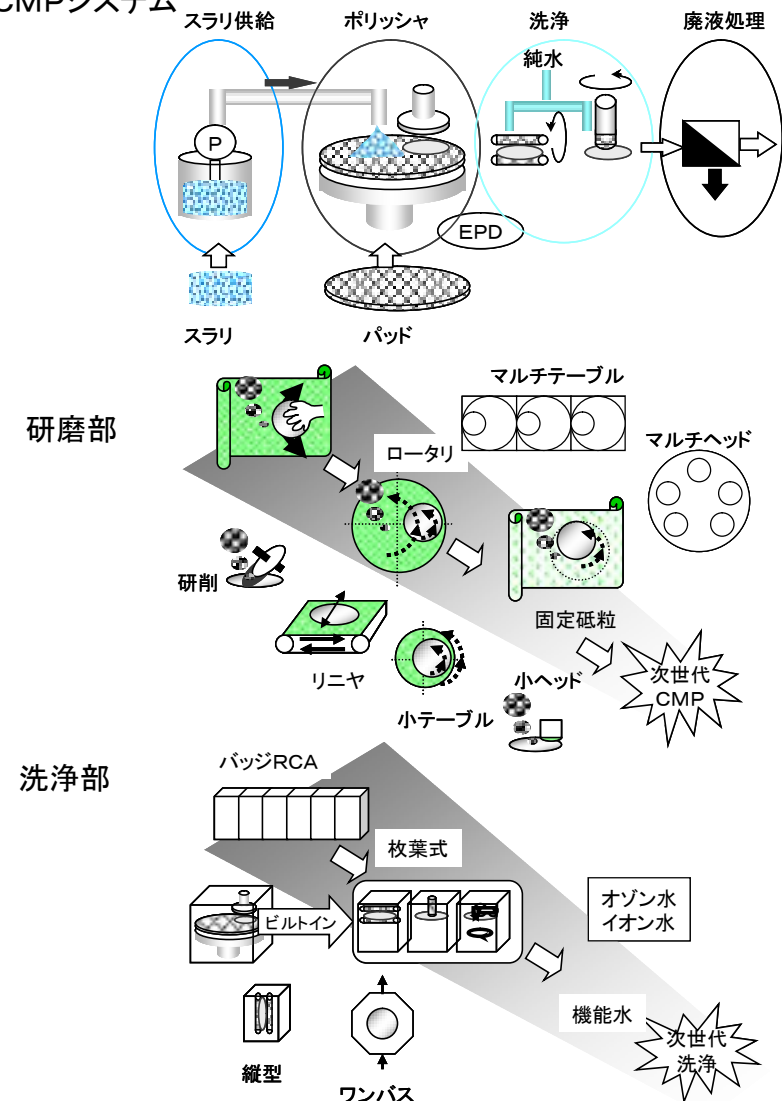
80年代はベアシリコン研磨から始まったため、ほとんどがロータリー式を採用していた。当時は性能もさることながらスループット重視でマルチヘッドやマルチテーブルの装置が種々出てきた。90年代、微細化と共に平坦化要求が厳しくなり制御のしやすいシングルヘッド装置が好まれた。またあらゆる開発機種が登場した時代でもある。

- (1) 小テーブル型: 省スペース目的で回転テーブルの中心を越えてウェーハが配置され研磨を行うものである。幾何学上は中心を越えてもウェーハ上の摺動速度は同一にできる。
- (2) 小ヘッド型: ウェーハを上向きにしてウェーハより小さなヘッドで研磨する。
- (3) リニア型: パッド側を回転ではなく直線運動にしたもの。
- (4) 研削型: 研磨ではなく研削原理で平坦化をしようとしたもの。
- (5) 固定砥粒型: 遊離砥粒ではなく固定砥粒を利用する方式。

洗浄部

80年代、いや90年代に入ってさえ洗浄をCMPにビルトインするという考えは無かった。研磨はダスト発生機である。一方洗浄はあらゆる半導体製造装置の中で最もダストを嫌う装置であり、ダスト発生機と洗浄機を一緒にするなどは天と地が一緒になるようなものだと言われた時期があった。事実 10^{15} のパーティクルを 10^0 オーダに下げるといふ分離プロセスは化学工学プロセスには無い。そこで従来のバジ式RCA洗浄にたよっていた。その後CMPの採用回数が増えるにつれ、CMPも他のドライ装置並みに扱いたいと考えるのは当然の成り行きで、90年代所謂「ドライイン・ドライアウトコンセプト」が登場した。その後は縦型やワンバス型が登場し、ケミカルレスを目的としたオゾン水やイオン水などの機能水を応用したものも登場した。

CMPシステム



モニタ部

モニタの種類

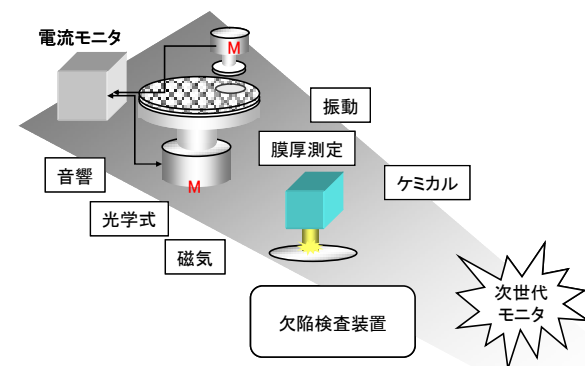
研磨のプロセスは大きく分けて2種類ある。ILD のような均質膜を研磨するいわゆる Blind Process と W や Cu、STI のような非均質膜を削る埋め込みプロセスである。このプロセスに合わせていろいろなモニタが開発されてきた。

- (1) 摩擦検知方式: テーブルやヘッドに設置されたトルク検知により、非均質膜の境界で発生するトルク変化を検知する方法である。W プロセスなどで多用された。モータ電流方式はこれに含まれる。
- (2) 振動検知方式: ヘッドに設置された振動加速度モニタにより非均質膜の境界で発生する振動加速度変化を検知する方法である。
- (3) 渦電流検知方式: メタル膜の厚さによって変化する渦電流により膜厚変化をモニタする方法である。メタル埋め込み CMP に採用されている。
- (4) 光学式検知方法: 光学式膜厚モニタと同じ原理である。In-line 方式と In-situ 方式がある。
- (5) その他: 非均質膜を研磨する際に発生する特別なケミカルを検知する方法や音響変化を検知する方法など種々の方法が開発されている。

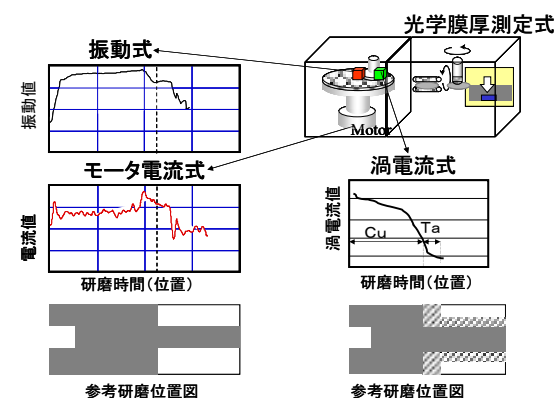
実際のデータ比較

実際に採用されているモータ電流式と振動式と渦電流式の例を示した。モータ電流式は最も古くから用いられている方法で、非均一膜質間で生じる摩擦力を回転トルクで検出したものである。振動式はヘッドに設置された振動センサによって同じく非均一膜質間で生じる振動パタンの差を検知したものである。図には同じデバイスパターンをモータ電流式と振動式で検知した例を比較して載せてある。渦電流式はメタル内で生じる渦電流の大きさがメタル厚みで変化する原理を用いたものである。図の例はCuとTaを研磨した際の例である。

モニタ部



各種比較



ロープロセスタイム

ロープロセスタイム改善

インプロセスモニタの目的は研磨停止情報と膜厚管理情報が主であるが、その他の効用に故障診断・寿命予測やロープロセスタイム(実質処理時間)の短縮などがあげられる。また研磨システムとしてのインプロセスモニタについても述べる。

(1) 研磨停止情報(エンドポイント): 前述の通りCMPはアバウトな加工機械であるためエンドポイントに係わる技術は必須である。一つは本稿に示すような方法で機械的に止める方法と、自動停止がかかるスラリーやパッドを開発する方向もある。いずれにしる前述した4つのCMP領域に好適なエンドポイント開発が必要である。

(2) 膜厚管理情報: 層間絶縁膜ではその膜厚がデバイス性能に大きく影響する。Low時代になり、益々その管理幅は厳しくなるであろう。そのためには単なるエンドポイントから膜厚管理を目指すのは必然である。

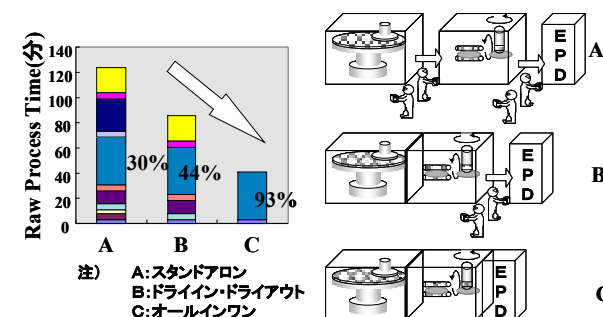
(3) 故障診断・寿命予測: CMPは信頼性や再現性が悪いプロセスであるという理由でエンドポイントの開発が急速に高まったが、実際はその信頼性や再現性にもあるパターンがあることが分かった。これらは研磨停止情報や膜厚管理情報を調査することにより得ることが可能であり、例えば通常の研磨停止情報や膜厚管理情報との比較により故障診断や寿命予測に適用が可能である。

(4) ロープロセスタイム短縮: 次頁右上には研磨・洗浄・エンドポイントモニタ(EPD)が各スタンドアロン設置の場合と洗浄やEPDがそれぞれビルトインされるとロープロセスタイムが如何に短縮されるかが示されている。現在のオールインワン型だと従来のスタンドアロン型に較べてロープロセスタイムで約1/3に短縮している。また全プロセス時間の内研磨の割合が高くなっているため、従来省略化方向であった先行テストウエーハも採用しやすくなっている。

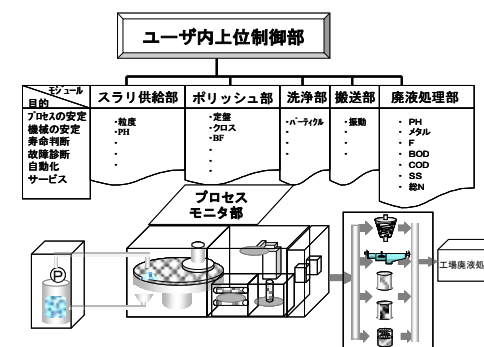
その他の管理情報

またCMPシステムとして研磨・洗浄・搬送・スラリー供給・廃液処理を含む管理方法の例を示した。これらは上位通信を通して工場運営に大きく係わる重要な項目である。インプロセスモニタは研磨プロセスのみに必要なものではない。例えばスクラッチはスラリー供給装置の完成度に大きく関与するし、パーティクル数は洗浄装置や搬送装置に関与し、消耗材によっても研磨特性が大きく変わる。また今後新材料の研磨時には廃液処理を含む環境負荷低減は必須のテーマである。

ロープロセスタイム改善



上位通信例



スラリー再生・排液処理

スラリー

スラリーの性能は「砥粒と砥液の被ポリッシュ膜との機械加工性・化学反応性」で決定される。酸化膜では主としてKOHベース又はアンモニアベースのシリカ砥粒、その他セリア、マンガン系砥粒が採用されている。評価項目はレート・スクラッチ・洗浄性である。金属膜では過酸化水素・硝酸鉄・ヨウ素酸カリウムベースのアルミナ・シリカやマンガン系が採用されているが、評価項目は上記に加えDishing/Oxide Erosion/Corrosionが含まれる。

課題は金属膜用で各種膜・バリア膜・下地膜に合わせて必要な選択比を確保しながら上記評価項目をクリアする新スラリーを如何に早く・安く提供できるかである。

スラリー供給システム

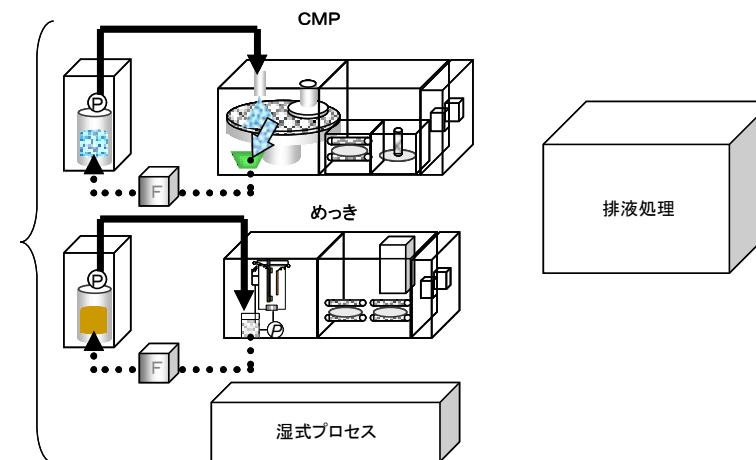
スラリー供給はオンサイト個別方式と集中方式がある。実験レベルやスラリーを頻繁に交換するような場合にはオンサイト個別方式が好適だが、実際の量産工場では、集中方式を採用している場合が多い。また、スラリーばかりではなく、めっき装置など他の湿式プロセス装置の薬液も同様に扱うことが可能である。

スラリー再利用と再生

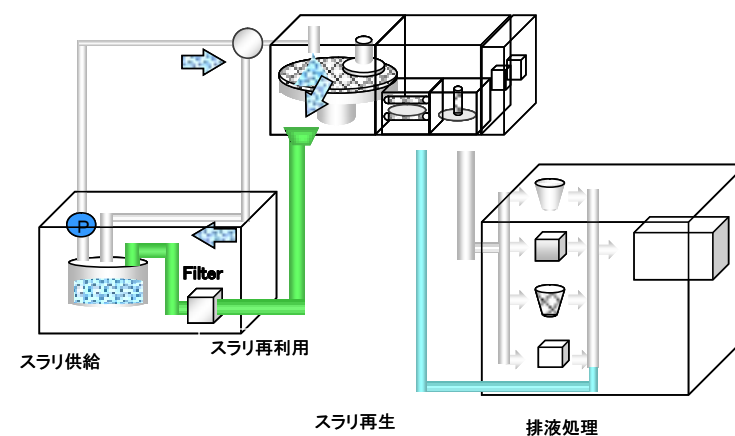
現在スラリーはコストがとても高い。そこでスラリーを再利用したり、再生が考えられてきた。再利用とは、図に示す通り、薄まっていない使用後のスラリーをフィルタを通して循環する方法である。ベアシリコン研磨では一般的に採用されている方法である。

再生とは、もとのスラリーの状態にまで戻すことを言う。半導体用薬液ではオンサイトでの再生も経験実績があるが、スラリーではかなり難しい。現在のところ、環境問題を考えて是非取り組みたいと考えている。

スラリー・めっき液などの液供給システム



スラリー再利用・再生・処理



層間絶縁膜から始めよう

用途と平坦化性能の定義

層間絶縁膜 CMP は CMP が採用された最初のプロセスということで、CMP の代表格である。図に示すように、アルミ配線の場合には、アルミの上に CVD で酸化膜を成膜するために、酸化膜に段差ができる。成膜時の平坦化技術に関しては前述したが、それでも段差はできる。これを初期段差と定義する。この初期段差を研磨して、平坦化をするわけだが、その最終的に残った段差を最終段差と定義する。この初期段差から最終段差までどの程度の量を研磨すれば良いか？これが平坦化性能であり、次式で示される。

$$\text{平坦化性能} = (\text{初期段差} - \text{最終段差}) \div (\text{研磨量}) \quad (\text{もし\%で表すなら} \times 100)$$

図で45度線で示したラインは「研磨しただけ、段差が減る」であり、これを理論平坦化100%とする。図の平行線で示したラインは「いくら研磨しても、段差が減らない」であり、これは平坦化性能0%。ウェットエッチングなどをイメージして欲しい。当たり前のような定義だが、電解研磨や他平坦化技術を議論する際に重要になる定義なのでしっかり覚えよう。

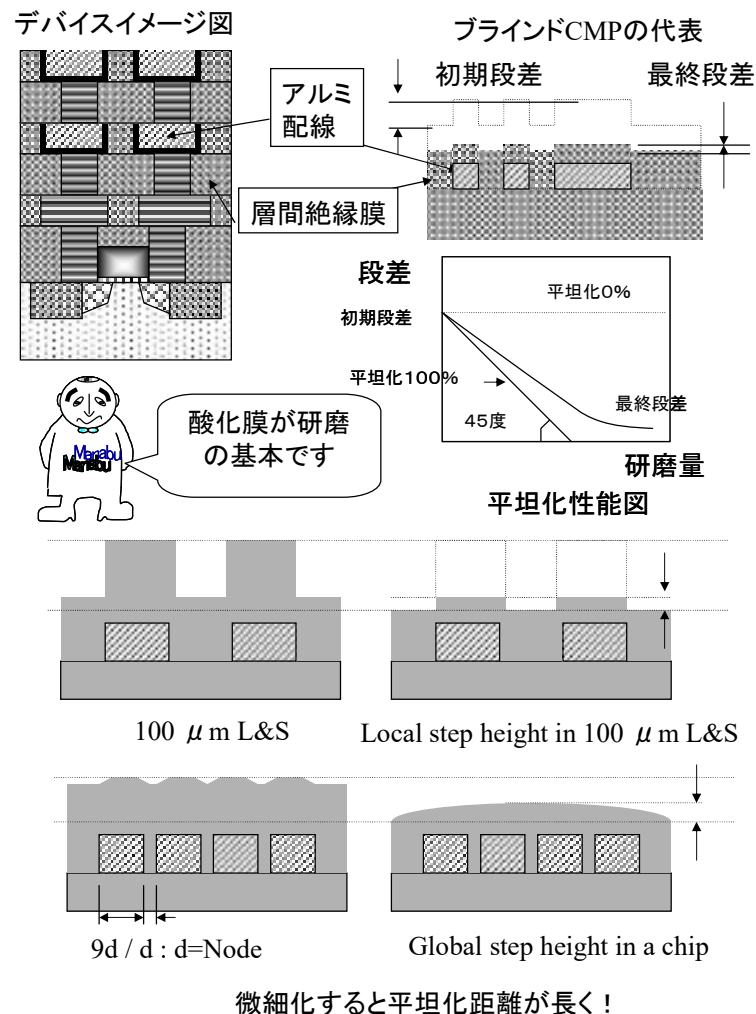
また、絶縁膜成膜はなるべく埋め込み性を良くしようと努力しており、この初期段差が大幅軽減できている。

平坦化距離が増大！

ところが、この埋め込み性を良くしたことがアダとなってしまった。配線のライン&スペース(L&S)が広いときには、埋め込み性がいくら良くても酸化膜はある程度配線パターンに沿って成膜されていたが、L&Sがもっと狭くなると絶縁膜は配線パターンに沿うことができず、配線パターンは全部埋まってしまった。

ここに CMP にとっては大変な問題が発生した。低減すべき段差の幅はとても広く、例えばチップ面積に相当する10mm程度になってしまったのだ！

これは研磨にとってはかなり難しい領域に突入したと言って良い。これを専門用語ではPL(Planarization Length)の増大と言う。解決方法は？先に進もう。



均一性にはプロファイルコントロール

削膜の原理

酸化膜 SiO_2 の研磨原理は以下の通り。

【化学的】 表面の水酸基 $-\text{OH}$ がアルカリによってアタックされゲル層が形成される

【機械的】 次にこの層が機械的に除去される

研磨速度と平坦化性能

酸化膜の研磨はCMPの基本なので、ここで再度プレストンの式を持ち出してみる。

プレストンの式 $PR=k P V$

実はこれに温度の作用(アレニウスの式)も加えて

プレストン修正の式 $PR=k P V T^\alpha$

とし、各種スラリーやパッドのデータはPVT依存度を確認する必要があることは前にも述べた。

平坦化性能は前ページに示した通りで

平坦化性能 = (初期段差 - 最終段差) ÷ (研磨量) (もし%で表すなら $\times 100$)

ウェーハ内均一性

ウェーハ内均一性に関与するパラメータと制御方法を示す。図に示すように本来ウェーハの均一性に関与するパラメータは

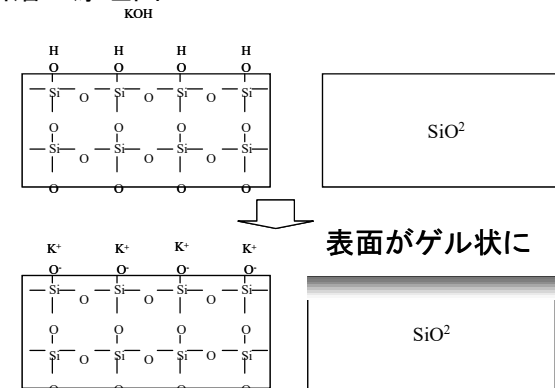
- 1) 押し付け荷重
- 2) 相対速度
- 3) 温度
- 4) スラリーやパッドの種類
- 5) テーブルの精度

などが関与するが、ここでは2)から5)は全て一定として1)の押し付け荷重による制御方法を示す。その方法には

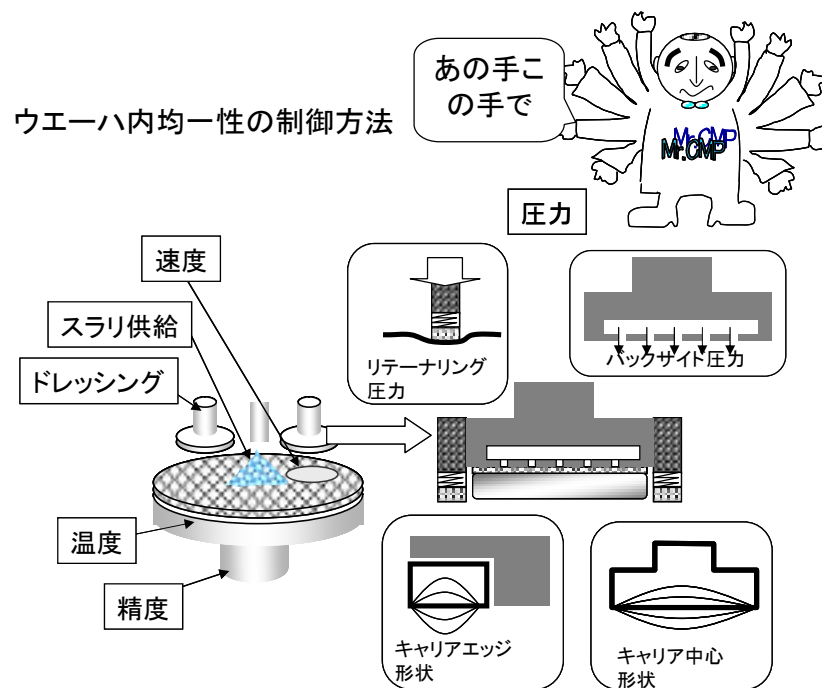
- 1) バックサイド圧力制御
- 2) リテーナリング荷重制御
- 3) ヘッドの端や中央の形状制御

などが考えられる。詳細は次ページから。

酸化膜研磨の原理図



ウェーハ内均一性の制御方法



後ろから・端から・ぐるぐる廻して

代表的な3つの研磨速度プロファイルの制御方法を示す。

バックサイド圧力によるプロファイル制御

図にはバックサイド圧力制御によるプロファイル制御例を示す。これはCMPの初期に実施されていた方法である。ウエーハキャリアに複数の孔を空け、ウエーハキャリアの裏から流体圧力により荷重調整をする方法である。簡便だが有効であり、今でも実験機などでは使用されている。

ただし、CMPの均一性要求があまり高くなかった時代にはこれでも通用していた。しかし、均一性要求が厳しくなり、その装置性能が追いついてくるとこの方法では間に合わなくなってきた。パッドやスラリーなどにより研磨にくせがあることは前に述べた。このくせに合わせてこの孔を調整するのは大変になってきた。必要は発明の母とばかりに、今度はいろいろな工夫がされてきた。以下はその一例である。

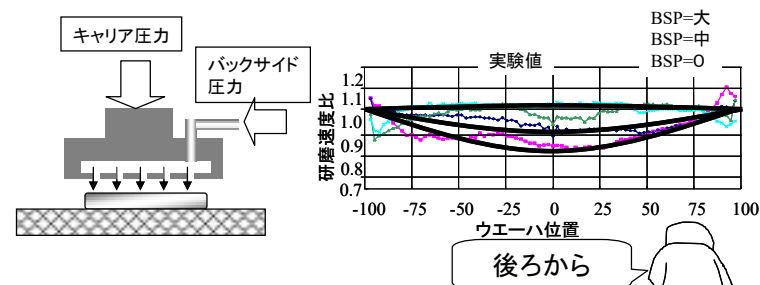
リテーナリング荷重制御

ウエーハの周辺に荷重がかけられるように設計されたリングである。パッドからのリバウンドを調整し、ウエーハ端部の研磨速度を制御できる。これは現在最新のCMPでも採用されている方法であり、パッドのリバウンドを考慮しなければならないことを世の中に示した最初の例である。パッドの剛性や厚みにより制御はより複雑になってきている。図にはその制御をFEMで解析した例と実際に制御した例を示す。

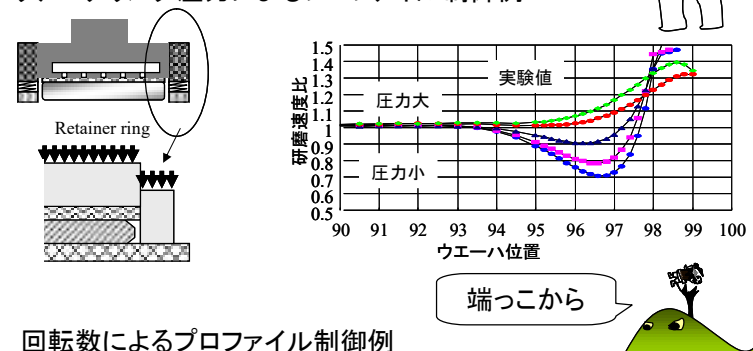
回転数による研磨速度の制御

図に回転数による研磨速度の制御を示す。通常はテーブル回転速度とヘッドの回転速度は同じにすることにより、ウエーハとパッド間の相対速度を同じにできる。図の中心がその場合のベクトルを示す。テーブルの速度をヘッドより大きくした場合を左に、その逆を右に示す。これによりウエーハの周辺と中央の研磨速度を変えることが可能である。

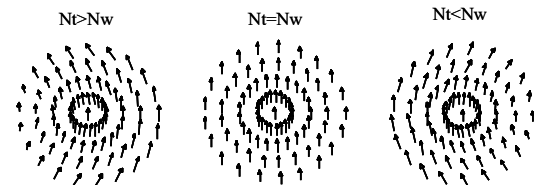
バックサイド圧力によるプロファイル制御例



リテーナリング圧力によるプロファイル制御例



回転数によるプロファイル制御例



注) N_T : テーブル回転数 N_w : ウエーハ回転数

ドレス・流量そして振動

次にウエーハ内均一性を悪化させる種々の要因例とその対策について述べる。

パッドドレスサによる改善

パッド表面形状をドレスサで制御しないと均一性が悪化する。図には種々のドレスサで作ったパッド表面を示す。ドレスサの種類とドレス方法でパッド表面を制御できる。平坦が良いか、少し凸にするか凹にするかはそのときのプロセスによって調整する。

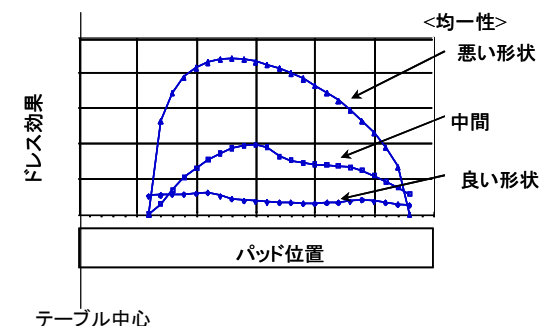
スラリ流量制御

スラリ流量はなるべく減らしたいがそれでも限界を見極めておく必要がある。実際CMPを採用し始めたときは、スラリは図に示す研磨速度が一定になる範囲で使用していた。例えば200mmウエーハでは200cc/m程度が標準だった。300mmウエーハでは本来400cc/m程度が必要だが、スラリコストが高いためにこれをできるだけ少なくしようという試みがなされている。図はスラリ流量現象により研磨速度に与える裕度を確認した試験である。

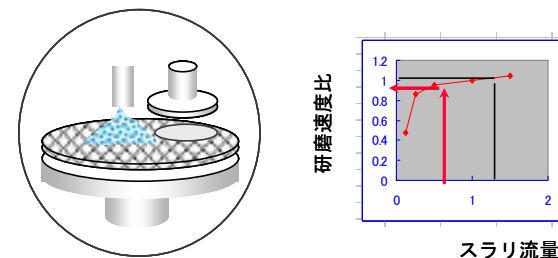
スティックスリップ

研磨の運転条件はウエーハやスラリ・パッドの種類によって大きく異なる場合がある。例えば比較的固着しやすい(摩擦力の高い)条件で研磨をする場合、装置が振動する場合がある。この原因の一つにスティックスリップが考えられる。スティックスリップとは摩擦力によりウエーハが「つまずく」ようなイメージで捕らえれば良い。この場合には振動解析を実施し、振動対策を実施することにより、より広い条件で研磨が可能となる。

パッドドレスサによる改善

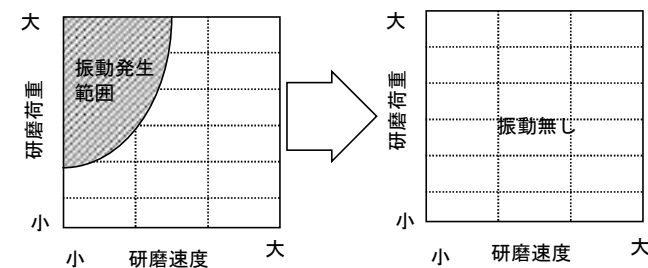


スラリ流量制御



スティックスリップ

対策後



これがILDスペックだ

それではこれが層間絶縁膜ILDのスペックだという例を紹介しよう。

仕様

図に一般的な仕様(スペック)を示す。

研磨速度・ウェーハ内均一性・平坦化性能・欠陥数などが基本であり、その他にプロファイル制御性などのユーザー特殊の要求もこれに追加する。

ウェーハ内均一性

一般的なウェーハ内均一性を図に示す。

膜種: PE-TEOS

パッド: IC1000-050(K)/S400

スラリー: SS-25 (1:1)

テーブルとキャリアの回転数: 70/70 [rpm]

実際にはこれを通常は連続テストで安定性を証明する必要がある。

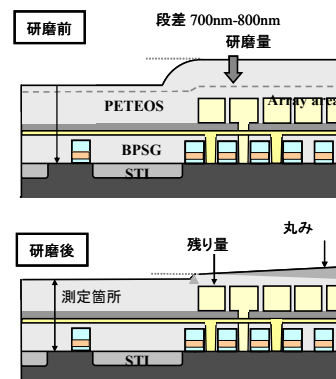
研磨プロファイル制御性

研磨前の成膜プロセスの形状を補正する要求もある。この場合に備えて研磨はそのプロファイルの制御性が問われることがあり、これを示す場合もある。プロファイル制御方法は前述の通りである。

段差低減性能

代表的なシリカスラリーとセリアスラリーの段差低減性能を図に示す。この段差性能はデバイスのパターンに大きく依存する。どの場所に平坦化しにくい箇所がくるかはデザイン次第なので研磨結果と良く照らし合わせることが必要である。

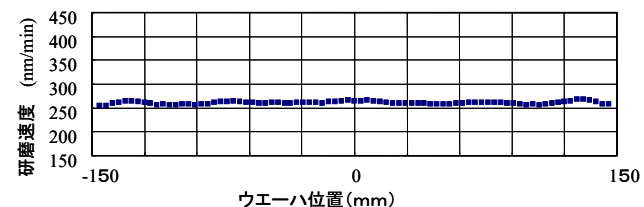
仕様



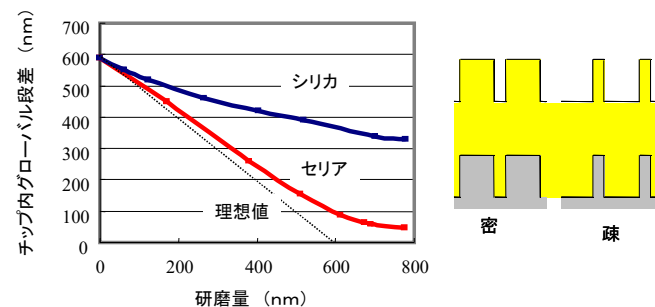
CMP性能 (300mm wafer)

項目	性能要求値
研磨速度	$\geq 300\text{nm/min}$
均一性(WIW)	$\leq 3\%$ (1σ) EE:3mm
欠陥(Surfscan6420)	≤ 30 個($\geq 0.2\mu$)

ウェーハ内均一性例



段差低減例



STI CMP

用途と課題

用途と性能は図に示した通り。課題はストッパ膜(Si-N)内でのレンジと欠陥低減である。研磨前と研磨後の写真を示す。

原理

STI研磨には大別してシリカスラリとセリアスラリによる研磨がある。シリカスラリによる研磨の原理は層間絶縁膜の研磨と同じである。

チップ内均一性

STI独特の要求だが、ストッパとして用いられているSi-N内でのレンジが議論される。通常はSiO₂膜とSi-N膜との選択比を高く取り、Si-Nをあまり研磨しないでSi-Nのレンジを少なくする方法と取る。Si-Nの選択比と高くとるということはSiO₂の研磨速度がSi-Nの研磨速度より大きいということなので、通常は(SiO₂)のDishing量が大きくなるという二律背反になる。これを解消するために、過研磨性能が重要になる。STI研磨のコツは(1)Si-N対SiO₂の選択比を高く、例えば1対30 (2)過研磨してもSiO₂のDishingを少なくすることである。

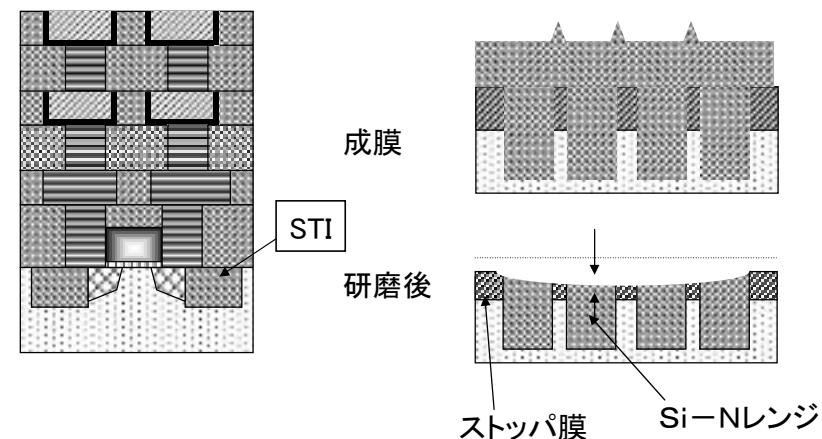
欠陥

STI用研磨では傷(PS)が全てであると言っても過言では無い。Si-Nの下まで突き抜ける傷はKillerでNGだが、突き抜けなくてもSiO₂に付く傷もあまり望ましくない。またSi-Nに到達する前につけた傷の幅対深さが問題で、例えば幅が10μで深さが1μの傷がその後最後まで転写されるか？それとも消えるか？が重要である。転写されてはOut！つまり10対1μの傷がその後平坦化できるかと言う命題になる。

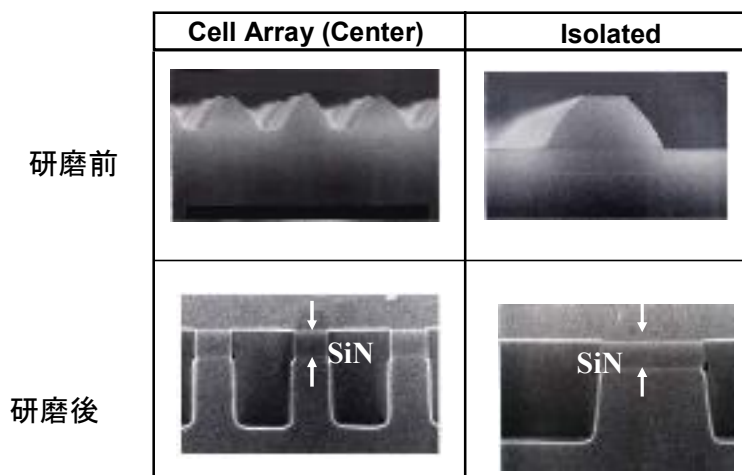
モニタ

高選択比を持つセリアの研磨では摩擦力による終点検知が可能である。図に終点検知例を示す。詳細はモニタの章で示す。

デバイスイメージ図



STI例



いろいろなSTI攻略法

次にいろいろなSTIの研磨方法を示す。如何にしてSTIを攻略するか？

リバースエッチング法とダイレクト研磨

通常はなんの工夫もしないでダイレクトにCMPを実施すると、Field部の幅が広いと平坦化できずにストッパ膜にまで欠陥を生じさせてしまう可能性がある。そこで考えられた一つの方法がリバースエッチング法だ。これは図に示すとおり、平坦化しにくいField部を前工程でエッチングで削っておいてから研磨する方法である。こうすることによりいわゆる平坦化距離が小さくできるので平坦化が可能になるのである。

ダミーパタン法

ダミーパタン法とはDishingが出やすいパタンにダミーで敷居を作っておいて研磨する方法である。このダミーの配置や設計はデバイスメーカーのノウハウや特許となるのでこの場では説明のみにとどめておく。現在の最先端デバイスはこのダミーだらけであることだけは言い添えておく。

セリア砥粒法

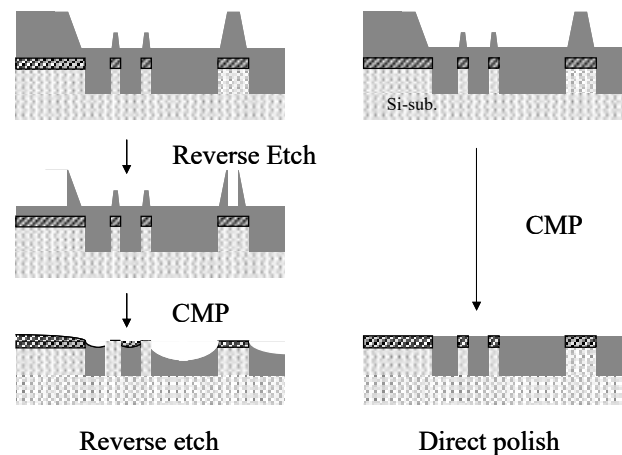
それでは、上記のような工夫をせずにCMPだけではこの長い平坦化距離をどうにかできないのか？ パッドの剛性を上げたり、研磨速度を早くして実効的にパッド剛性を上げる工夫もされてきた。それでも不足であったためセリアスラリによる平坦化が考案されてきたのである。現在ではこのセリアによる方法が一般的である。

固定砥粒法

パッドの剛性を高める方法として固定砥粒という方法もある。固定砥粒には3M 社のように通常のパッド上にピラミッド型のセリアを固定させる方法と、セリアを固めたパッドを作ってしまうという方法がある。図はこの後者の方法である。

固定砥粒の課題は欠陥低減である。

リバースエッチ法とダイレクトCMP法



固定砥粒例



タングステンCMP

用途と課題

タングステンコンタクトやビアのイメージを図に示す。絶縁膜は酸化膜で、バリアには通常 Ti/Ti-N を用いる。よって、CMP はタングステナーバリア (Ti/Ti-N) の異種研磨であり、かつ埋め込み CMP である。

要求仕様は以下の通り(世代によってその要求値は異なる)；

Oxide Recess : < 10 nm

Oxide Erosion : < 20 nm

Dishing : < 10 nm

課題としてはこれらの要求値を小さくすることは当然だが、プロセスとしてタングステン研磨とバリア(酸化膜下地)研磨とスラリを分ける2段 CMP プロセスと、一度に全部の材料を研磨してしまう1段プロセスがある。生産性からは1段プロセスが優位だが、プロセス性能は当然2段研磨が優位である。世代要求とともにこの1段か2段かを使い分けていくものと思われる。

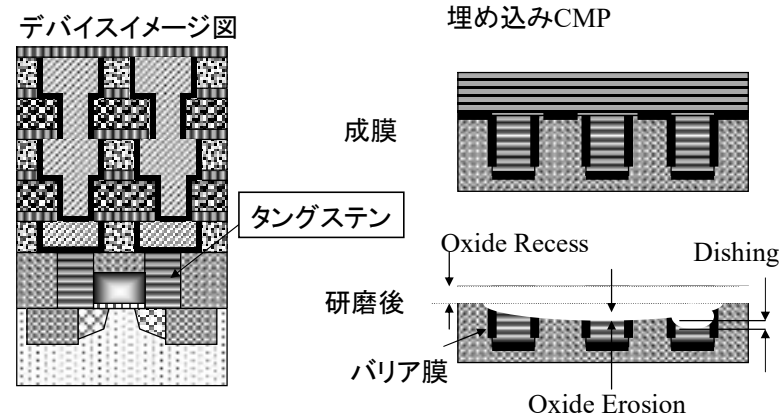
原理

タングステン(W) CMP の原理を示す。

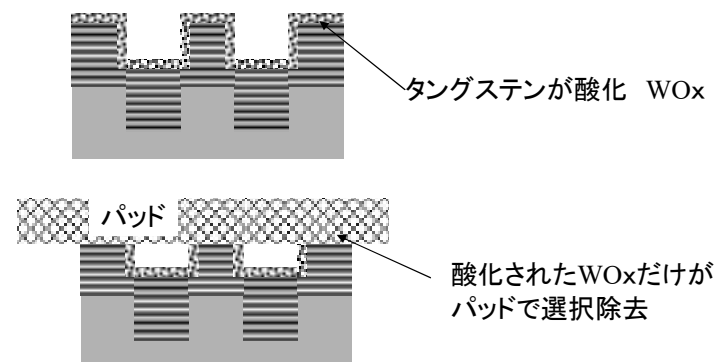
- (1) 先ず W 表面を酸化剤で酸化する。酸化剤には過酸化水素や硝酸鉄などが用いられる。



- (2) 次に W 酸化膜を機械的に除去する。この際にパッドの剛性により凸部のみを選択的に除去することにより平坦化する。



タングステン研磨の原理



Cu残りも下層のWから？

タングステン CMP で最近問題になっている2例を最新話題として紹介する。

Erosion 起因の Cu ショート例

タングステンコンタクトの CMP 平坦性が起因して、その上層の Cu 配線にショートが発生する恐れがあり、最近はこのタングステン CMP に対する平坦性要求が厳しくなっている。そのメカニズムを図にして説明する。

- ① タングステンをコンタクト孔を埋めるように成膜した状態から始まる。タングステン成膜は CVD で行うために、比較的小平に成膜できている。
- ② タングステン CMP で Oxide Erosion が発生したイメージ図を示す。
- ③ 次にその Erosion 形状に小平に酸化膜が成膜される。
- ④ 次にエッチング高さも同じとすると、エッチング形状も Erosion 形状に小平になる。
- ⑤ その上にめっきで成膜する。この場合めっきの Mounding などは無視して考えるとめっき膜も Erosion 形状に小平になる。
- ⑥ Cu 研磨も Erosion 形状に小平に削れる。
- ⑦ 結果として、上から見ると Erosion された箇所に Cu が残ってしまう。

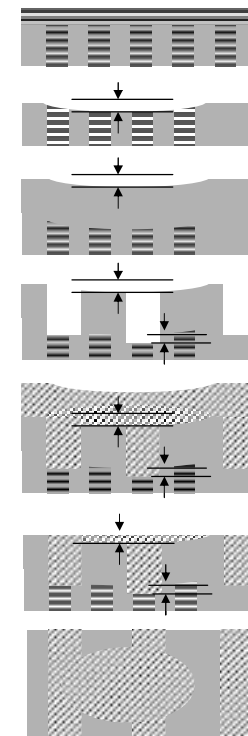
これがタングステン CMP に影響される、上層の Cu もしくはメタル残りのメカニズムである。これを解決するには、なるべくタングステン CMP の Erosion を少なくすることと、発生してしまった残り分は過研磨で除去することである。

EoE(Edge Over Erosion)

異種材料に対して選択性を大きく取ると、EoE(Edge Over Erosion)と呼ばれるエッジ付近の大きなスパイク現象も見られる場合もあるが、これも選択性を調整することで解決させている。

Cu残り説明図

- ①W成膜
- ②W-CMP Erosion
イメージ図
- ③酸化膜 成膜
- ④酸化膜 エッチング
- ⑤Cu成膜
- ⑥Cu CMP
- ⑦上から見ると
Cuが残る



EoEイメージ図



銅配線CMP

CuCMPは敢えてタングステンCMPと同様の説明をする。同じ配線の埋め込みなので比較することによりその差が明確になるだろう。

用途と課題

Cu配線のイメージを図に示す。絶縁膜は酸化膜もしくは低誘電率材で、バリアには通常 Ta/Ta-N もしくは Ti/Ti-N を用いる。よって、CMP は Cu—バリア Ta/Ta-N の異種研磨であり、かつ埋め込み CMP である。

要求仕様は以下の通り(世代によってその要求値は異なる)；

Oxide Recess : < 10 nm

Oxide Erosion : < 20 nm

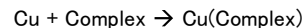
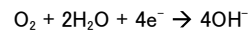
Dishing : < 30 nm 注) 広いパッド上なので大きめ

タングステンと同じく、課題としてはこれらの要求値を小さくすることは当然だが、Cuの場合には2段もしくは3段研磨が主流である。低誘電率の採用によりダメージを含めた平坦性要求は益々厳しくなっている。低誘電率を含んだ性能要求は後述する。

原理

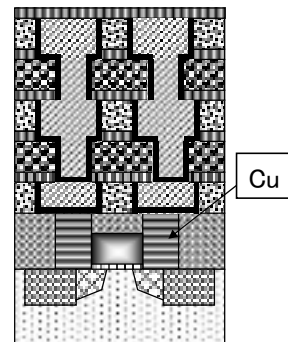
CuCMP の原理を以下に示す。

- (1) 先ずCu表面が酸化剤で酸化される(価数が増える)
- (2) 次に酸化されたCu表面が(即座に)錯体化により錯体化される
- (3) Cu錯体が機械的に除去される。この際にパッドの剛性により凸部が選択的に除去される。

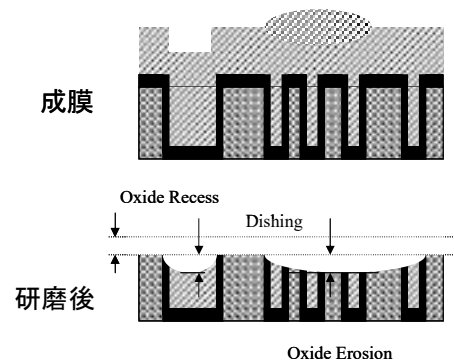


CuCMP の詳細は後章の平坦化統一論参照。

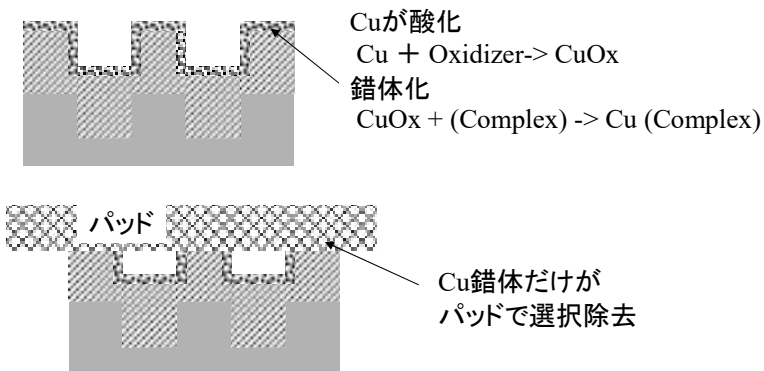
デバイスイメージ図



埋め込みCMP



Cu研磨の原理



平坦化統一論

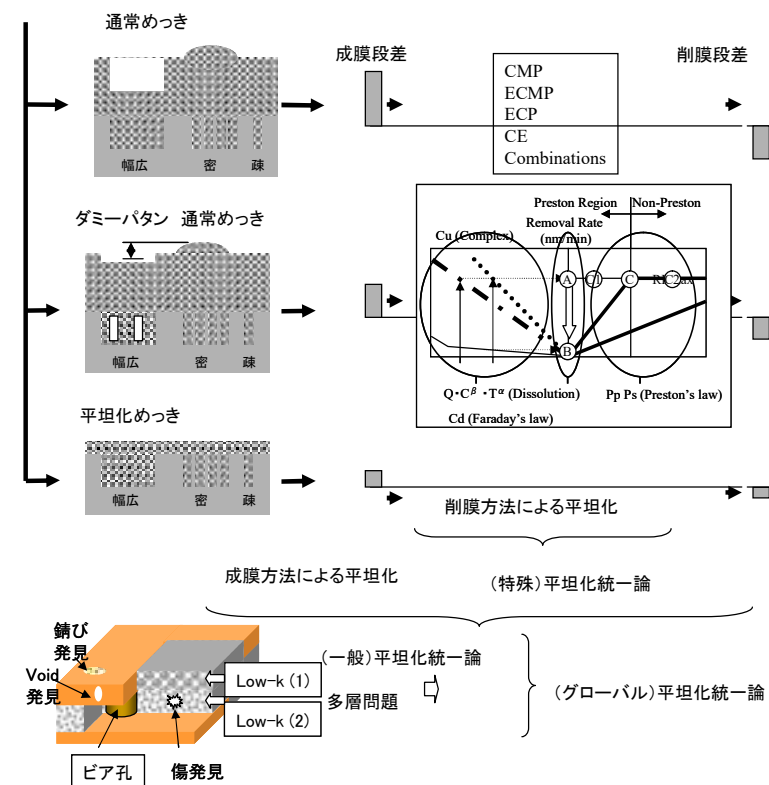
ここでは45nm世代以降のダマシン配線平坦化技術の最先端を紹介する。内容は研磨(削膜)技術のみによる(特殊)平坦化統一論と、めっき(成膜)技術までを巻き込んだ(一般)平坦化統一論を紹介したい。この結果として生まれた技術にmC² プロセスというものがある。何か壮大な話になってきたが、ご存知アインシュタイン博士の相対性理論にかけさせて戴いたわけだが、多少のお遊びをご容赦願いたい。では学生には大人気のダマシン技術の平坦化統一論を展開しよう。

平坦化技術百花繚乱

1980年代後半に平坦化革命技術として研磨が登場した。始めは層間絶縁膜であるシリコン酸化膜(SiO₂)の平坦化用途に採用されたが、その後 STI(Shallow Trench Isolation)・タングステンビア・アルミダマシン・銅ダマシンなどその用途は増え続け、最近ではメタルゲート用研磨まで考えられている。また研磨そのものの形態も進化してきた。特に層間絶縁膜がシリコン酸化膜(SiO₂)から低誘電率化目的で強度の弱いLow-kと言われる材料に変わってからは、研磨圧力の低圧化目的で種々の技術が紹介されてきた。通常の研磨 CMP (Chemical Mechanical Polisher)以外に、電解を応用した複合電解研磨 ECMP (Electro-Chemical Mechanical Polisher)、同じく電解研磨 ECP (Electro-Chemical Polisher)、そしてエッチング CE (Chemical Etching)を応用した方式、そしてそれらの複合技術などである。

最近では、このような平坦化技術があまりにも急に一度に出てきたため「どの技術が本命か?」という疑問も出てきている。さらに電解応用では用語の統一がなされていないために、未だに「電解研磨って砥粒を使わないのですか?」という質問を受ける。確かに日本語の電解研磨(砥粒は使わない)・複合電解研磨(砥粒を使う)、そしてECPとECMPなどをまぜこぜに使用している記事・論文を見かける。著者からして間違えていれば読者が混乱しても当然だろう。

まず最初に、低圧研磨要求の背景・目的を説明し、種々の低圧研磨を紹介すると共に、全ての平坦化技術を一つの理論で統一して説明することを試みた。¹⁾ 本稿のサブタイトルの「平坦化統一論」は言うまでも無く本当の理論では無い。種々の技術を支配する平坦化原理を明確にすることにより、種々の技術を統一的に理解しやすくまとめたものと理解して戴きたい。実際、学生にはこの統一理論(?)は多いに受けている。また、実際に混乱しているユーザの方にも良い教科書になれば幸いである。



低く・低く・そんなに低く？

今なぜ低圧化か？

ご存知のように、半導体 RC 遅延低減目的で配線の R(抵抗)はアルミから銅に変わった。絶縁膜の C(寄生容量)を下げる目的で種々の低誘電率材が候補に上がっている。絶縁膜は誘電率を下げると、その強度・硬度もほぼ比例して下がってしまう。さらに下地膜との密着性も考慮して、これらを全て解決する方法として低圧研磨が提唱されてきた。デバイスの変遷と共に Cu/Low-k を用いたダマシン構造例を図に示す。Low-k 材は基本がプラズマによるシリコン酸化膜(SiO_2)であり、フッ素(F)を導入した SiOF 膜、そしてメチル基($-\text{CH}_3$)などで置き換えた SiCOH 膜、さらにそれらをポーラスにした膜などが一般に使用されている。図では配線とビアの Low-k 材質を変えているが、これを同じものとした型もある。ES (Etch Stopper)は不要とする場合もある。DCL(Dielectric Cap Layer)は Si-N、Si-C、Si-CN などが採用されている。

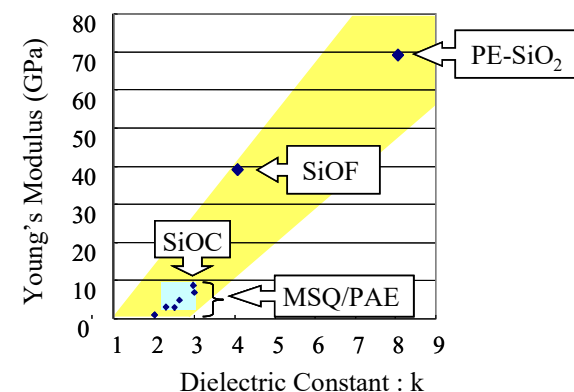
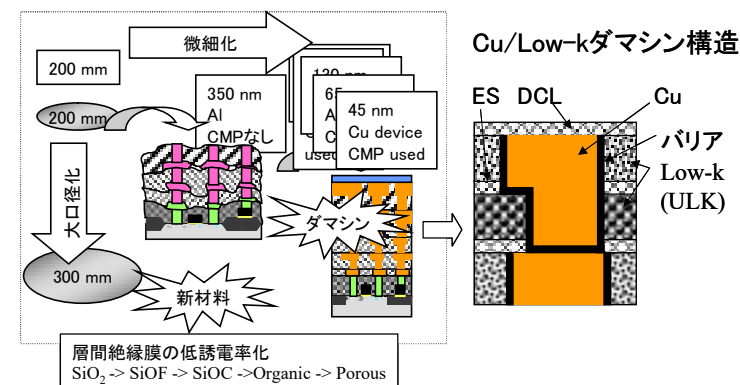
どの程度の低圧？

それではどの程度低圧が要求されているのか？ 先ず Low-k の物理特性値から見てみよう。図には誘電率とヤング率の相関を示した。 SiO_2 の時には 70GPa 程度の強度を持っていた。SiOF 膜でも 40GPa 程度を保っていた。ところが、いわゆる Low-k 材ではほとんどの材料強度は 10GPa 以下である。もちろん膜ストレスを与えるデバイスプロセスは研磨ばかりでは無い。むしろ熱サイクルや実装時のボンディングの方がより高い膜ストレスを与えることは公知である。ただし膜ストレスというのは1回のストレスで破壊されるというものではなく(これは論外)、徐々に蓄積される疲労のようなものである。そのため全てのプロセスで与えるストレスは少ない方が良いのは当然であり、研磨もその意味で低圧化が要求されているのである。

もちろん Low-k 材もそのまま良いということは無く、強度の高い Low-k 材も開発されている(10GPa 以上)。さらに 5GPa 程度の強度でも UV や電子ビームを用いたキュアにより強度向上などを行うプロセスも開発されている。²⁾

強度を示すヤング率は Cu/Low-k ダマシン構造の降伏や破壊強度の目安になっている。硬度は研磨の宿敵である傷の目安になるが、一般的にヤング率が低いものは硬度も低い。また研磨では剥がれが問題になり密着性が重要である。一般に密着性は 4 点曲げ法で測定した値で、5 から 10J/m² 程度のものが多いが 10J/m² 以上は欲しい。密着性向上についてもプロセス開発が発表されている。

微細化とダマシンインテグレーション変遷



誘電率 対 ヤング率の相関

それなら解析で実証

ここでも活躍するのは有限要素法だ。どれだけの圧力をかけたらダマシン構造は一体どうなるのか？知りたい。解析にはここで紹介する応力解析法以外に、低誘電率のような材料を調査するには破壊力学の応用が必要だ。応力場の解析はそのまま使えるが、判断基準として応力で判断するか、破壊エネルギーで考えるかの違いである。

応力解析例

これらの強度・密着性に関しては有限要素法で解析することが有力である。

まずはダマシン部分の解析図を示す。解析は配線部分と低誘電率部分とに分けて実施する。いずれも結果としてビアの付け根部の応力が一番高くなっている。

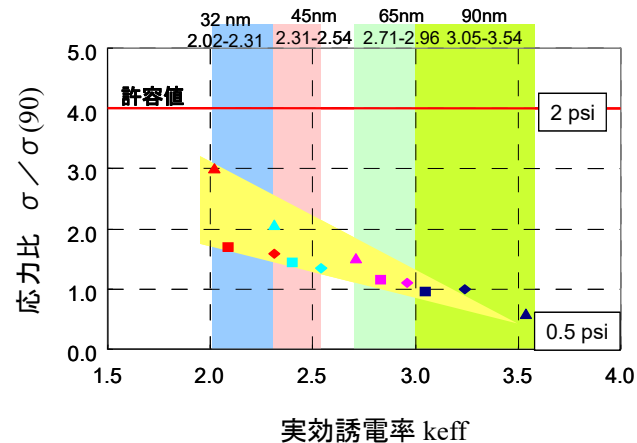
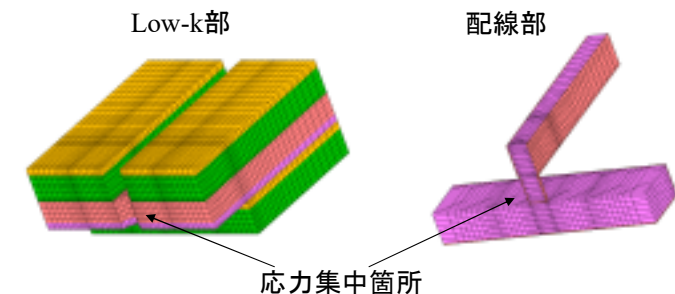
解析結果例

例えば ITRS (国際デバイスロードマップ) で今後推定されるダマシン構造を用いて、その応力を解析した結果を示す。横軸は推定される各種 Low-k の誘電率から計算した実効誘電率、縦軸は Cu 配線や Low-k 材内部の応力比 $\sigma / \sigma(90)$ である。 $\sigma(90)$ は 90nm 世代ダマシン構造を 0.5PSI で研磨した時の応力であり、 $\sigma / \sigma(90)$ は各世代ダマシン構造の応力を比で表したものである。90nm 世代で 2PSI で研磨したときの応力値を許容値として参考に示した。銅配線部分・Low-k 部分共にビアの付け根付近で最大応力になり、その値を σ とした。各世代のダマシン構造に対し研磨圧力を推定するのに役立つ資料である。

このように Low-k 強度が弱くなるために、研磨によって剥がれ・歪み・傷が懸念され低圧要求が出てきたのである。ただし、研磨で低圧にすれば当然研磨速度が減少して CoC (消耗材コスト) が高騰してしまうため、適正な (妥協できる) 数字があるはずだ。

参考までに破壊力学応用の結果も述べておこう。破壊力学では低誘電率材の強度も問題だが、それよりも上下に挟まれる異種材料のマッチングの方が問題になる。このマッチングさえ極端な間違いを起こさない限り、結果は本解析と同様の結果を得ている。

ダマシン応力解析FEM図



誘電率 対 研磨時応力解析

いろいろな加工方法

従来の平坦化技術

まず従来の種々の平坦化技術を紹介する。

①研削 (Grinding)

ウェーハの裏面研削に应用されているが、半導体デバイス面には採用されない。Defectが多いのが欠点である。

②固定砥粒 (Fixed Abrasive または Bonded Abrasive)

研削と研磨の中間のような原理である。固定された砥粒が遊離されてきて、削膜原理は遊離砥粒つまり研磨と同じと考えられている。平坦化性能が良いのでSTI(素子分離)に一部採用されているがDefect低減が課題である。

③研磨 (CMP)

Cu研磨の原理は(1)酸化剤によるCuの酸化(2)錯化剤によるCuの錯体化(3)機械的Cu錯体除去で進むと言われている。

そして、いよいよ低圧化要求により次の世代技術が開発された。

電解応用・エッチング応用として複合技術

④複合電解研磨 (ECMP)

Cuの複合電解研磨の原理は(1)電気エネルギー及び一部酸化剤によるCuの酸化(2)錯化剤によるCuの錯体化(3)機械的Cu錯体除去で進むと言われている。つまり(1)の酸化方法以外は研磨と同じである。よって平坦化性能も研磨と類似している。電解設計と平坦化設計を両立させるパッドの開発など課題は多い。

④電解研磨 (ECP)

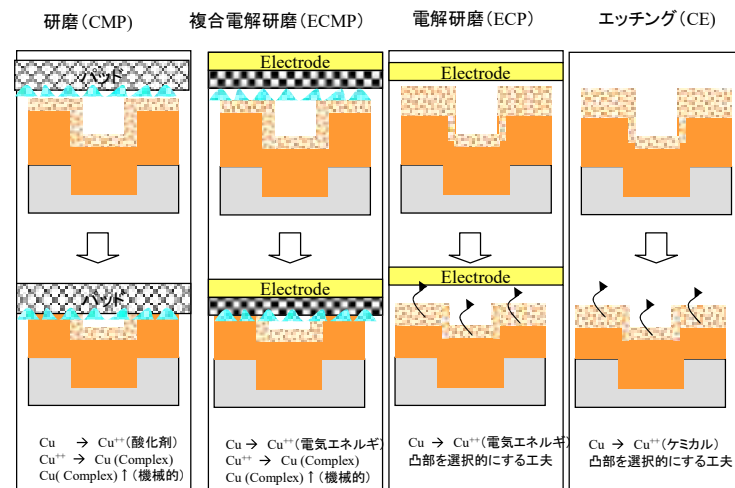
めっきの逆でPlatingに対しDi-Platingと言われる場合もある。電解集中が発生する箇所から研磨(エッチング)が始まり平滑化ができる。ただし研磨のような平坦化低減性能は期待できない。電解集中にはあるパターンが限定されるからだ。とは言えECPIに対する期待は大きく、今後いろいろな革命的技術呼び覚ます可能性はある。例えば超純水中でイオン交換体が接触した箇所のみ削膜する特殊な電解研磨も開発されている。

⑥エッチング (OE)

等方性と異方性エッチングはドライプロセスでは常識だが、ウェットエッチングでも異方性を達成させようという技術である。MEMSではウェットでも採用されているが材料に指定がある。半導体デバイスでは課題が多い。

各種平坦化技術比較

プロセス	平坦化長さ(mm)	加工圧力(PSI)	加工面粗さ
研削	>20	大	大
固定砥粒	~20	中	中
研磨	~2	0.25~10	少
複合電解研磨	~2	0.25~10	少から中
電解研磨	~2	0	少から中
エッチング	0(~?)	0	少から中



CMP/ECMP/ECP/CE: 何ですかこれ？

(特殊)平坦化統一論

Cu 研磨に対する低圧研磨としてはこのうちの CMP・ECMP・ECP・CE 及びその複合技術が考えられる。図にその概要と原理を示す。これらを支配する原理を中心に各技術の特徴を述べる。

CMP 原理(プレストン則)

まずグラフの見方から。図の横軸左側は削膜の原動力と平坦化のメカニズムを示し、横軸右側は CMP で見慣れた押付け圧力 P_p (kPa) と相対速度の P_s (m/s) 積である。縦軸は研磨速度 (nm/min) を示す。A 点は削膜の原動力例を示し、B 点は原動力が抑制された状態例を示すものとする。

CMP の場合には、先ず酸化剤により Cu は Cu^{++} に酸化される。(A 点)

Cu^{++} は錯化材により Cu(錯体) に変化する。(B 点)

この Cu(錯体) を機械的に除去するが、その速度が研磨圧力 (P_p) と相対速度 (P_s) に比例する。これがプレストンの式に従うが、Cu(錯体) の種類によって研磨速度が異なる。

ECP(ファラデー則)

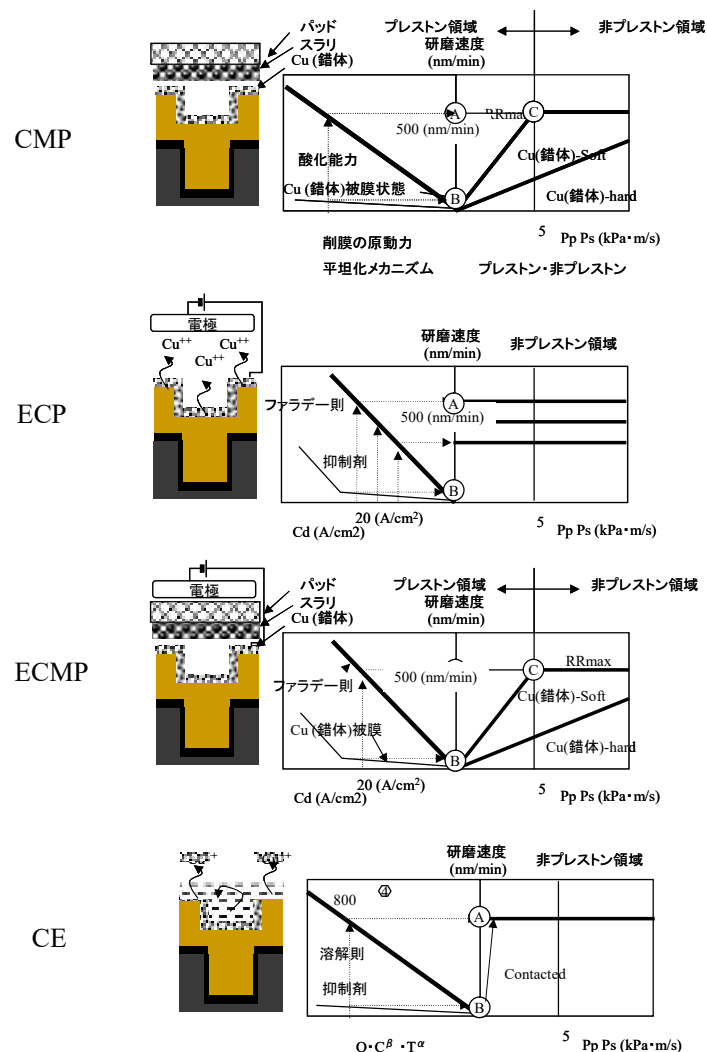
横軸左側は電流密度 Cd (A/cm^2) であり、削膜の原動力はファラデー則に従うものとする。めっき成膜の逆である。また抑制効果は添加剤を用いて行っている。平坦化のメカニズムは、電解集中など凸部を選択的に削るという本来の電解研磨の原理原則に加え、実際にはさらなる工夫は必要である。

ECMP 原理(ファラデー則とプレストン則)

横軸左側は電流密度 Cd (A/cm^2) であり、削膜の原動力は ECP と同じくファラデー則に従うものとする。先ず電気エネルギーで Cu は Cu^{++} に酸化される(A 点)が、その後は CMP と全く同じ経過をたどる。 Cu^{++} は錯化材により Cu(錯体) に変換し(B 点)、この Cu(錯体) を機械的に除去する。この最初のプロセスである酸化がファラデー則、削膜速度がプレストン則に従う。つまり酸化プロセスが異なるだけで後は CMP と同じであるために平坦化メカニズムは CMP と同じと言って良い。

CE(溶解則)

横軸左側はエッチャント材の流量 (Q)、濃度 (C)、温度 (T) の積 $Q \cdot C^\beta \cdot T^\alpha$ であり、削膜の原動力は溶解則に従うものとする。抑制効果は添加剤により行う。エッチング液で全面を溶解させるため、基本的には平坦化能力は無い。凸部を選択的に溶解させる工夫は添加剤などで行っている。



(特殊)平坦化統一論から

(特殊)平坦化統一論

図に各種技術のその支配法則を統一的に示した。

まず CMP は Preston's Law という研磨速度は押付圧力と相対速度に比例するという法則、ECP は Faraday's Law という研磨速度(量)は電気量に比例するという法則、CE は研磨(溶解)速度が流量・濃度・温度に比例するという溶解則に支配されている。横軸の左部分は削膜の削膜原動力を示す。例えば、CMP なら酸化剤による酸化力(Cu から Cu^{++} へ)、ECMP や ECP なら電気エネルギーによる酸化力、CE なら溶解力を示す。横軸の右部分は研磨として比較するためにプレストンの式のパラメータである研磨圧力(P_p)と相対速度(P_s)を示してある。縦軸は研磨速度である。この縦軸に示した A 点と B 点の研磨レートの差が平坦化性能を示している。

説明図との比較

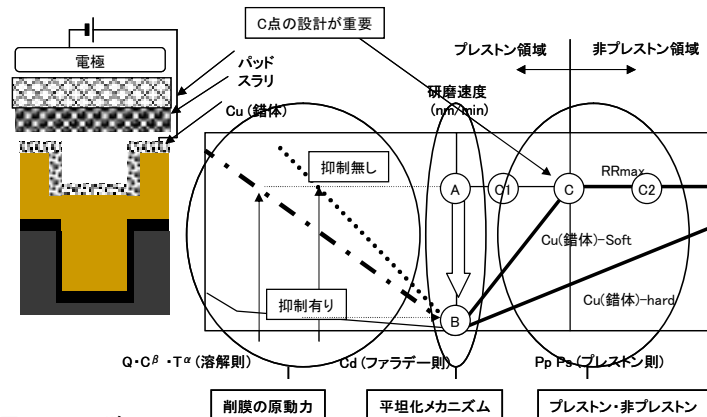
前ページに載せた説明図と比較して欲しい。より理解が進むと思う。

このように種々の基本技術を理解すると応用が見えてくる。現在市場に紹介されている Cu 平坦化技術はこれらの応用である。良く考えて欲しい。一般分野の Cu 加工技術はもともとエッチングと電解研磨である。半導体で採用されている研磨がむしろ奇異な技術である。よってエッチングや電解応用が Cu 加工技術に応用されるのは当然である。ただし半導体デバイスの平坦化のための工夫がそれぞれ成されなければならない。研磨にはそのための工夫がなされており、既に成熟した技術である。一般分野で成熟したエッチングや電解研磨技術と半導体で成熟した研磨技術の競争であり、協奏もあっても良いのではと思う。

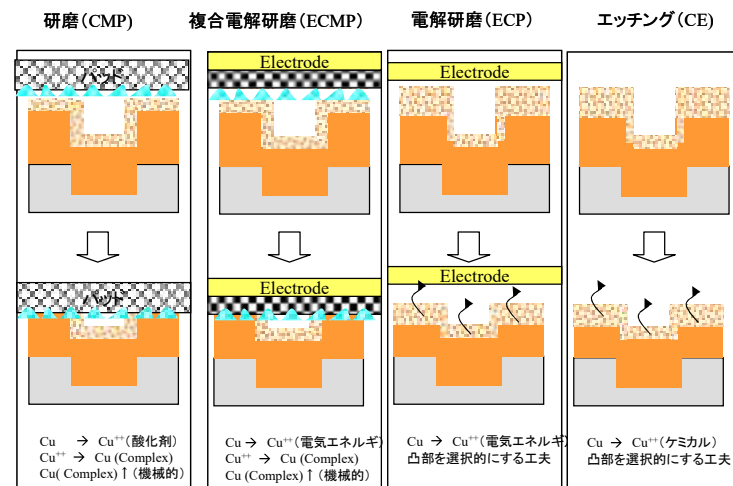
さらに研磨後の表面状態が次工程の洗浄結果に大きく関与し、洗浄後表面状態がそのまた次工程の乾燥結果に大きく影響することは自明の理である。

それではいよいよ成膜を含めた(一般)平坦化統一論に入りたい。

(特殊)平坦化統一論



見比べて欲しい



(一般化)平坦化統一論

成膜技術を含めた(一般)平坦化統一論

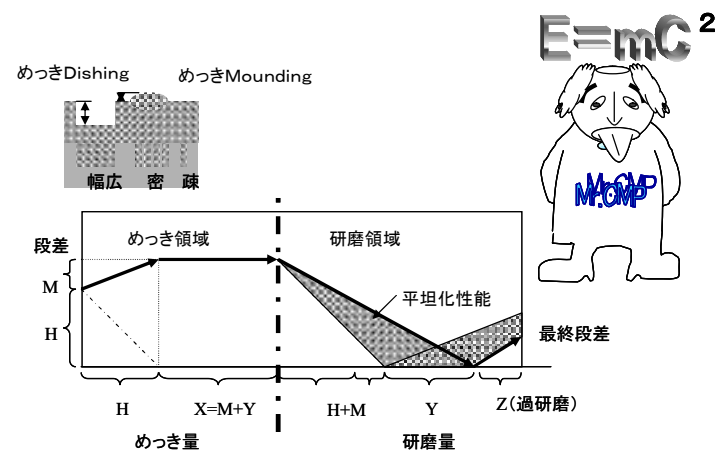
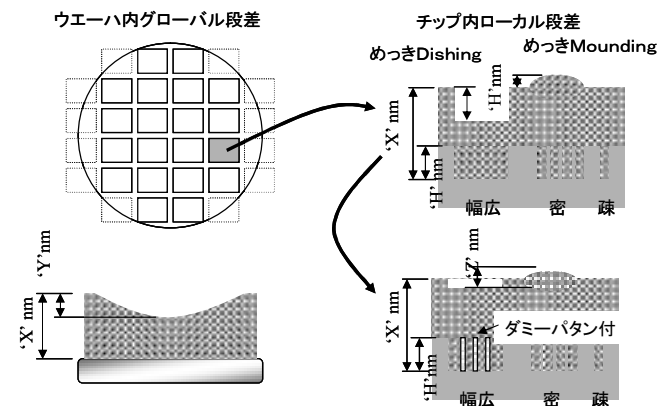
まずグローバル段差とローカル段差について述べよう。図に示す通りめっきで銅を成膜するとウエーハレベルでの不均一があり、これをめっきのグローバル段差と呼ぶ。さらにチップレベルでは配線の疎密によって生じる段差があり、これをめっきのローカル段差と呼ぶ。めっきのグローバル段差はめっき技術の向上により現在ではめっき量の5%(3 σ)程度になっている。ローカル段差のうちめっきのDishingは配線高さそのものなので、めっきでは解決できず、ダミーパタンなどのデバイス設計に頼っている。めっきのMoundingはデバイス設計とめっき液設計のコンビネーションで解決を図っている。

成膜と削膜を通した平坦化のアプローチを見直してみよう。通常のめっきではダミーパタンの有無により、めっきのDishingの大きさが異なる。平坦化めっきが可能であれば初期段差は極小にできる。グローバル段差にローカル段差を加えた段差が次工程の削膜での平坦化すべき初期段差となる。この量が大きく、次工程の削膜技術の平坦化性能が悪ければ、平坦化が十分できるように成膜量を多くとらなければならない。当然CoCは悪化する。

この成膜プロセスでの初期段差と削膜技術での平坦化性能を考慮して最適な成膜量と削膜量を決定するのが(一般化した)平坦化統一論である。実際には成膜プロセスデータと削膜データをコンピュータに入力しておき、一番CoCが最小となるベストプロセスを決定することが可能になる。

これを筆者は削膜のみの‘特殊’平坦化技術統一論に対して成膜から削膜まで一貫した‘一般’平坦化技術統一論と呼んでいる。前回も述べたが(言うまでも無く)これらの統一論は学術的に述べたものではないが、ダマシンプロセスの平坦化を理解するのに多いに役立つものと思われ、学生には受け入れられている。読者の参考になれば幸いである。

成膜から見直してみよう



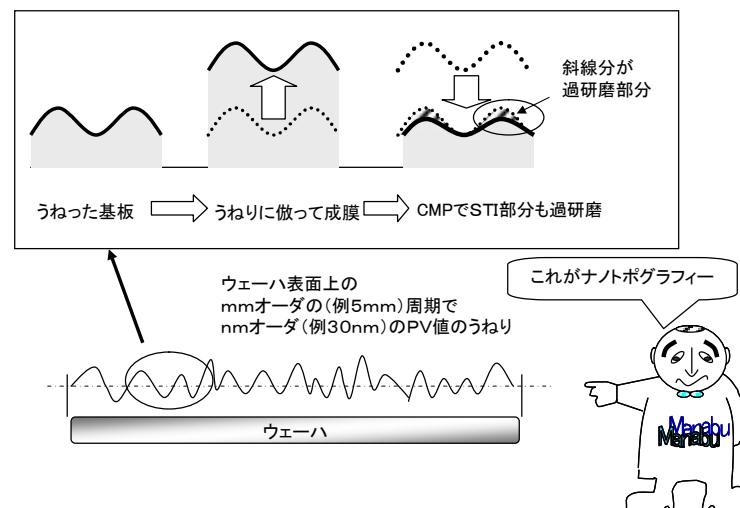
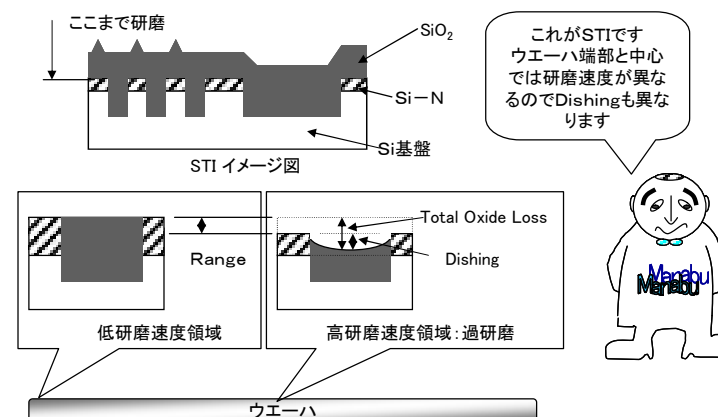
ナノポグラフィー:STIの歩留まり悪化！

STI の歩留まりが？

STI用 CMP でおかしいことが言われ始めた。最近ウェーハのうねり(Waviness)によってはCMP後の歩留まりに悪影響を及ぼすことがあるというのだ。CMPは本来大きなうねりには強い、小さなうねりには做わずに平坦化するという特徴を生かしたプロセスである。このうねりの大きさはパッドやスラリーやCMP運転条件で制御できるが、この方法で半導体デバイスの平坦化では成功している。しかしながらCMPの平坦化性能を向上させて行くと、ウェーハのうねりの形状・大きさによっては却ってSTIプロセスに悪影響を及ぼす恐れがある。FEMによる段差特性解析は良く知られているが、本章ではデバイス膜構造をCMPの立場から4種に大別し、STIのCMP特性をこのFEM手法を用いて解析し、さらにウェーハのうねりがSTIに及ぼす影響を解析したので紹介する。

ウェーハのうねりの影響

ウェーハは現状図に示す通り、数mmから数10mmの周期(λ)で数10nm高さ(PV値)のうねりがある。最近このようなうねりがSTI用CMPプロセス時の歩留まりに影響があるという報告がなされ、ナノポグラフィーとして論議を呼んでいる¹⁾。以降このうねりをナノポグラフィーと定義する。STIは先ず図に示すナノポグラフィーに做って酸化膜が成膜され、さらに成膜表面の凸凹に応じてCMPで研磨することになるが、この際成膜表面に做って研磨される場合と做わずに凸部分を過研磨してしまう場合がある。このような初期ウェーハのナノポグラフィーが、成膜プロセスを経て、さらにはSTIプロセスCMPにどのような影響を及ぼすか、またどのように回避できるのかを解析した例を次に示す。



うねりに倣わない研磨なんて！

ウェーハのうねりの影響解析例

解析図を示す。成膜後谷部を研磨量 V_v だけ研磨したとき、山部の研磨量 V_p と谷部の研磨量 V_v の差 ΔV がある許容値以下となる条件を、ナノトポグラフィーがSTIのCMPプロセスに悪影響を与えない条件と定義する。ストップ膜とSTI膜間のスラリ選択比が1とすればSTIは ΔV だけ過研磨されることになる。

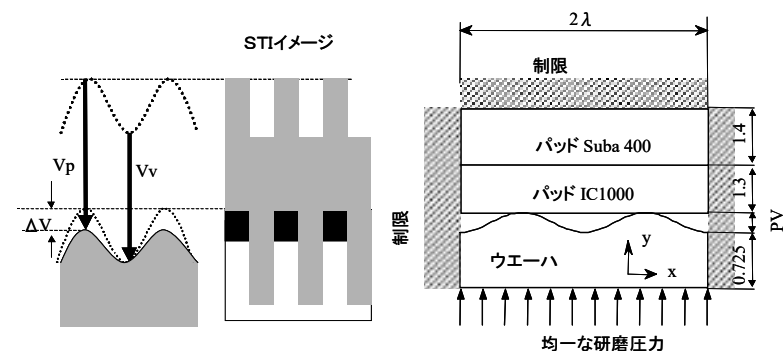
$\Delta V = (V_p - V_v) < V_{al}$ at V_v
 ここで、 ΔV : 山谷の研磨量差 (過研磨量)
 V_p : 山部研磨量
 V_v : 谷部研磨量
 V_{al} : 許容過研磨量
 である。

解析結果と対策

図はナノトポグラフィーの特性値である周期 λ と高さ PV とデバイスの過研磨量 ΔV の関係を求めたものである (パッドはIC1000+Suba400、 $\Delta V=20\text{nm}$ の場合)。図の左上は PV が大きく λ が小さいため、 20nm 以上の過研磨が発生する領域。右下は反対に PV が小さく λ が大きいため 20nm 以上の過研磨が発生しない領域である。またパッドの剛性を変えた場合も示す。剛性が大きいと許容領域が減少しているが、このことはナノトポグラフィー上はSubaのような剛性の小さなパッドを用いると余裕が大きく、IC1000単層のような剛性の高いパッドは余裕が小さいことを示している。

対策

次にCMPプロセスによる救済措置を述べる。選択比を1より大きくすれば、ウェーハのうねり起因の過研磨は選択比に反比例して低減される。ただしスラリを選択比を大きくすると一般的にはDishingが大きくなってしまいうため、むやみに大きくはできない。通常選択比を30程度にすることは可能である。使用するウェーハのナノトポグラフィー許容値と半導体デバイス設計のストップ膜厚内レンジやDishingの許容値により適正なCMPプロセスを決定することが必須となる。



ナノトポ上のSTI

① こんなナノトポ上に形成されたSTIを

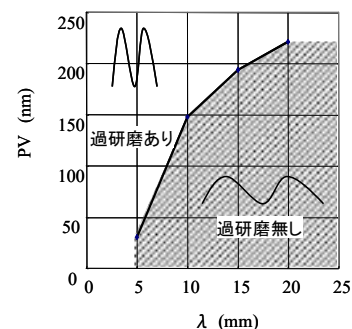
③ 過研磨を起こしてしまう範囲が分かる

FEM入力図

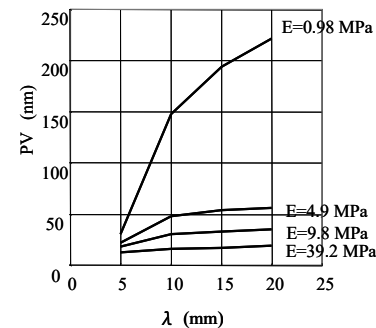
② FEMで解析すると

④ そうすればパッドをどこまで固くできるか予想可能

- $\Delta V = 20\text{ nm}$
- Pad stiffness $E = 0.98\text{ MPa}$



過研磨を起こしてしまう範囲



パッドの剛性を上げれば

ロールオフ:エッジが垂れる

ロールオフ問題とは？

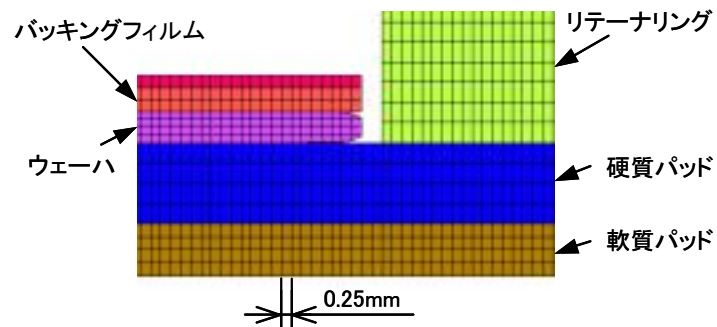
ウェーハ外縁の面取り部近傍には、ウェーハ中央部に比べて平坦度が劣り、ウェーハの平坦面よりも一般に少しダレている部分、すなわちエッジロールオフ(Edge Roll-Off: ERO)が存在する。この ERO は、両面研磨 300mm ウェーハにおいても、ITRS2003 年版で 2mm とされているエッジエクスクルージョン(Edge Exclusion: E.E.)の内側(Fixed Quality Area: FQA)にまでおよぶことが分かってきた。そのため、リソグラフィー工程においては、ウェーハエッジ部で最先端デバイスに要求される平坦度を満たすことができず、問題視されている。

この ERO が、CMP 工程においても問題となるか否かについては、非常に興味深い問題である。そこで CMP 研磨プロファイルに及ぼす ERO の影響について、有限要素法(Finite Element Method: FEM)解析を用いて検討した。

解析手法

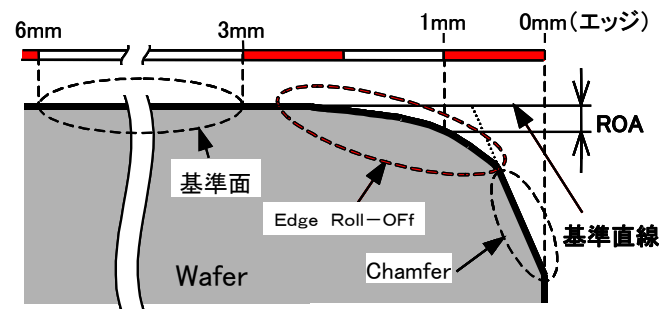
CMP の研磨レートは、プレストンの式によって表せるものとし、ERO を持つウェーハの研磨プロファイルを予測するため、FEM 解析を用いて面圧分布を計算した。解析は、ウェーハやパッドの回転を無視し、鉛直方向の押付け圧力のみを考慮することとした。また、ウェーハ中心を対称軸とする二次元円筒座標として解析した。

ウェーハエッジ部周辺の解析メッシュを図に示す。ウェーハは、 $\phi 300\text{mm}$ 、厚さ 0.775mm 、面取り形状を台形とした。研磨パッドは、下地層が軟質パッド、表層が硬質パッドの積層構造とした。ウェーハ裏面には、バックリングフィルムを介して等分布圧力(ウェーハ押付け圧力)を加えた。ウェーハの周囲はリテーナリング(Retainer Ring: R.R.)により押し付けた。



解析メッシュ

エッジロールオフとは端がたれていること
私の眼みたい



ROAの定義

エッジ1mmを目指して

エッジロールオフの影響

ウェーハ押付け圧力とリテーナリング(R.R.)圧力を共に 30kPa とした場合の、ウェーハエッジ部の面圧分布を図に示す。ここで、縦軸は、ウェーハ中央部での面圧を 1 とした場合の相対面圧であり、前述のように概ね研磨プロファイルと傾向が一致すると考えてよい。ROA(Roll Off Amount)が小さいウェーハにおいては、半径 148mm よりも内側であれば、相対面圧がほぼ平坦であることが分かった。一方、ROA が大きいウェーハにおいては、半径が 146mm より大きくなると次第に相対面圧が大きくなり、半径 148mm においてウェーハ中央部より約 30%も相対面圧が大きくなることが分かった。

また、E.E.を 2mm としたときの FQA における研磨量のばらつきの許容範囲を仮に $\pm 10\%$ 、すなわち、相対面圧で 1.0 ± 0.1 と設定すると、ROA が小さいウェーハでは相対面圧が許容範囲に入っていたが、ROA が大きいウェーハでは相対面圧が許容範囲を大きく超えていた。したがって、ERO はウェーハエッジ部の研磨プロファイルに大きく影響を及ぼし、CMP 工程において問題となり得ることが分かった。

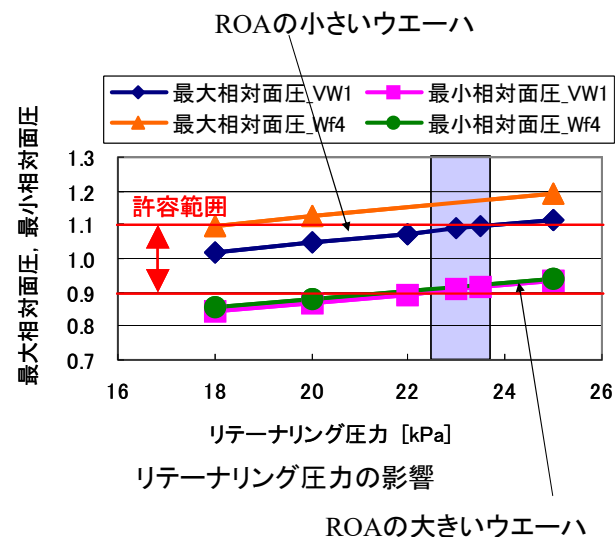
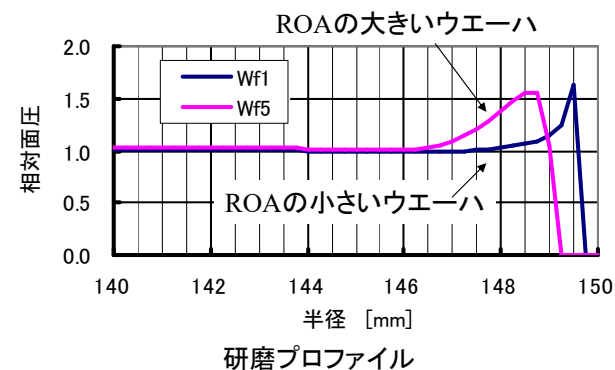
リテーナリング圧力の影響

E.E.を 2mm としたときの FQA における最大相対面圧および最小相対面圧と R.R. 圧力との関係を、異なるウェーハについて調べた結果を図に示す。ここで、ウェーハ押付け圧力は 30kPa に固定した。

この R.R.圧力の範囲では、最大相対面圧および最小相対面圧は、R.R.圧力が大きくなるほど大きくなった。ここで、ROA が小さいウェーハにおいては、R.R.圧力が 22.3kPa から 23.8kPa の範囲(着色部)で相対面圧の許容範囲に入っていることが分かった。一方、ROA 大きいウェーハにおいては、最大相対面圧と最小相対面圧の差が大きく、許容範囲に入る R.R.圧力が存在しなかった。

この結果は、ROA が小さければ、R.R.圧力を調節することで ROA に対応できることを示している。しかし、ROA が大きすぎると、R.R.圧力を調節しても許容範囲を逸脱する。

ウェーハエッジロールオフの、CMP 研磨プロファイルへの影響について FEM 解析を用いて検討した。その結果、エッジロールオフは、ウェーハエッジ部の研磨プロファイルに大きく影響を及ぼし、ROA が 1.27 の場合、半径 148mm においてウェーハ中央部より約 30%も相対面圧が大きくなることが分かった。しかし、CMP プロセスで許容できるエッジロールオフには幅があり、ROA の大きさとばらつきが小さければ、リテーナリング圧力を調整することで対応できることが分かった。



キロからナノまでFEM

ナノレベルに適用できる構造解析

LSIの高集積化や高速化に伴って、従来の SiO_2 より誘電率の低い材料(Low-k材料)の使用が検討されている。Low-k材料としては、内部に多数の空孔(比誘電率1)を有する多孔質材料や有機材料が有望とされているが、これら材料の機械的強度の低さが、製造プロセス上での素子の損傷の原因となり、歩留まりや信頼性を下げる可能性が指摘されている。半導体製造プロセスでは、熱や加工反力など配線構造に様々な負荷が作用するが、ここでは、将来的に採用される材料の機械的特性を予測し、CMP時に配線構造に作用する応力を有限要素法により解析した。

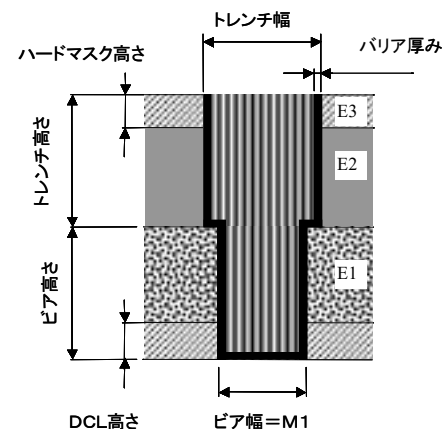
解析条件

以下では、デュアルダマシン法によって形成された配線構造に対してCMPによる平坦化プロセス中に発生する応力を、将来的な絶縁材料の機械的特性と、配線の寸法、構造を仮定して、有限要素法によって解析した。

1) 配線構造と寸法: 図に via とその上層の配線の模式図を示す。表に仮定した寸法を via 部の直径を代表寸法として示す(単位は nm)。また、解析は図の①E1, E2, E3 が均一の材料である Homogeneous without HM 構造、②E3 のみが異なる Homogeneous with HM 構造、③E1～E3 が全て異なる Hybrid with HM 構造の三種の構造について実施した。

2) 材料の機械的特性: E1～E3 の材料は、ITRS など各テクノロジーノード(T.N.)毎に提唱されている bulk の比誘電率から low-k 材料のヤング率の予測値を決定した。また、配線材料(Cu)、バリア膜(Ta/TaN)、拡散防止膜(SiCN)は寸法に依らず、一定の値とした。

3) 解析メッシュと荷重条件: 解析モデルは、図の配線(最小幅)と via に加えて、最大幅の配線を下層に模擬した1層半に相当する3次元モデルであり、 $M1=100\text{nm}$ の際にはモデル全体で $1\cdot\text{m}\times 1\cdot\text{m}\times 0.6\cdot\text{m}$ である。via 部の中心を対称軸とし、解析モデルの最下層は拘束されているものとした。解析メッシュの両端には無限遠方向を模擬する半無限要素を用いた。CMP時に作用する負荷荷重として、解析モデルの上面全体に $3.45\text{kPa}(0.5\text{psi})$ の垂直荷重と摩擦係数 0.43 の剪断応力を均等に作用させた。



ダマシン構造図

FEM解析入力数値 (nm)

M1		140	100	70	50
トレンチ	幅 (min)	160	114	80	57
	幅 (max)	1000	500	300	100
	高さ	230	170	125	90
ビア	径	140	100	70	50
	高さ	210	150	110	80
ハードマスク	高さ	50	35	25	25
DCL	高さ	50	35	25	20
Ta/TaN	厚さ	10	7	5	3.5

ダマシン強度を確認しよう

根っこが一番厳しい？

配線構造部のビア中心の対称軸面から見たフォン・ミーゼス (von Mises) 相当応力分布とその時の変形状態の一例を図に示す。ビア底部は拡散防止膜 (SiCN) によって支えられ、応力はビアの中間もしくは根っこで最大となる。感覚から言っても理解できる結果である。

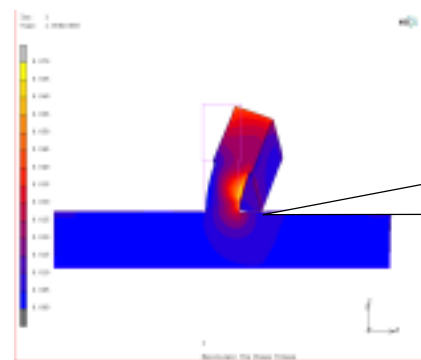
さらに、このビア部の応力を微細化寸法 M1 をパラメータとしてプロットしたのも図に示す。世代毎にどの程度応力が上昇するか理解できる。

対策は？

LSI の高性能化に伴った Low-k 材料の推移を予測して、CMP 時に配線構造に作用する応力の解析を行った。ビア部の応力は Low-k 材料のヤング率に依存する傾向を示すものの変化率は大きくなく、32nm 世代 (2010 年) に相当する場合でも懸念されているほど厳しい条件にはなりにくいと考えられる。これは、ビア部の応力の観点からは CMP 時の加工圧力を極端に下げる必然性はないことを示唆している。

今回は変形や降伏の観点から von Mises 相当応力について検討した。結果として FEM は機械工学の ‘キロメートル’ レベルから、半導体の ‘ナノメートル’ の解析に役立つことが理解できたと思う。機械屋はどこにでもいる。十分に活用して欲しい。

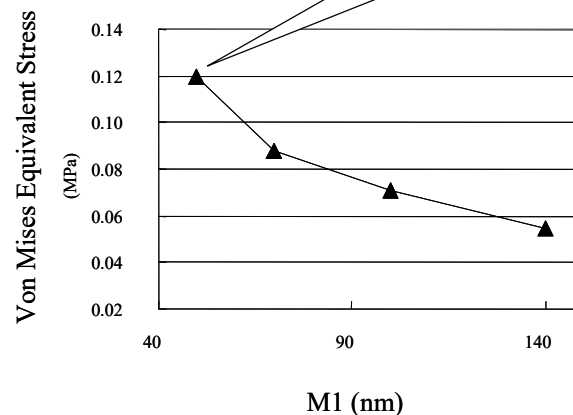
最後に「Low-k はもろい材料なので応力解析だけでは不十分では？」という質問に答えておく。その通り。剥離や剪断などの観点から配線構造に作用する応力について検討するには破壊応力を考慮した解析が必要である。ただし、その解析に使用する応力はここで解析したものと同じだ。要は、応力は FEM で解析した。それを使って許容応力として診断するか、破壊応力としてエネルギーを計算しなおして判断するかである。破壊応力に関してもこのように解析が可能である。



正にビアの根っこが一番ねじれて応力が高そう！

解析図

微細化されていくと共にこの応力が上がっていきます



Who's Law?

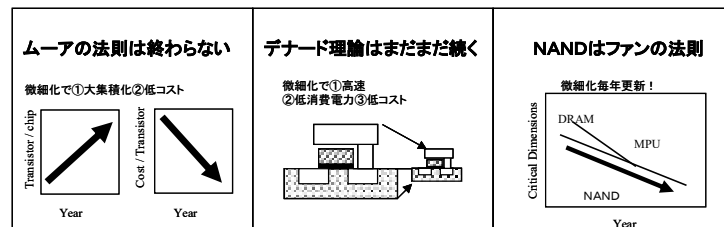
半導体は過去60年、微細化と大口径化の繰り返しによってこの世の春を謳歌してきました。この半導体技術の牽引者は誰だったのでしょうか？

微細化というとインテルのゴードン・ムーア博士のムーアの法則（経験則）が有名ですが、実はこれを理論的に支えたのがIBMのロバート H. デナード博士のCMOS相似則です。ムーア博士は自社のデバイス生産技術をバックに、「半導体の集積密度は18～24ヶ月で倍増する」と「経験的に」予測しました。デナード博士は、CMOSデバイスは微細化すると①高速化し、②低消費電力になり、さらに③低コストになるということを論文発表で「学術的に」検証しました。以来、半導体は微細化の一途を辿るのですが、その牽引技術はDRAMメモリでした。そのメモリでは「毎年微細化を促進する」というファンの法則（自社計画）も有名です。

ところでウエーハの大口径化には法則があるのでしょうか？ 8インチ用工場が300箇所になったときウエーハは12インチに変わりましたので、12インチ用工場が同じく300箇所に達すると18インチに変わるかも知れません。これは誰の法則？

さらに3次元実装や新探求デバイスなど半導体のパラダイムは大変動がこれからも続きます。これらは誰が牽引するのでしょうか？

Who's Law? 世界はスーパーヒーローを待ち望んでいます。



第 IV 編

ウェット成膜プロセス：洗浄と乾燥

洗浄は戦場？

半導体デバイスの洗浄とは？

洗濯や掃除で一番大変なのは何だろうか？ 洗濯なら色落ちする洋服を一緒に入れてしまったとき？ お掃除なら‘汚い足’でお掃除を手伝ってくれるお子さん？ これ全て洗浄技術では「コンタミ(汚染)」と定義する。

半導体ウェーハでは洗浄面にはいろいろな材料が混在する。銅配線が見えている表面を拭く際に、隣の酸化膜上の銅はふき取るわけだが、その雑巾が銅壺上を通ることになる？ 墨壺の上をなぞりながら墨を拭いているようなことを平気でやっている。これではきれいになるはずが無い？！

まずは掃除の基本から習おう。

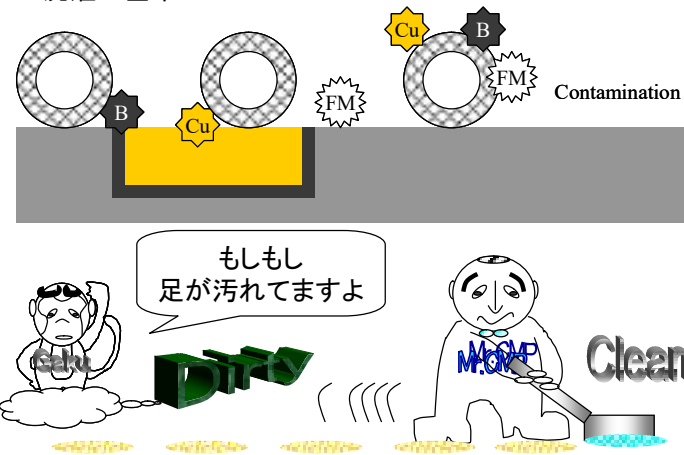
そのため最近では非接触洗浄やソフト洗浄と言われるものも開発されている。非接触では墨壺に触らないように、ソフトとは銅を傷つけないようにと。また乾燥も大変。乾燥染みを残さない乾燥方法が大事である。においを残さないソフト仕上げということか。

洗浄の歴史概要

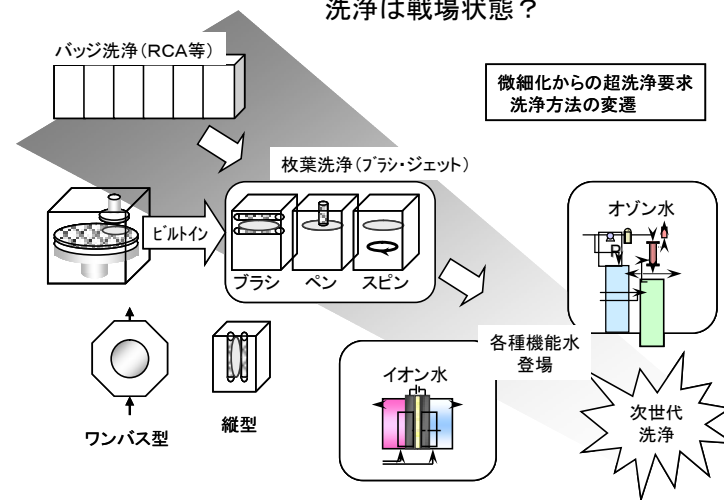
図に洗浄の歴史概要を示す。従来はRCA社の開発したバッチ式RCA洗浄プロセスが主流であったが、CMPやめっきなどのウエットプロセス装置が登場して以来ドライイン・ドライアウトコンセプトのデファクト化と共に、それぞれの装置に枚葉型洗浄機をビルトインする考えが一般的になってきた。その後枚葉に好適な種々の洗浄装置やプロセスが開発されてきた。装置としては全てのプロセスを一つのバス内で行う「ワンバス型」³⁾や、ウェーハを縦型で洗浄する「縦型」などが登場。プロセスとしてはイオン水やオゾン水などの各種機能水が登場した。ITRSの示す新材料や高アスペクトレシオ世代では洗浄開発がキーテクノロジーとなることは必至である。

一口に洗浄と言っても、それこそ百花繚乱・千差万別。正に洗浄業界は‘戦場状態’だ。

洗濯の基本？



洗浄は戦場状態？



何をどうやってきれいにするの？

ここではどのような汚染物質を洗浄対象としているか、そしてそれらをどのようなメカニズムで洗浄するのかをCMPを例にとって述べる。

洗浄対象は？

まずCMPを例にして述べる。CMPプロセス後にはパーティクルも金属汚染も、プロセス毎によって選定されたスラリー(シリカ系、アルミナ系、マンガン系等)・パッド層・研磨物などにより汚染された状態にある。これを研磨で発生したマイクロスクラッチを助長せずに、表面・裏面・端面共に洗浄することが要求である。被洗浄対象は上記のようにCMP対象である酸化膜・タングステン・配線材・バリア材などであり、汚染物質と被洗浄対象との組み合わせにより洗浄方法も好適の方法が変わる。特にケミカルを導入する場合は洗浄効果のみでなくその後のデバイスプロセス上使用可能な制限が付くため選定はCMPメーカーのみでは決定できない。

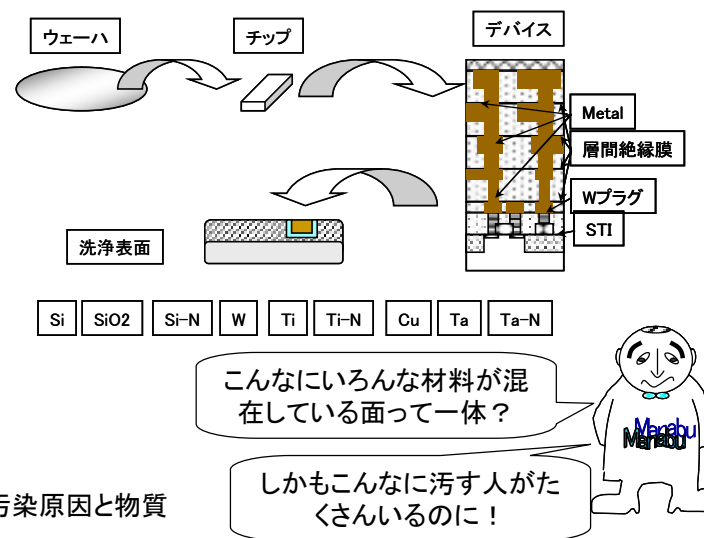
CMPプロセスでの洗浄対象のウェーハ表面の材質を図に示した。各プロセスにより表面材質は異なるが、注意すべき点は例えばCu配線プロセスだからといって洗浄表面はCuのみではない。Si・SiO₂・Si-N・W・Ti・Ti-N・Cu・Ta・Ta-N等の関連する材料が混在する。ゼータポテンシャルや腐食対策を考慮する際に注意すべきことである。めっきではめっき液に含まれる不純物である金属イオンや有機物、さらに装置から発生するダストなどを考慮すべきである。

洗浄のメカニズムを知ろう

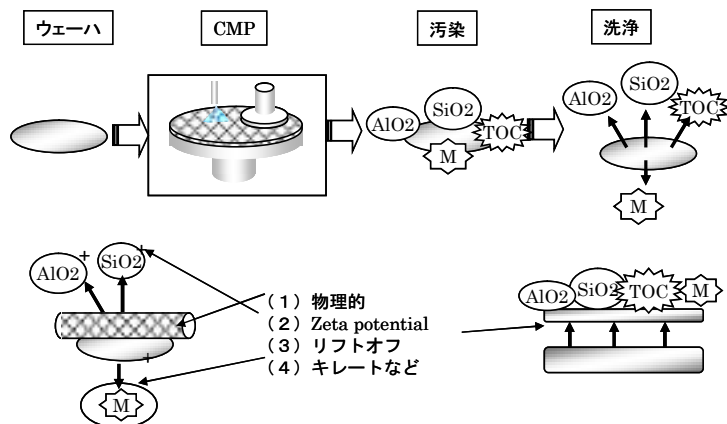
図にCMPを例にとり汚染状況と洗浄メカニズムをイメージで示した。CMPからはスラリー・パッド・装置からの汚染により、砥粒・金属・有機物(TOC)汚染などが考えられる。洗浄のメカニズムの基本は下記の4項目に大別されると考える；

- ・ 汚染物質を洗浄表面からブラシやジェット等の物理力で剥がし取る。
- ・ 汚染物質と洗浄表面が電氣的に離れやすくするように媒体の洗浄液のpHを変化させてゼータポテンシャルを制御する。
- ・ 洗浄対象を汚染物質ごと軽くエッチオフする。
- ・ 汚染物質を溶解するか、又は洗浄液のキレート効果で除去する。

CMP洗浄対象・表面の材質



汚染原因と物質



きれいな洗浄はきれいな装置から

図に洗浄モジュール例を示し、下記に特徴を述べる。

先ずロール型洗浄から

これは枚葉洗浄機の基本だ。PVAなどのロール部材を数100回転させて、ウエーハの表面・裏面を同時に洗浄する。ロール材の形状は各社各様ノーハウの塊だ。洗浄時に例えば数100ppm程度のアルカリ液を入れてゼータポテンシャルを制御したり、Cu錯体を除去しやすいキレート液を入れてみたり、レシピも千差万別。よって酸・アルカリなどの薬液対応も必須だ。このように、微量の薬液の導入により微粒子洗浄効果向上・寿命向上・金属汚染除去などの効果を期待できる。

次はペンシル型

基本はPVAなどロールと同じ部材を用いていて、ペンシル部材を数100回転させてウエーハの表を洗浄する。洗浄部材形状がロールでなくペン型になっていることからペンシル型と呼ぶ場合が多いので、ここではその名称を用いておく。薬液導入に関してはロール型と全く同じ機能が必要だ。

そしてジェット型

通常のジェット型、超音波を加味したタイプ、キャビテーションを応用した特殊ジェット洗浄がある。キャビテーションジェットでは従来のジェットより広範囲かつ高効率の洗浄が可能である。さらにガスと液の2流体を用いたジェット方式も開発されている。ここでも薬液導入の可能性は少なくない。

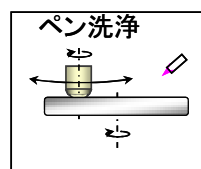
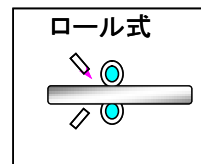
乾燥

枚葉式乾燥では、数1000回転で最終乾燥を行うスピンドライ(SRD)方式が一般的である。酸化膜など親水性膜表面ではスルーブットを含めて抜群の装置だ。低誘電率材などの疎水膜表面では、ウオータマーク防止目的でIPA(Isopropyl alcohol)を用いた乾燥方法も開発されている。膜の表面によって使い分ければ良い。

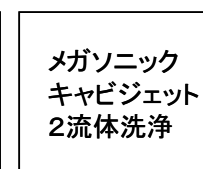
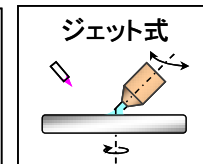
そして、これらの洗浄・乾燥モジュールはドライイン・ドライアウトコンセプトにより、十分管理された装置内に設置されることにより、最適の洗浄・乾燥効果を発揮する。

洗浄モジュール

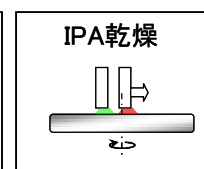
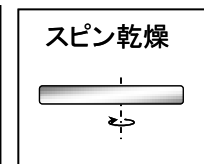
接触式洗浄



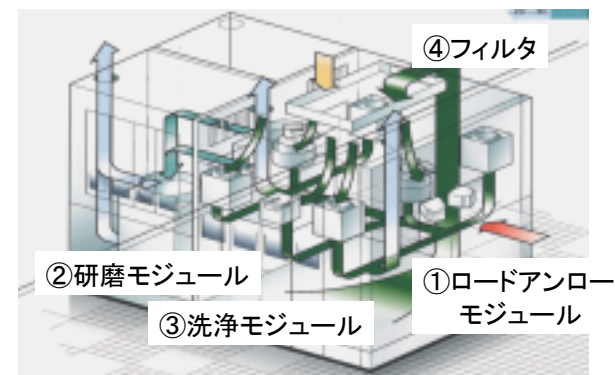
非接触式洗浄



乾燥



薬液としてアルカリ・DHF
機能水・オゾン水注入可能



CMP装置内クリーン化

環境をクリーン化しよう

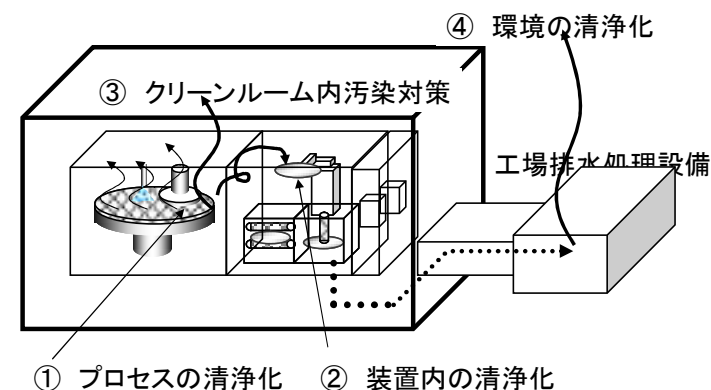
環境の清浄化(新材料対策)

クリーンルームからさらに外、環境への汚染対策について述べよう。半導体デバイスもいよいよ種々の新材料に踏み切った。配線ではもちろんアルミから銅へ変わり、その銅も合金化へと進むだろう。層間絶縁膜は無機・有機の各種低誘電率材料の開発が佳境に入った。キャパシタでは所謂 Ta_2O_5 ・STO・BST などの高誘電率材料や Pt・Ru・Ir などノーブルメタルが候補に上がり、トランジスタゲートでは HfO_2 などの高誘電率材料を採用するなど、正に半導体デバイス材料は百花繚乱状態である。因みに著者が元素の周期律表からこれらの元素を探そうと思っても、簡単には見つからないような元素ばかりである。これら加工するのだから、当然廃棄物にはこれら材料もしくはその副生成物が混入しており、排水処理も複雑になる一方である。もちろん CMP だけのテーマでは無いが、もともと汚いことの横綱と言われた(あまり威張ることではないが) CMP から解決するのも良いことと、CMP は開発当初から環境には敏感である。

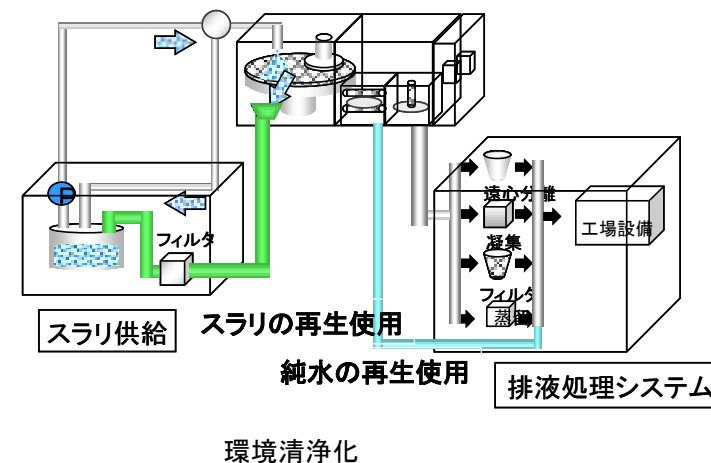
例えばスラリは循環再生使用を試みているし、廃液はクローズド再利用を実施している。スラリ循環再生使用については、もともとベアシリコン研磨では数回の再利用を実施している。半導体デバイスでも酸化膜やポリシリコン研磨などでは異種材料が生成物として含まれないので可能である。もちろんそれによるデメリットもあり、採用するか否かはエンジニアリングチョイスである。廃液処理に関しては CMP は砥粒という特別なものが含まれる以外は他の廃液処理となら変わることは無い。よって従来の廃液処理メーカーの開発と同等であるために、採用はしやすくこれもエンジニアリングチョイスである。

今後前述のような新材料がどんどん採用になれば、スラリの仕様も異なるし、廃液の仕様も変わるだろう。全部終わってから「とにかく処理しなさい」と言われるよりは、始めから環境を考慮したスラリ選定や廃液処理を考えた CMP プロセスを開発していくべきと考える。

環境汚染対策は必須項目であり、「汚い汚染の横綱」という不名誉な代名詞を環境対策で挽回すべきである。



クリーン化のいろいろ



望まれる非接触洗浄

何故今非接触洗浄が？

微細化に伴いゴミの管理も厳しくなってきた。CD (Critical Dimension) の半分と言うことを行けば、45nm 世代のゴミ管理寸法は22.5nm だ。こんな寸法は CMP でいえば平坦化 Dishing とほぼ同じだし、傷の寸法かゴミかも判別しにくくなってきた。そこでせめて洗浄は物理洗浄から非接触洗浄へと開発が進みつつある。

非接触洗浄の代表はウオータジェットであるが、さらにこのウオータジェットに超音波を加味してみたり、氷をジェットで吹き付けたり、液体と気体の2流体のジェットにしてみたりと、非接触洗浄にはいろいろな開発が展開されている。本章では、その1例としてキャビテーションを応用した非接触洗浄を紹介する。

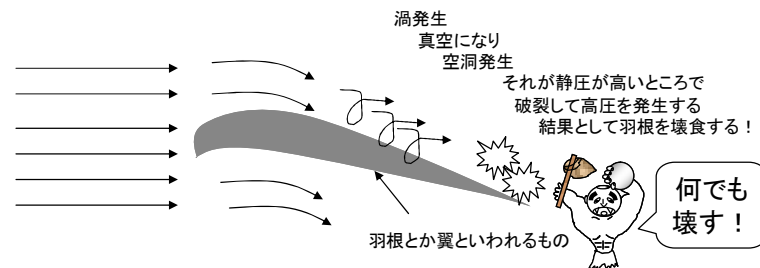
キャビテーションジェットはウオータジェットと同様に非接触式であることと、超音波を発生していること、目的に応じた機能水注入が容易であり、大きい圧力増幅能力と広い圧力影響領域を持つという種々の特徴を持っている。

キャビテーションジェットの原理

キャビテーションジェット洗浄は、本来流体工学上回避される場合が多いキャビテーション現象で発生する物理力を有効活用したウエーハの洗浄方法である。流体中に飽和蒸気圧以下の状態ができると流体中にキャビティ(空洞)が発生する。このキャビティは飽和蒸気圧以上の状態に再び戻されると破壊し、この際に瞬間的に高い圧力を発生する。

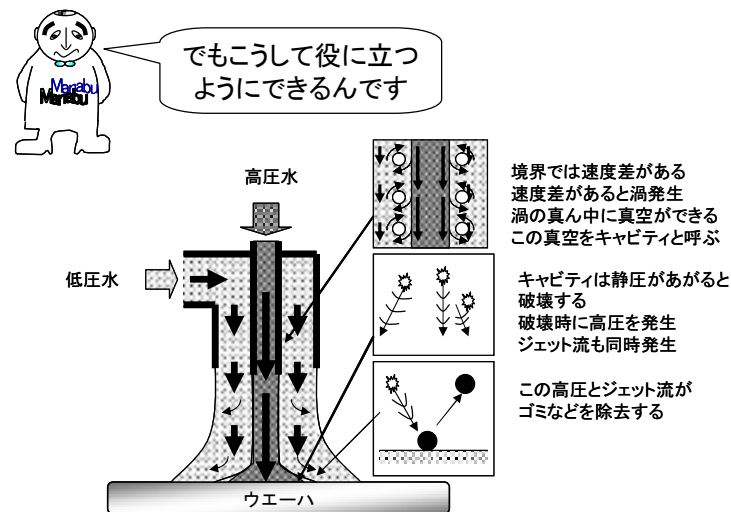
実験装置例では図に示すように、低速ジェット水の中に高速ジェット水を流した。このとき高低速流れの速度差により境界面に渦が発生する。渦の中心に低圧部が発生し、ここにキャビティが発生する。このキャビティがウエーハ面で破壊、この際に発生するキャビ破壊圧がウエーハ上のパーティクル除去に効果があるというメカニズムを想定した。

キャビテーションとは？



流体力学では本来忌み嫌われる現象です

キャビテーションジェットのメカニズム



荒くれ馬を乗りこなせ

キャビテーション発生状況

キャビテーションの発生状況高速ビデオカメラで直接観察した。圧力を1から13MPaまで変えてキャビティの発生状況を確認している。正に嵐の中にいるようだ。キャビテーションジェットは本来岩をも砕く荒くれ馬を使いこなそうという試みだ。

圧力領域が広い！

スタンドオフ距離をパラメータにして圧力影響領域の比較をした。結果としてキャビテーションジェットはウオータジェットより影響領域が数10倍広いことが確認された。これにより枚葉式装置での洗浄時間を短縮することが期待できる。大きなほうきで掃くと同じ。その方が早いのは当然だ。

いろいろな周波数が混在して効果を発揮！

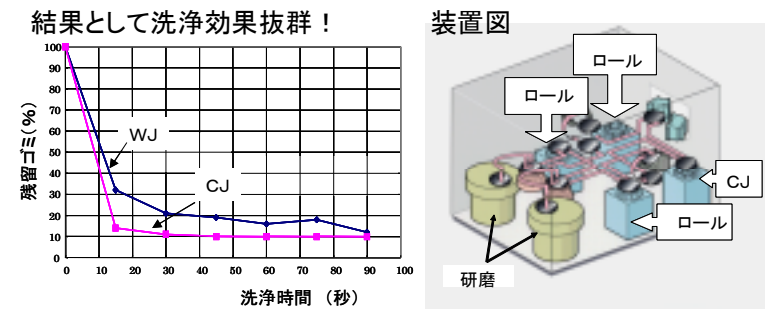
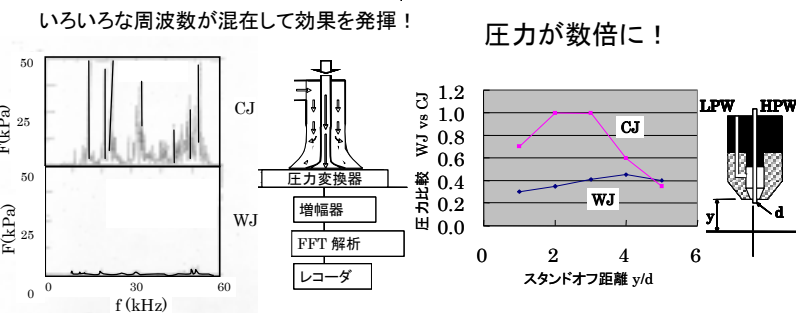
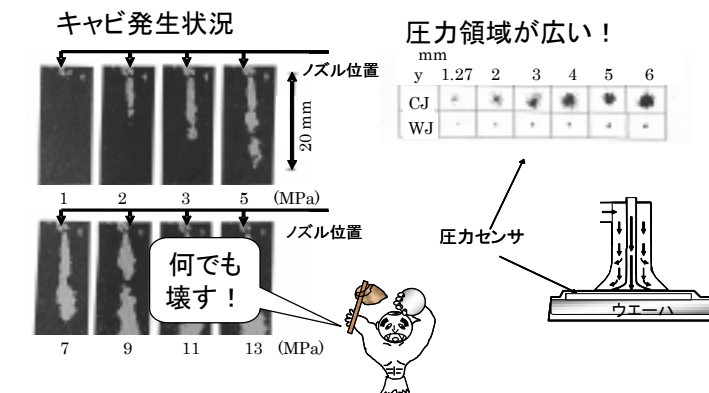
キャビテーションジェットには60kHzまでの種々の周波数の圧力が混在していた。単一周波数を用いる通常の超音波洗浄に較べて、周波数は幅広く利用できることが確認された。いろいろなサイズに好適に働く周波数があるという考えだ。

圧力が数倍に！

被洗浄面でのキャビテーションジェット圧力を、スタンドオフ距離をパラメータにしてウオータジェットとの比較と共に図に示す。結果は2倍程度の圧力増幅率であった。ローカルにはキャビテーション破壊圧が期待できると共に、グローバルにもウオータジェットに較べて2倍程度高い圧力が期待できる。この圧力の出し方にノーハウがある。出しすぎると岩をも砕く？

結果として洗浄効果抜群！

最終洗浄能力は初期スラリ量を100%として残量%で比較した。ウオータジェットの場合には20%程度であるが、キャビテーションジェットの場合は10%に達している。もし洗浄能力を20%で比較すれば、洗浄時間はウオータジェットの場合の30秒に対し、キャビテーションジェットの場合は12秒に短縮されている。結果として最終洗浄能力も洗浄時間もキャビテーションジェットがウオータジェットに勝っていることが確認された。



乾きにくい下地にはIPA

IPA 乾燥とは？

Cu/Low-k 配線における CMP プロセスでは Low-k 膜に対してダメージ Less な研磨、洗浄、乾燥技術が必須である。疎水性膜である Low-k 膜表面にはウォーターマークが発生し易く、電気特性に影響を及ぼすと言われている。IPA 乾燥技術は当初フロントエンドプロセスの疎水性膜に発生するウォーターマーク対策に考案された技術だが、上にも述べた様に最近では配線工程の疎水性 Low-k 膜に対する洗浄・乾燥にも使用され始めている。また、その IPA 乾燥が親水性膜にも応用されている例があるが、IPA 乾燥が親水性膜にも効果的なのかどうかは調査が必要である。

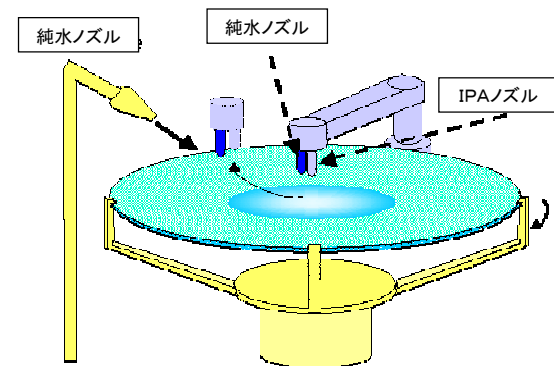
IPA 乾燥には浸漬を基本とするマランゴニ型とフェースアップ用に IMEC によって開発されたロタゴニ型がある。本稿では CMP の乾燥技術について言及し、ウエーハ表面の親水性膜と疎水性膜に対するロタゴニ型 IPA 乾燥効果を一般的スピリンスドライ (SRD) との比較を紹介する。

正に疎水膜は乾きにくい下地だ。これを何とかしないと低誘電率材を採用する最新のデバイスの乾燥はできない。大変な問題だ。

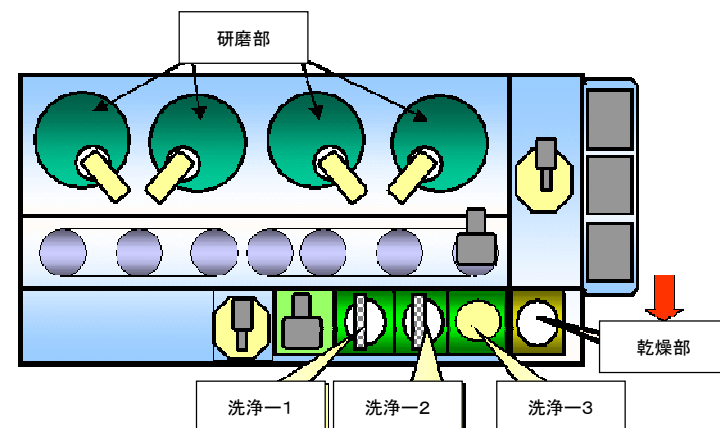
ロタゴニ乾燥

ロタゴニ型 IPA 乾燥ユニットの概略図を示す。回転しているウエーハの上部から IPA 蒸気と純水をノズルから供給し、ノズルをウエーハ中心から外周方向へ揺動させる。ロタゴニ型 IPA 乾燥はウエーハの回転による遠心力と IPA ガスによるマランゴニ力を利用した乾燥方法である。それを搭載した CMP 装置の概略図も示した。

ロタゴニ型IPA乾燥モジュールイメージ図



ロタゴニ型IPA乾燥モジュール搭載図



すごい！疎水膜でも簡単に！

実際にIPAで乾燥してみよう

酸化膜のように親水性、ポリシリコンのように疎水性、と膜質はいろいろだ。しかも疎水性であってもCMP後には親水性を示すように表面が改質されてしまっている場合もある。疎水性の場合にはIPA乾燥が有効だが、親水性の場合にはスループット上もスピンドライ(SRD)方式が望ましい。

そこで、ベアシリコンウエーハを表面処理によって疎水度(親水度)を変化させ、それぞれの場合のSRDとIPA乾燥の効果を比較した。

そして乾燥結果は？

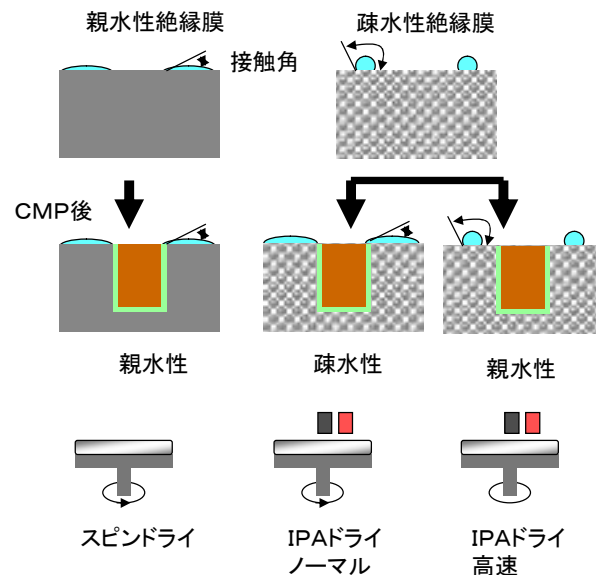
ベアシリコンウエーハを SRD 及び IPA 乾燥した後のウエーハ表面の接触角における欠陥数を示す。一般的に接触角にてウエーハ表面の疎水度、親水度の特性が表される。接触角が 60 度付近である疎水性膜については、SRD に比べていずれの IPA プロセスにおいても Defect 数が低減されている。また、接触角が 30 度付近である親水性膜では SRD と IPA 乾燥での欠陥数はほぼ同数である。

このことから疎水性膜については IPA 乾燥が欠陥低減には有効であることが実証された。一方、親水性膜では SRD、IPA 乾燥による違い、乾燥方法依存性は見られないことが判明した。

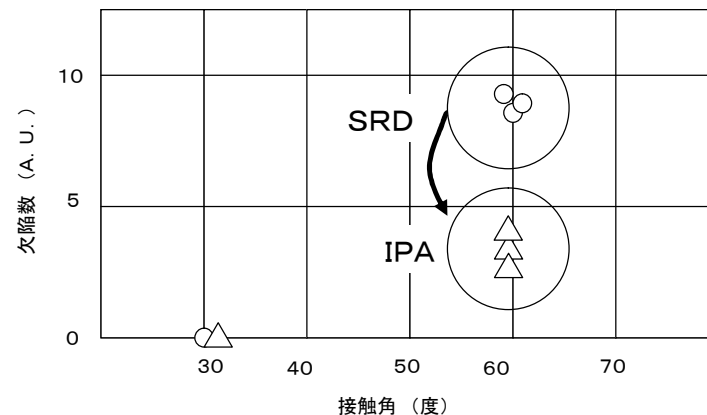
SRDとIPA

上述のようにCMPではその表面が条件によってかなり変る可能性がある。一方でスループットは上げたい。そこで、表面の疎水度によってIPA乾燥時間を変えても良い。枚葉式ではももとの装置がSRDでできている。このSRDにロタゴニ乾燥を追加すればIPAでもSRDでも可能だ。このようにしてそれぞれの表面に適したIPA乾燥を実施することにより、スループットも早くでき、かつ環境にも好適な装置が提供できる。

親水膜・疎水膜の乾燥方法



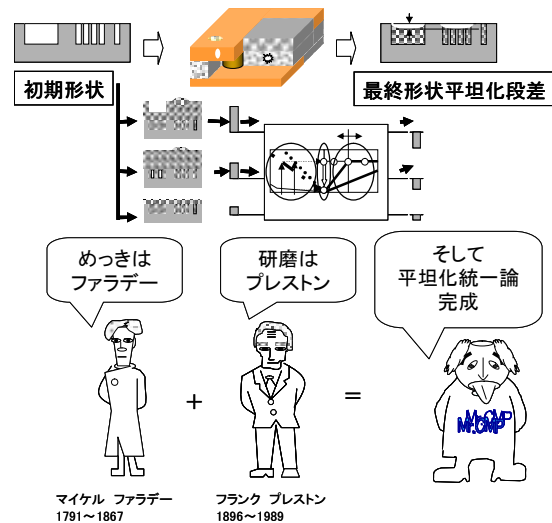
乾燥結果



Manabu's Law !

我が「研磨とめっき」という小さな技術の世界にも、技術革新の嵐が吹き荒れています。その「研磨とめっき」の牽引者は誰でしょうか？ 研磨と言えばプレストンの式で有名な Frank William Preston 博士(1896 -1989)でしょう。めっきでは偉大なる自然哲学者マイケル ファラデー氏(1791-1867)まで遡るべきでしょう。プレストンとファラデーが日本のアインシュタイン(私のこと?)によって融合しました。それが本書に出てくる‘特殊・一般平坦化統一論’です。半導体デバイスの永遠の課題である‘平坦化’に関して、成膜技術で解決する方法、削膜技術で解決する方法、そしてその融合技術を示しています。研磨とめっきはManabu's Law? 言い過ぎですね(反省)。

ムーア博士とデナード博士によって牽引されてきた半導体業界、プレストン博士とファラデー氏によって科学的になった3000年前の研磨とめっき技術。今後はどんな技術がそしてどのような方エンジニア(科学者)が業界を牽引して行くのか本当に楽しみです。Who's Law? 我こそはと思う方、恥ずかしがらず名乗り出て下さい！



第 V 編

ウェット成膜プロセス: 多層配線

超高層ビルと多層問題

多層学会で良く議論される多層配線の問題を図にして示した。解決したようで、とにかく世代が進むたびに同じ問題がまた顔を出す。まるでもぐら叩きのようだ。がっかりせずに、まずは問題の本質を掴む努力をしよう。めっきと研磨を開発するエンジニアはデバイスの他の工程の問題も理解しておいたほうが良い。

装置屋の見る多層問題は？

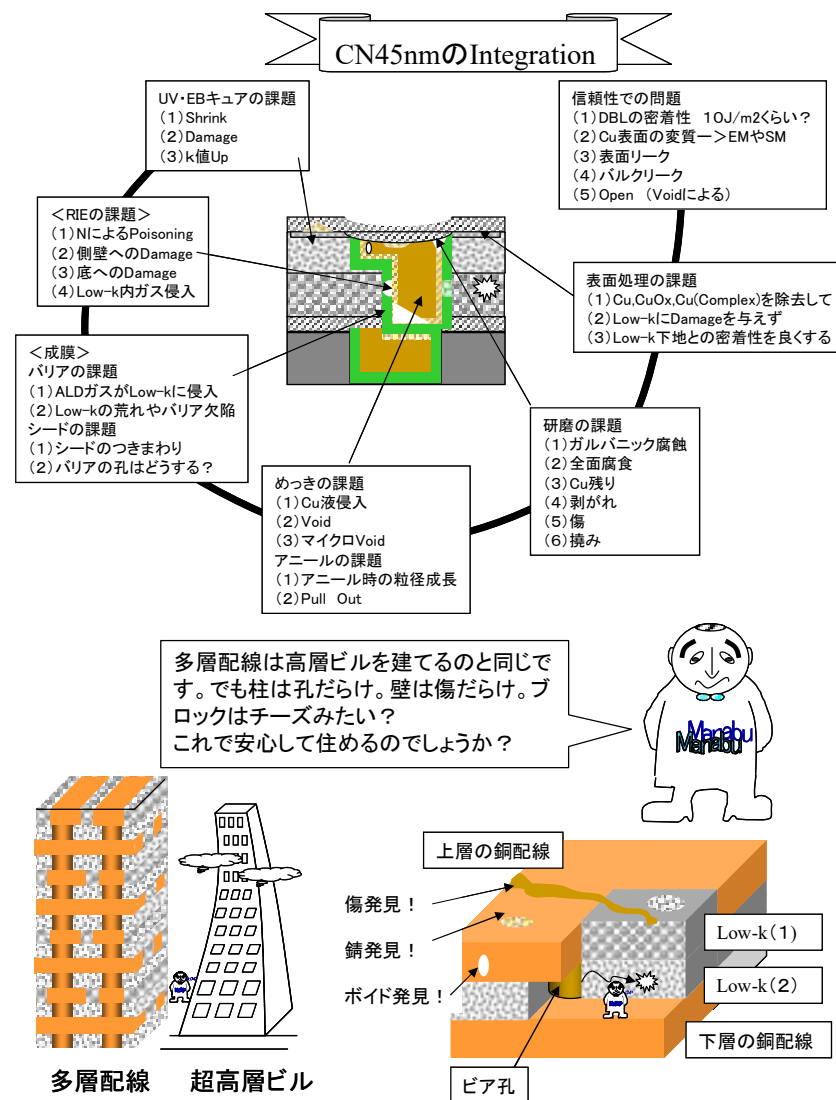
デバイスプロセスでは(1) FEOL の STI 研磨、(2)多層配線のダマシン用めっき、研磨、高融点メタルキャップ、パンプ電極めっき(3)実装での再配線めっきなどに使われているが、今回はこの「多層配線」に絞って、最近の問題・課題を Pick Up して見た。多層配線プロセスには研磨・めっき以外にエッチング・CVD・PVD・洗浄・アニール・アッシング・リソなどいろいろなプロセスがあるが、典型的なダマシン構造を用いて極々簡単に多層の問題の基礎を説明する。研磨とめっきのエンジニアもこの程度は知っておいた方がよいだろう。私はデバイスの素人だが、素人の見た「これが全てだ！ 多層問題」として紹介したい。

ダマシン構造とその課題

まずは多層のプロセスをここでは簡単に以下の通りとしたい。

リソグラフィ → 低誘電率膜の成膜 → 同膜のキュア →
エッチング → アッシング → バリア成膜 → Cu シード成膜 →
Cu めっき成膜 → 洗浄 → アニール → 研磨 → 洗浄 →
DCL(Dielectric Cap Layer)膜又はメタルキャップ成膜 → 実装

各プロセスで発生する多層問題を下記にプロセス毎に整理して見よう。ボイド(孔)あり、錆あり、傷あり、強度不足ありなどなど、マンションや超高層ビル問題と似たところがあるようだ。詳細に見ていこう。



— これが全てだ多層問題 —

ローケーチーズ？ Low-k 材

最初は下地銅配線から

DCL(Dielectric Cap Layer)の役目は絶縁膜でかつ Cu のバリア(Cap)の役目をします。そこで DBL(Dielectric Barrier Layer)と呼ぶ場合もある。ここで Dielectric としたのは、この他に Co-W などの Metal による Metal Cap Layer があるからだ。この Layer に要求される仕様は(1)誘電率が低く(2)バリア性があり(3)下地の Cu や Low-k との密着性が良いことがあげられる。

Low-k 成膜

まず Low-k の種類から覚えよう。たくさんあるが、ここでは簡単に下記程度を聞いておけばよい。

・基本の SiO_2 ($k=3.9\text{--}4.3$) をフッ素化すると SiOF ($k=3.4\text{--}3.8$) になる。

・Hybrid 化すると $k=2.8\text{--}3.1$

HSQ (H-SiO_3)²⁻-n

MSQ ($\text{CH}_3\text{-SiO}_3$)²⁻-n

SiOC ($\text{CH}_3\text{-SiO}_3$)²⁻-n

・これをさらにポーラス化すると $k < 2.5$

・有機系では $k=2.6\text{--}3.0$

PAE (商品名で言うと SiLK とか FLARE)

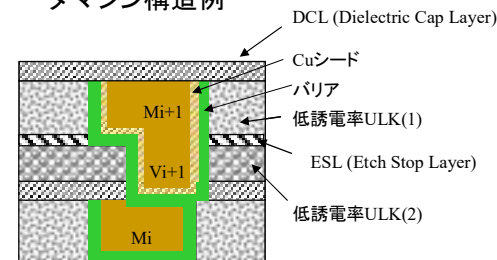
・これをさらにポーラス化すると $k < 2.5$

この程度を基礎知識として進もう。とにかく CVD でつける膜とスピノン(液体)でつける膜があり、いずれも密(Dense)なら $k=2.8\text{--}3.0$ くらい、これをポーラスにすると $k < 2.5$ になる。そして、 SiO_2 の O の代わりに H や CH_3 もしくはもっと分子量の大きい C_3H_7 などをつけて、構造自体を膨らますと空孔ができて k 値が下がるというイメージで十分。

ところで低誘電率膜ってまるでチーズみたい？

— これが全てだ多層問題 —

ダマシン構造例



(1) Low-k成膜とキュア課題

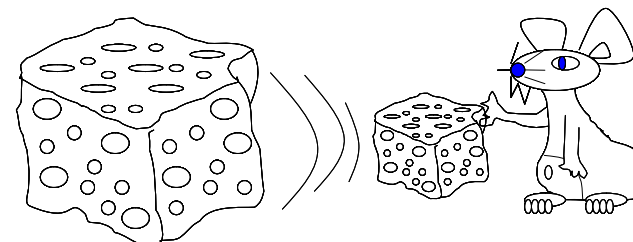
- ・ Low-kは弱い！が定評 物理定数をしっかりと握っておくこと
- ・ 不完全なLow-k膜を保全しようとUVやEBIによるキュアをするでもキュアをすると縮む・ k 値悪化など弊害も
- ・ 成膜後にキュアをすると縮む(こんな膜初めて！)
- ・ ポーラスにする(孔だらけ！)
- ・ その孔を埋める処理 PS(ボアシーリング)
- ・ そのうちAir Gap つまり何も無しが一番？
- (2) エッチングとアッシング課題
- ・ まっすぐ削れれば問題はないけど？実はBowing(膨れ)、Fence(突起残り)、側壁荒れ、底荒れなど問題続出
- ・ 膜中にNがあるとアミンが出て、これがレジスト(ボイズニング)
- ・ ガスがLow-k中に侵入かつ残る
- ・ Low-k Damage(これが今年の一歩の課題です！)
- (3) バリア成膜課題
- ・ ガスがLow-kに進入(特にALD) これもLow-k Damage
- ・ BMが酸化劣化 これもLow-k Damage

(4) 銅めっき成膜課題

- ・ Void, EM, SM, めっき液侵入などなど
- (5) 研磨課題
- ・ 偏食・平坦化など Low-kダイレクトではDamage
- (6) 洗浄課題
- ・ Low-k疎水膜の乾燥
- ・ Cu残り除去
- (7) キャップ膜成膜
- ・ Dielectric Cap Layer とMetal Cap
- (8) 表面改質課題
- ・ Low-k Damage
- ・ DCLとの密着性
- (9) パッケージ課題
- ・ ボンディングによる荷重解析

低誘電率膜はチーズみたい

It becomes small.
Who eats my cheese?



チーズを温めて:キュア

Low-k 膜の課題

とにかく Low-k 膜は弱い。弱いとはどういう意味か？ Low-k の特性を表す数字は主として以下の6項目である。

- 1) Dielectric constant 比(誘電率) k で表す
- 2) Young's Modulus(ヤング率) E (GPa)で表し、これが強さ。
注)これが10 GPa くらいあればうれしい
- 3) Hardness(硬度) H (GPa)で表し、これは硬さ
注)通常 E の20%程度 よって $E=10$ なら $H=2$ GPa
- 4) CTE(膨張率) α は17ppmですのなるべくこれに近く
- 5) Adhesion(密着性) J/m^2 通常は5程度、これが10以上あるとうれしい
- 6) 内部応力 σ は引っ張り、Low-k は通常圧縮

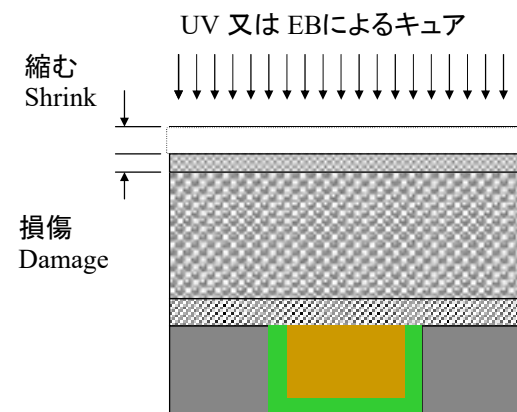
課題は K 値を下げようとする E が下がり(弱くなる)。特にポーラスではもともと空孔率を上げて k 値を下げる努力をするので、基本的に弱くなる。次項で説明するがキュアとはこの局部的にこの空孔率を上げて(つまり k 値が大きくなるのを覚悟で)強度を強くする。

キュア

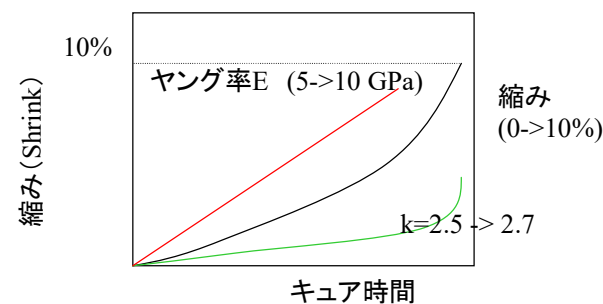
UV(紫外線)・EB(電子線)キュアの目的は強度の向上である。例えばヤング率 E は5GPa 程度であった Low-k 材料をキュアをすると10GPa にも上昇する。研磨には8 GPa 以上あればよいと言われてるので一声10GPa はうれしい数字。ただし良いことばかりではない。前述のようにキュアをすると膜は縮む(Shrink)、よってより密(Dense)方向に行くので誘電率 k が上がってしまう。さらに表面にダメージが残る。ということでキュアは強度を向上させながら Damage を少なく、 k 値を適当に選びながら条件を決めている。

ポイントは膜の縮み。膜をキュアすると10%くらいまで縮む。これにより膜にはストレスがたまる。かつ密になるので k 値が上がってしまう。このころあいを見てキュアは実施する。

チーズは温めると縮んで、硬くなっちゃう？



目的は強度向上、でも課題は
(1)縮み(Shrink)
(2)損傷(Damage)
(3) k 値上昇



掘って掘ってまた掘って:エッチング

Low-k ドライエッチングと DCL 底抜き

ドライエッチングの課題はいくつもあるが主なものとして

- (1) N による Poisoning: レジストポイズニングとして問題になったもの。エッチングする膜に N を含むとアミン (NH₃) ができ、これがレジストを溶かしてしまう。一時期 T-Top 現象として話題になったものです。化学増幅型レジストは N に弱い。
- (2) 側壁への Damage: 側壁が膨らむ Bowing や、突起が残る Fence、また壁の平坦度が悪くなり、後のバリアの被覆性が悪くなるなどの課題。
- (3) Low-k 内ガス侵入: エッチングガス、特に F が Low-k 内に侵入し、後に水と半のして HF となり、Low-k を溶かしてしまうという問題。

次に DCL の(底抜きの課題)は

- (1) Cu が側壁へスパッタして付着してしまう
- (2) Cu 底 Damage を受ける(酸化など)
- (3) Cu 底を落とし込んでしまう。パンチスルー式のようにわざとやる場合は良いが
- (4) Low-k に Damage を受ける

バリアとシード成膜の課題

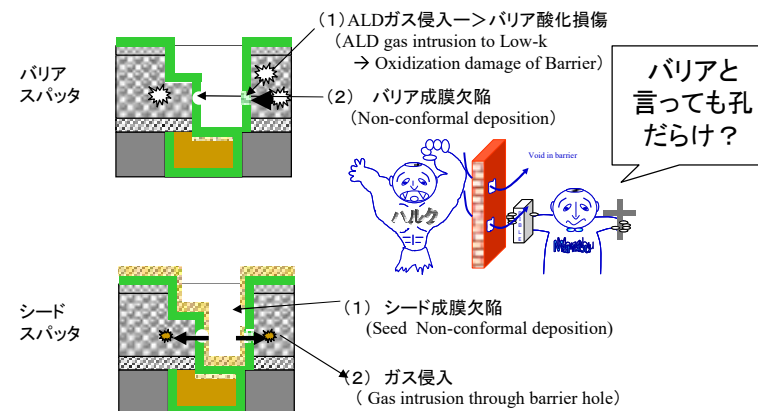
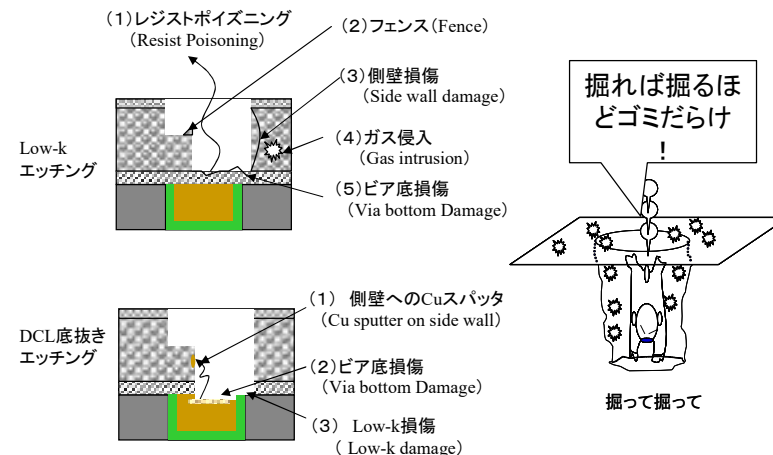
バリアの課題は PVD、CVD、ALD などによって異なる。

- (1) PVD ではコンフォーマルに成膜できないため、ALD や CVD に期待が・・・
- (2) でも CVD では純度や密着性が悪い。ALD は期待するものの成膜速度や純度にも課題が・・・
- (3) ALD ガスが Low-k に侵入し、BM を酸化させてしまう問題の報告あり。
- (4) Low-k の荒れやバリアの付きまわりが悪くて欠陥ができる

シードの課題はほぼバリアと同様

- (1) シードのつきまわりが悪い。向上させたい。
- (2) バリアにできた孔・不具合はどうするか? 100%補修できるのか?

バリアは拡散防止機能ぎりぎりの薄さにしたいと考え今は5nmオーダである。そして将来は2nmという発表もある。シードも5nm以下を狙う。こんな薄い膜が欠陥無しに全面に成膜できているのだろうか? 下地の Low-k 膜は荒れ放題、その上に壁塗りをしろと言ったって?



めっきと CMP も問題が

めっきやアニールの課題

めっきの課題は主なものを挙げておく。

(1) Cu 液侵入: バリア膜の出来が悪いと液が侵入する。一時期 Cu イオンはバリアを
通って Low-k に侵入すると言われた時期があるが、トンでも無い。そんな Cu イオンは
ありえない。もともとバリアやシードに孔(欠陥)があるから侵入することになる。要は
バリアとシードを欠陥無く成膜するためにはどうするか? その前工程のエッチング
の表面荒れを含んだ解決が必須である。

(2) Void: マクロとマイクロ Void がある。マイクロは後の EM や SM で問題になる。マク
ロの Void は論外だが、Cu シード面にできたマイクロ Void も問題だ。さらに問題なの
は粒界面にあるもっと小さなナノ Void である。このナノ Void は普段は見えない。が、
DCL を付け、熱サイクルをかけると共にどこからともなく集まってきて大きな Void になる。
所謂 SIV(Stress Induced Void)である。Cu は成膜時引張り応力を持つてるが、熱を
かけると圧縮側に移る。この熱サイクルとその時に回りに付いている DCL との CTE 差
で、Cu の応力が緩和されたり、強まったりする。この際にこのナノ Void が動く。

(3) めっき液の純度と EM、SM: めっきはまだまだ解決すべき課題がたくさんある。め
っき液は現在不純物が多い方が SM 耐性があると言っているが、本来の解決策では
ない。不純物の少ない液を用いて、EM も SM も Void も無いめっきをして初めて解決
である。

アニールの課題

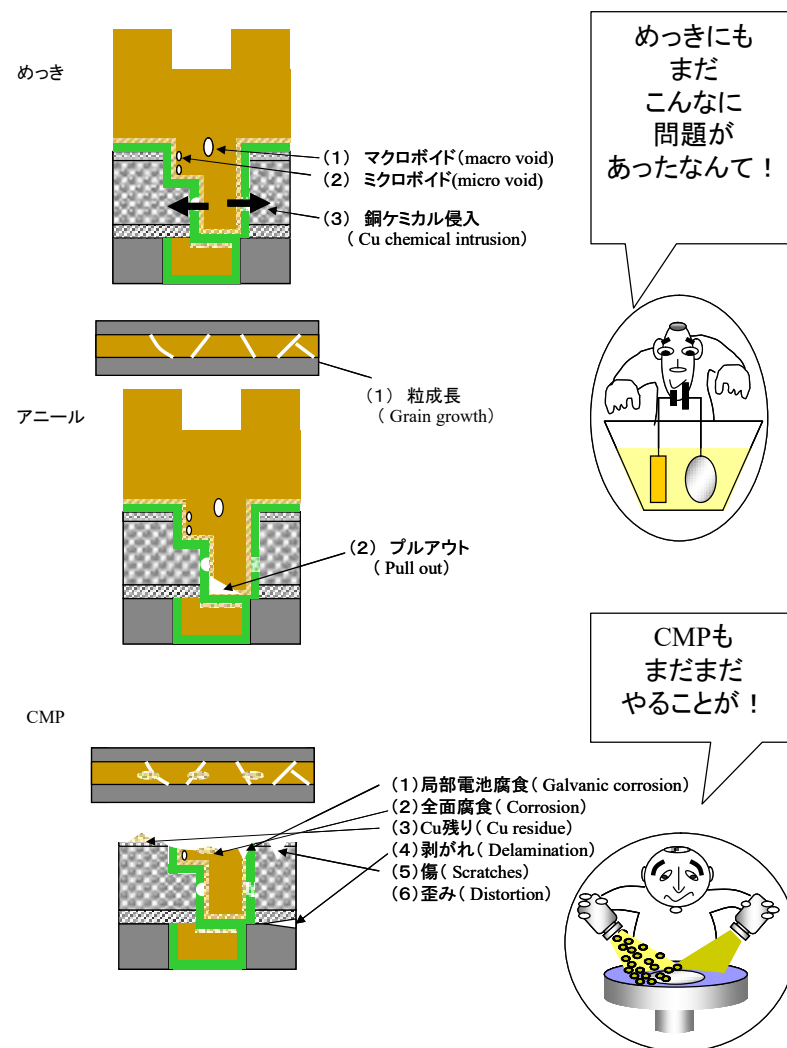
(1) アニール時の粒径成長の制御がノーハウである。粒径は大きい方が Scattering 問
題からは良い。

(2) Pull Out: アニールが悪いと Via 底が抜けてしまうことがあった。実際にはもう解
決しているものの、それでも潜在的には応力を高くする方向であることは確かでしょう。

CMP の課題

研磨の課題は主なものだけ。

(1) ガルバニック腐蝕 (2) 全面腐食 (3) Cu 残り (4) 剥がれ (5) 傷 (6) 撓み



漏電が！安心して住めない:信頼性

表面処理の課題

表面処理には研磨後の洗浄・乾燥と、DBL 成膜前のプラズマ処理がある。研磨後の洗浄・乾燥では Cu 表面上に軽い酸化膜か Cu(錯体)を残し、(待ち時間)の間に腐食しないように仕上げる。また Low-k 膜上には Cu, CuOx, Cu 錯体が残らないように洗浄・乾燥する。この際の大きな問題は Water Mark である。

DBL 成膜前のプラズマ処理にはいろいろな報告がある。基本は NH₃ や H₂ や He などのガスプラズマで処理するので、目的の洗浄は可能でもそのための Damage が残るのは当然である。どこまでの Damage を許容するかがノーハウである。

信頼性評価

上記の問題の結果として信頼性評価がある。図に示すように、大雑把に言っても以下の代表的な5点が上げられる。

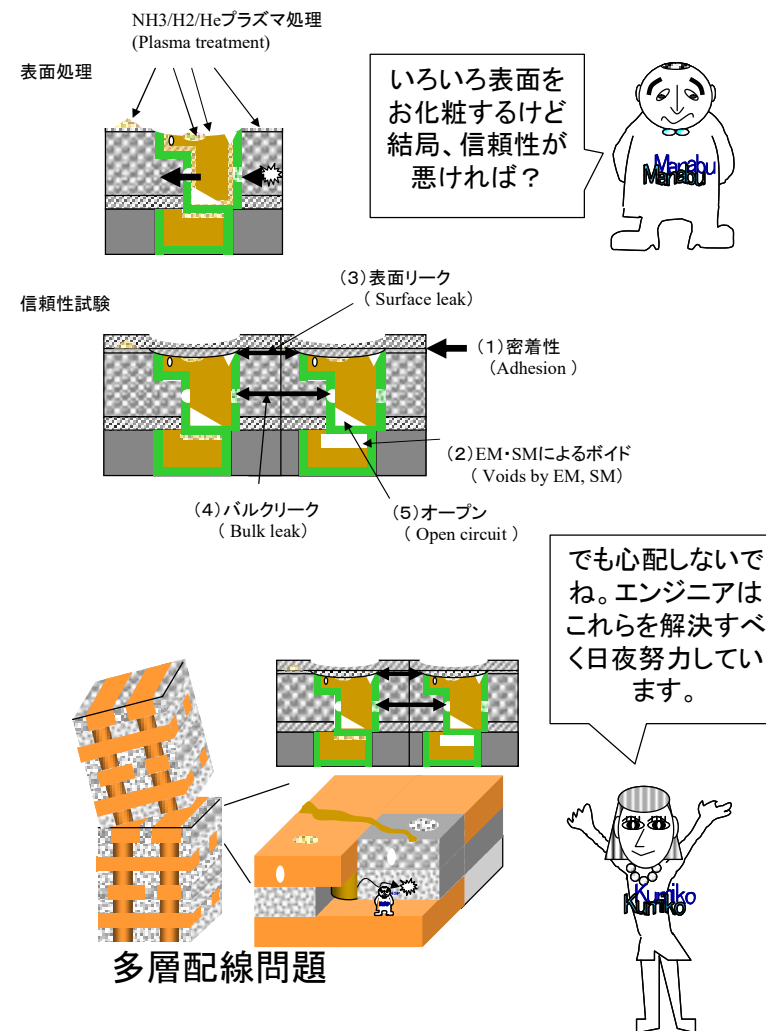
- (1) DCL の密着性: 表面プラズマ処理などで密着性を上げたいが10J/m²くらい
- (2) Cu 表面の変質: 結果として EM や SM が悪くなる
- (3) 表面リーク: 表面洗浄が不十分であったり、Low-k が Damage を受けていたり
- (4) バルクリーク: バリアが不十分だったり、DM が酸化劣化したりして発生
- (5) Open (Void による): まだまだめっき起因でも Void や表面欠落は多い

メタルキャップの課題

Co-W などのメタルキャップはまだ課題が多い。EM は改善できているので、いづれ使用される可能性の高い技術である。

実装の課題

ボンディングの際の応力解析が主である。(1) Wire Pull (2) 熱サイクル (3) シェアストレスなどの応力の解析が必要である。



7つの課題と7つの解法

セブンシーズとは？

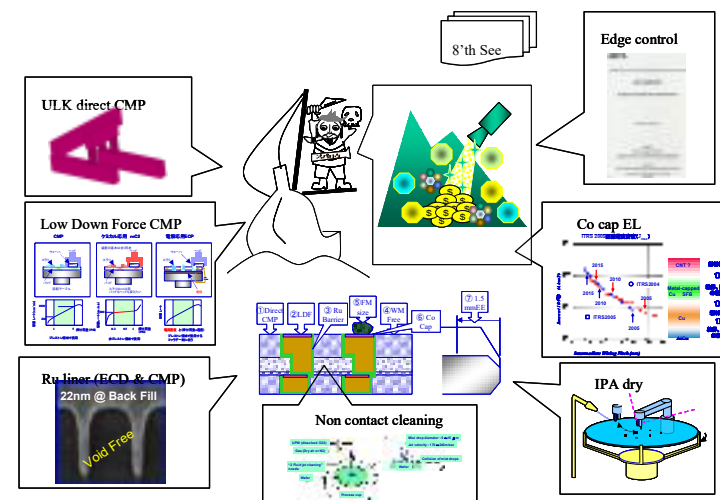
今までに多層配線の問題を説明してきたので、何が問題かは把握できた。そこでここではその解決法を示そう。ユーザロードマップ(含む ITRS)から課題を抽出し、7つの大きな課題としてここでは紹介する。7つの発見という意味で Seven See's としたが、あまりにも冒険の多い開発・解決方法でもあるので、シンドバッドの7つの海の冒険を示唆したものである。

ロードマップ要求から

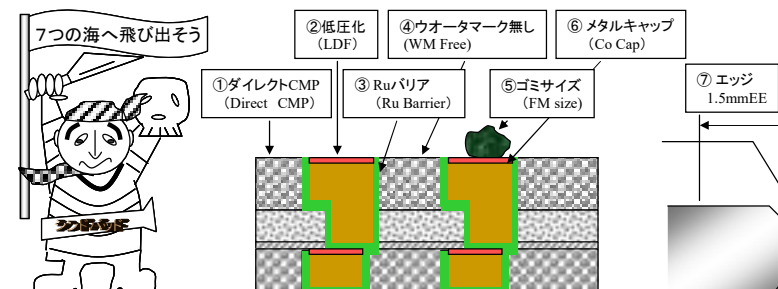
各社の要求ロードマップから推定した、7つの発見 See と対策としての有望解技術を下記に示す。

- 1'st See : Low-k 層へのダイレクト CMP(Direct CMP) => ポーラス Low-k ($k=2.5$) 膜への直接研磨課題
- 2'nd See : 低圧化要求 (Low Down Force Planarization)
数年前からの宿題である低圧はどこまで必要かの決着
- 3'rd See : ルテニウムバリア (Ru barrier application)
45nm 世代では見送られた Ru バリア (もしくはシード) の採用可否
- 4'th See : ウォータマーク無し (Water Mark free)
1のダイレクト CMP と関連するが、 $k=2.5$ の疎水膜対応洗浄乾燥
- 5'th See : ゴミサイズ CD(Critical Dimension)の $\frac{1}{2}$ (Small FM size of $\frac{1}{2}$ CD)
CD が小さくなり、どこまでの欠陥サイズを管理するかの課題
- 6'th See : メタルキャップ (Co Metal Cap)
増える Jmax に対し EM 向上の手段として
- 7'th See : エッジエクスクルージョン (Edge Exclusion to 1.5 mm)

上記の7つの課題は重要だ。65nm 世代で考えた課題であったが、45nm 世代でも 32nm 以降でも重要な課題であり、しっかり把握して欲しい。



主要な問題を7つだけ抽出しました



ダイレクト CMP 要求とは？

現在考えられている多層配線ダマシンモジュールのインテグレーションは次に示す3通りである。

ケース1: HM(ハードマスク)無しで、配線とビアの誘電率が同じ

ケース2: HM有で、配線とビアの誘電率が同じ

ケース3: HM有で、配線とビアの誘電率が異なる

このケース1が Low-k 膜上のダイレクト CMP とされるものである。

問題と対策例

何が問題なのか？

ケース1ではRIEによる損傷に加えてCMPでの損傷が懸念される。そのために損傷の少ない低誘電率膜を開発することが重要である。さらに損傷の回復技術が必須。

ケース2 & 3ではRIEによる損傷は回避できないが、CMPの損傷はHMが引き受けるのでケース1に比較すると安全である。低誘電率材を用いる目的はRC低減のうちのCの低減なので、インテグレーションとしての有効誘電率 K_{eff} が問題である。各社は生産技術(信頼性確保)と設計要求の K_{eff} を見比べて上記のケースを決定する。この場合は如何にしてハードマスク HM を薄くできるかが勝負。

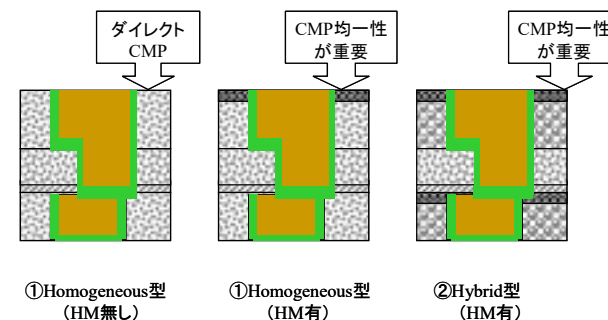
図にレンジが $\pm 5\text{nm}$ 、 $\pm 10\text{nm}$ ばらついたときのRCのばらつきを示す。

このばらつき低減は微細化にとって最先端課題である。図の例では渦電流モニタを Closed Loop Control で用いることにより、このばらつきを抑えた例を示す。

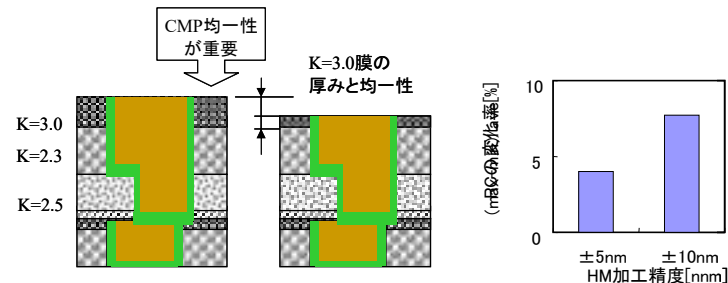
このダイレクト CMP 問題は古くは SiLK という有機膜が世に表れたときからの永遠の課題となった。有効誘電率は下げたいが、有機膜は損傷が大きく危険である。そのためにハードマスクを設けるか否か！これがエンジニアの悩みだ。結局、CMP や回復技術の改善開発に伴い、各世代でいろいろな挑戦や妥協がありうるのだろう。

ダイレクト CMP 挑戦はまだ続く。

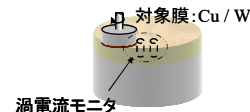
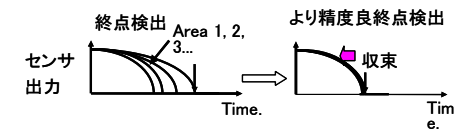
3つのケースのインテグレーション



CMPの均一性がRCに与える影響が大きくなる



渦電流モニタのおかげ



US Patent
5,559,428

Title
IN-SITU MONITORING OF THE
CHANGE IN THICKNESS OF FILMS

5,731,697

IN-SITU MONITORING OF THE CHANGE IN
THICKNESS OF FILMS

2'nd See: CMP の低圧化要求:mC2 とは？

CMP の低圧化要求(Low Down Force)とは

かつて低圧化要求のきっかけとなったのは Low-k 材の強度が弱く、CMP によって破壊されるというものだった。この基準となるのが Low-k 材料のヤング率 E であり、当時(たしかSematachレポートが最初)10GPa 以上必要と言われたため、キュアの基準が10GPa となった。次に言われたのは剥がれ。この基準は密着性であり、これには明確な基準値が設けられなかった。破壊力学でいうところの G_c 値や4点曲げ法などでの実験データが用いられている。そこでまずはCMPを低圧化すべきという意見が出てきた。低圧要求値も当初0.5PSI 以下と言われ電解研磨が出てきたが、CoC (Cost Of Consumable)も問題になり、現在は低圧といっても1~3PSI とユーザによって選択されている。

対策例

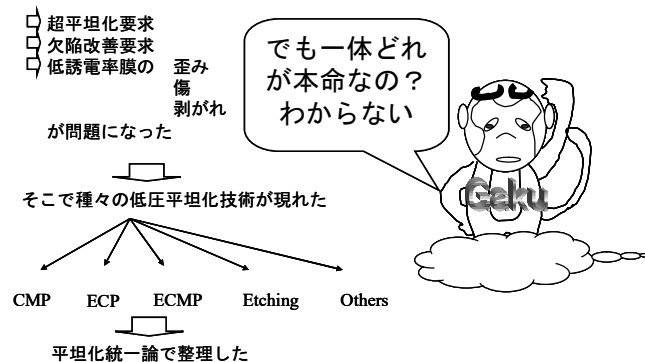
詳細は平坦化統一論参照のこと。これは CMP、ECP、ECMP、CE などいろいろな低圧削膜技術が世の中に出回っているがこれらの原理を統一的に説明し、CMP と ECMP が同じであること、世の中にはエッチングとの融合の研磨方法(mC2)もあることを紹介したものである。よって、CoC を考慮しながら、ユーザが最適なシステムを選択していただく。

ECMP 対mC2

Local 配線や Global 配線例で両者を比較した。
図には複合電解研磨(ECMP)で研磨した場合と、ケミカル性を高めたmC2(CEP:Chemical Enhance Polishの一部)で研磨した場合を比較している。どちらを選択するかは、CoC を考えてユーザが決定している。

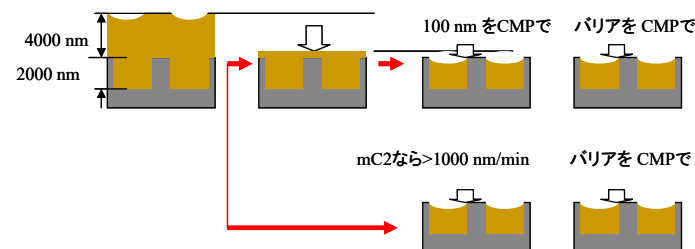
結論はCoCを考慮してユーザが決定すべきことだが、1.5~3PSI の中で好適なものを選べば良い。

一体何故低圧化？いろいろあるけど

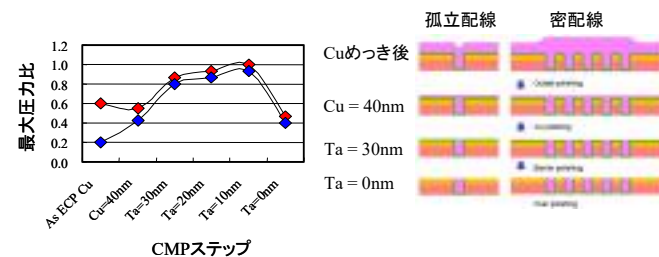


グローバル配線例でECMPとmC2の比較

ECMPだと<600 nm/min で3900 nm を削るので大変



応力を解析すれば必要性がわかる



3' rd See: ルテニウムバリアアプリケーション

薄膜・コンフォーマルバリアとは？

ITRSでは新材料に関しては簡単に触れているだけだが、バリアの薄膜化ははっきりとターゲットが出ている。バリアの薄膜化はRC低減目的で必須である。従来のPVDではもう対処が難しいと言われ、数年前からまたCVD(ALDもCVDの一種)が再燃してきている。CVDで薄く、コンフォーマルに成膜するしか解が見つからなかったからだ。最近PVDでも成膜後にリスパッタなどでコンフォーマルに成膜する技術も出てきている。Ruはそんな中で出てきた新材料候補である。

課題は？

Cuシードを薄くすると抵抗が高くなり、めっきのTerminal Effect^(注)が顕著になるので成膜が不均一になる。これに対しては、ダミー抵抗式や分割アノードなどの工夫で改善している。

また、Cu シードが薄くなるだけでなく、Ru上にダイレクトにめっきを成膜するという要求も既に出ている。

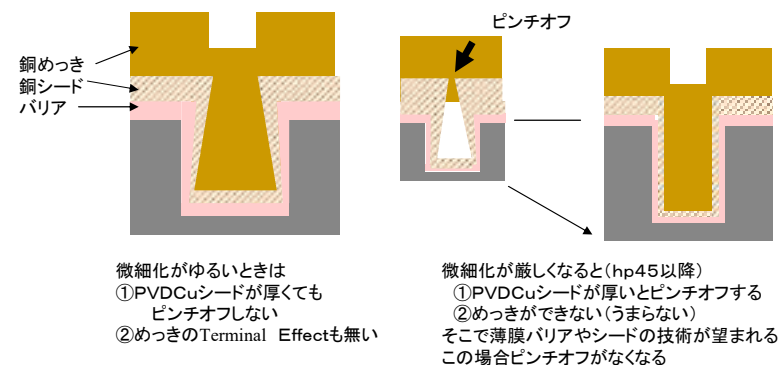
注)ウエーハの端部より中央の方が抵抗が高いために、端部の方のめっき厚みが厚くなってしまふ効果のこと

対策例

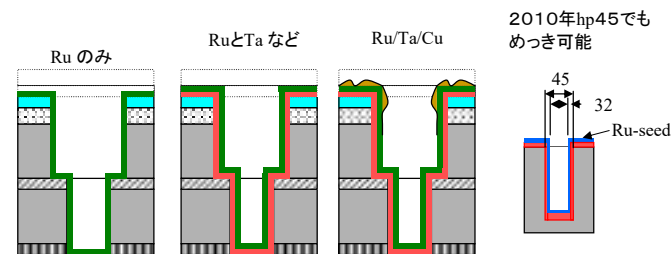
Ru 上に含浸ダミー材を用いためっき方法で成膜した例を示す。今後のデバイスの薄膜化要求や信頼性向上目的で、Ru も素晴らしい案の一つと考える。

Ru 用の CMP だが、現在 Ru 用の CMP スラリがあまり真剣に開発されていない。Ru が実際に使用されるようになればスラリ開発は一気に進むであろう。

微細化と共にめっき埋め込みが厳しくなる



Ruを用いた場合の例



Ru上に含浸めっきをした例



4'th See: ウォータマーク無し要求

ウォータマーク WM '0'

ウォータマーク(WM)とはとにかく'0'要求である。あってはいけないものと考えている。WMとは SiHxOy で示すいわゆる'水ガラス'のことを指す。もともとSi面に水があると、水にSiと空気中の酸素が溶け込み SiHxOy ができる。これを乾燥させると水が飛び、 SiHxOy が凝縮して'ヘソ'のようなものが残るが、これをウォータマークと呼ぶ。親水膜(TEOS)ではWMはできない。疎水膜(ULK)ではWMはできやすい。これを回避する有力な手段がIPA乾燥である。IPAに水を置換させるために水ガラスができにくくなる。図はTEOS、ULK、ULKを疎水度の違いで示した。疎水度により水の接触角が異なり、これを乾燥させるとWMは疎水度に比例して多くなる。

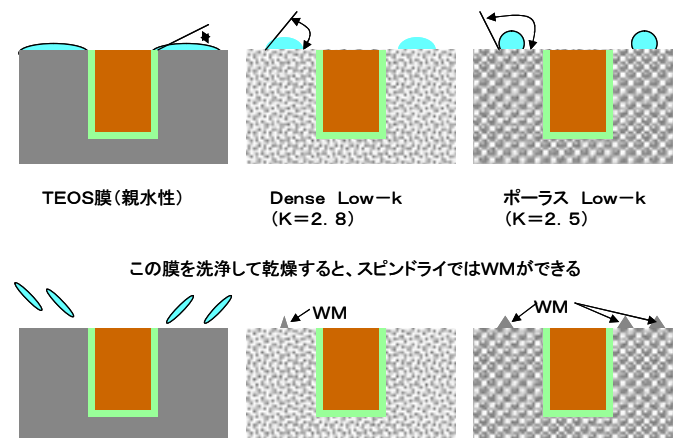
対策例

ロタゴニ乾燥を一例として紹介する。

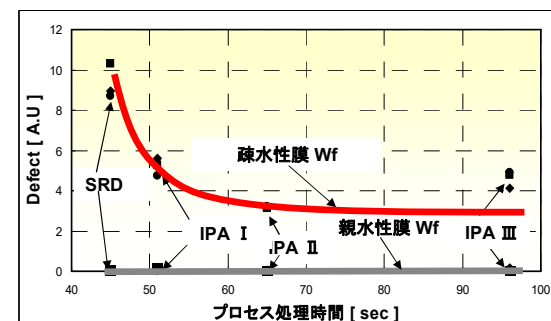
ロタゴニ乾燥は IMEC によって開発された技術である。マランゴニ効果を枚葉装置ように開発したものであり、スルーブット上優位な技術である。ウエーハに IPA と純水を導入し、ウエーハを回転させながら乾燥させる。

ロタゴニ乾燥はIPAなしのスピンドライ乾燥(SRD)としても使用できるので、膜の疎水度に合わせてIPA効果を変えることができる。図は疎水度が高い場合には'時間をかけて'乾燥し、疎水度が低い(親水に近い)場合には早く乾燥させるということを示した図である。目的はできるだけ早く乾燥させスルーブットを上げること。因みにFlash用のPoly-Siでは研磨後に親水性が増し、SRDでも良い結果を得られる。今後は研磨・洗浄後の膜の疎水度を考慮しながら IPA の乾燥時間を決定することによりCoCの少ない、環境に優しい乾燥方法を開発すべきである

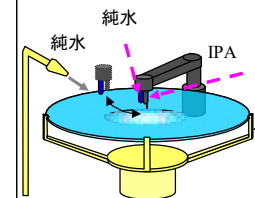
ウォータマーク発生: 親水膜と疎水膜



ロタゴニ型乾燥性能



ロタゴニ型乾燥図



5' th See: ½ CD ゴミサイズ

½ CD ゴミサイズ要求とは

ITRS 要求が示すように欠陥 (Defect) の管理サイズが微細化と共に小さくなるが、実際には測定器の限界で決まっている。現状光 (UV 光) では約100nm (0.1 μm) しか正確に測定できない。測定器メーカーは45nm も32nm も可能というロードマップを出しているが、UV 光の波長は193nm であり、原理から言って 1/2 波長である100nm がいいところと判断する。もちろん種々の改善技術を駆使して45nm も32nm も可能ならうれしいのだが。

では‘見えないゴミ (FM)’をどう管理するか？ 一つには統計的手法が考えられる。クリーンルームにおけるFMは大きさの (2~3) 乗に反比例するという考え方を応用すると、測定できる大きさのFMの規定値を少なくしていくことになる。いづれにしろ、これは歩留まりとの関連で、簡単でかつ信頼できる品質管理方法をデバイスメーカーと一緒に考えるべきだろう。

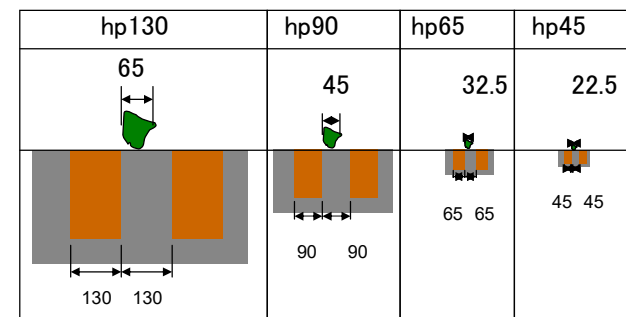
対策例

まずは洗浄に関して改善技術を示す。45nm 以降の洗浄では欠陥として傷なのかゴミなのかを検出することが困難になってきている。そこで洗浄は傷をつけない方法として非接触洗浄が重要となる。

図には一例として130nm 世代でのゴミの寸法と許容量から、次世代のゴミの寸法と許容量を推定してグラフにしたものである。従って、世代が進むにつれてゴミの検査寸法は変えないで、許容量を少なくして管理するという案である。

検査と加工は常に追いつき合っている。一般業界では、検査ができれば加工はできることになるが、半導体では検査能力以上に加工精度が要求されているので難しい。

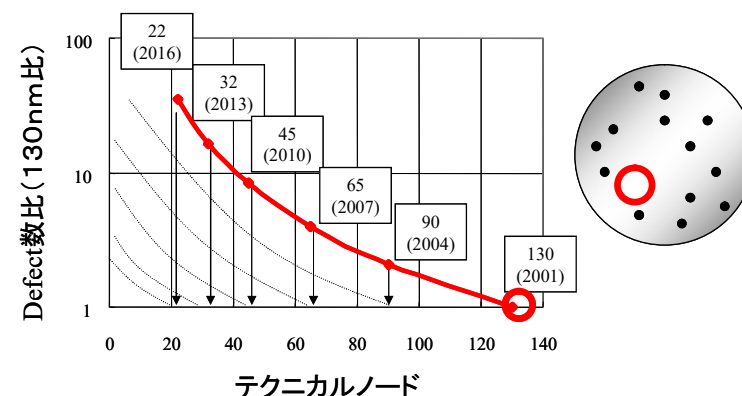
微細化と測定ゴミ寸法イメージ



光で見える範囲

測定方法や管理方法も課題

統計的手法で予想



6' th See: メタルキャップ

メタルキャップ要求とは

Co キャップを採用した場合と、従来の DCL(Dielectric Cap Layer)を採用した場合のインテグレーション例を図に示した。従来は DCL のk値が大きいので、絶縁層のk値を下げてもらったように全体の有効誘電率が下がらなかった。もともとメタルキャップは、この多層配線の実効誘電率を下げる方法として期待されて出てきた技術だ。現在ではこの目的よりも、EM 向上などに期待が移っている。

この場合はメタルキャップも DCL も併用するが、DCL と Cu の密着性が上がらない場合には EM 耐性が悪化する。メタルキャップにより、この密着性が向上し、結果として EM 耐性が100倍になったとの発表もある。

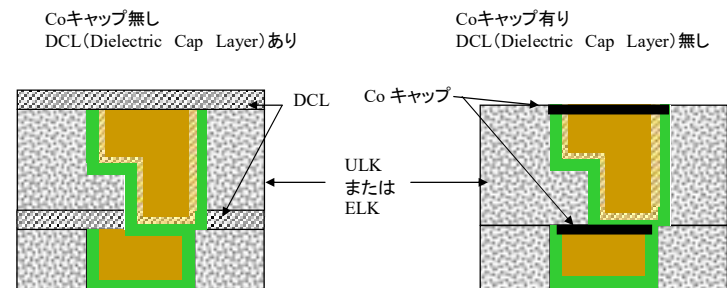
Co キャップ成膜例

Co キャップめっきは無電解めっき技術で成膜する。膜の種類はめっき液によって代わり、Co-W であったり、Co-B だったりする。本来、無電解めっきは非選択に成膜するものだが、このメタルキャップめっきは Cu 配線上にのみ成膜する必要があり、ここに各社のノウハウがある。

写真は Co めっきを5～20nm 程度を制御して成膜した例である。

このメタルキャップは中々採用されない。この技術が良いことはわかるのだが？と足踏みされている。本当にメタルキャップはスーパーテクノロジーなのかオーバーテクノロジーなのか、32nm 世代では決着が付くだろう。

Coキャップ対DCLの例

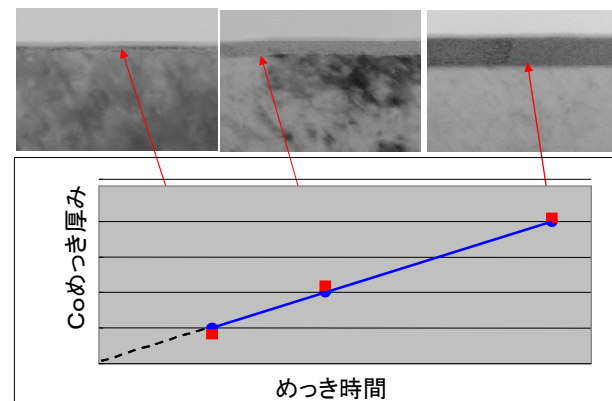


DCL(Dielectric Cap Layer)のk値が大きいので、絶縁層のk値を下げてもらっても、思ったほど有効誘電率が下がらない。
DCLをなくしてCoキャップにすると、有効誘電率は下がる。

スーパーテクノロジー？
オーバーテクノロジー？



Coキャップを無電解めっきで成膜した例



7' th See: エッジエクスクルージョン

エッジエクスクルージョン 1.5 mm 要求とは

既に Starting Material としてのペアシリコンウエーハは、2005年で2mmEE(エッジエクスクルージョン)が要求され達成している。成膜や CMP では、例えばエッジロールオフなどの問題もあり、2mmEEはクリアされていない。さらに2007年度には、なんと1.5mmEEを要求されている。

対策例

エッジに関しては ROA(Roll Off Amount)を管理することにより、現在でも2mmエッジまでは十分対応可能である。もしこの先1.5mm以降に進む場合にもこの ROAはウエーハメーカと協議して、十分配慮する必要がある。もちろん、こんな1.5mmまで製品を作るほう全体としてベストかどうかはデバイスメーカのエンジニアリングチョイスである。

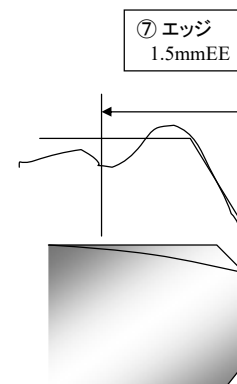
PV-λ 平坦化範囲図

参考までに、半導体デバイスにかかわる成膜や CMP・ナノポグラフィーやロールオフまでを全体俯瞰できる便利な「PV-λ 平坦化範囲図」を紹介しておこう。

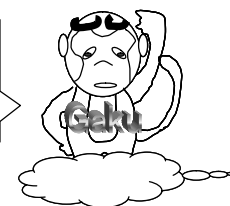
横軸は研磨する膜表面のトポグラフィーを波の周波数になぞらえた。縦軸は研磨する膜表面のPV値(Peak To Valley)。IC1000の研磨線はちょうどこの膜を研磨するとPeakを20nmだけ過研磨するラインを表している。パッドやスラリや CMP 条件を変えた場合にはこのラインを変えれば良い。

デバイスパタンは必ずPeakを研磨する範囲に、ナノポグラフィーは過研磨しない範囲にすることを示している。ところで怪しい範囲にあるのがめっき成膜形状やロールオフ。この形状をしっかり把握しないでエッジ1.5mmの管理はできない。

エッジの管理



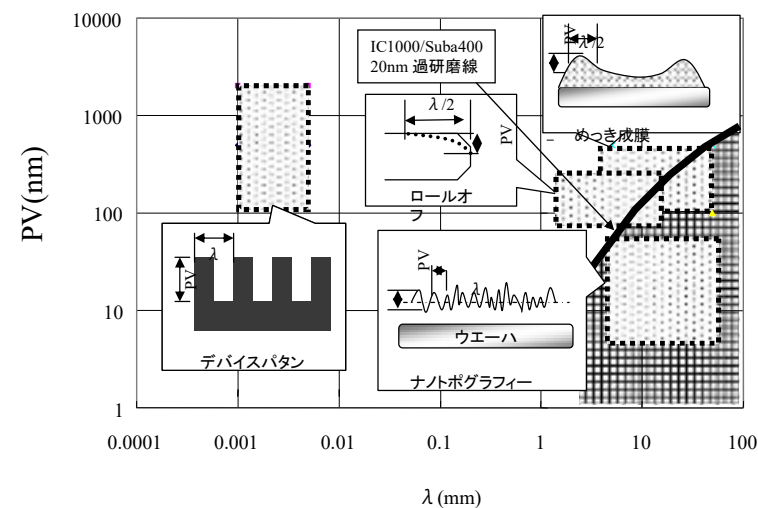
世界の端とウエーハの端は、どちらが到達困難か？



成膜もエッジは荒れている

ウエーハも端はたれている

PV-λ 平坦化範囲図



Stand-By-ME

スタンバイME

スタンバイMEとはStand-By-ME。映画のスタンバイミーは私の大好きな映画の一つだが、これとはちょっと違う。機械工学(Mechanical Engineering)でサポート(Stand By)という意味だ。私が(ME)が助けるという意味もちょうとだけ含んだ。

機械工学がどのように半導体を助けるのか？それが本題だ。

機械工学が支援する半導体技術

200X年には技術の限界が来る！

ITRSは常に半導体技術の先行きを示し、さらに問題を提起してくれる。そのITRSが警鐘を鳴らしつづけている。もちろん「無くなる、無くなると言っても無くならない石油」と同じかも知れないが、開発技術者は「技術の限界は技術の革命を生むチャンス」であると考えないと良いだろう。

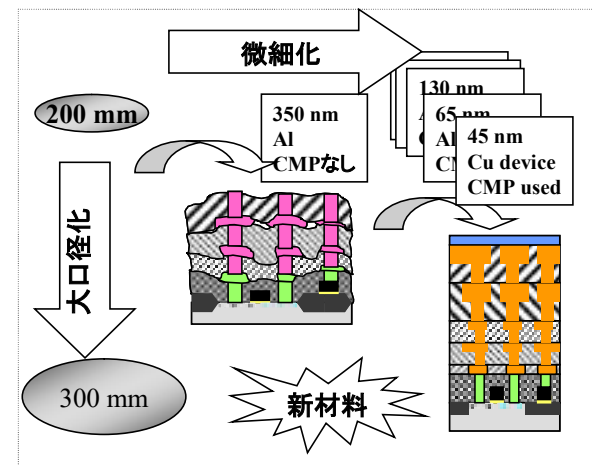
機械工学は全ての技術の源だ。そして、その成熟した技術で新規分野である半導体を救えることも多いにある。例えば、微細化・大口径化・新材料の世代では

- 新材料の構造強度が議論されているが、材料力学・金属組織学が役に立つ。
- 研磨やめっきなどの湿式プロセスが増えてきたが、流体力学が役に立つ。
- 熱が問題になっているが、熱工学が役に立つ。

本来半導体製造技術は借り物技術と言われている。成熟した分野の技術をどう活用するかが重要な課題だが、他方機械工学分野のエンジニアも「半導体技術をどう支援できるのだろうか？」という命題にまともに取り組むべきである。技術課題の内「機械工学が支援できそうな」要求を抜粋すると、

- 1) 新材料採用による湿式プロセス化
- 2) 配線の超アスペクトレシオ化(めっき)
- 3) ダマシンプロセスによる超平坦化(研磨)
- 4) コンタミネーション制御
- 5) 消費電力増大に伴う熱除去

などがあげられる。もちろんこれはほんの一部であり、ナノレベルおよびミクロンレベルでの機械工学が支援できる問題は山積みだ。正に、スタンバイME！



微細化

=>ゴミ管理寸法の微細化

- ・FEM気流解析
- ・キャビテーション応用

=>Low-k材の脆弱化

- ・FEM構造解析

新材料採用

=>腐食対策が重要に

- ・SCC解析

大口径化

=>装置をより精密に制御(含む振動対策)

- ・Stick Slip解析
- ・磁気軸受応用

半導体(幼卵期)



機械(成熟期)

有限要素法はオールマイティ

FEMは有力手段

有限要素法は機械工学ではあらゆる解析に用いている。既にダマシン構造解析例は前に示したので、ここでは説明しないが、ナノレベルからキロメートルまであらゆる大きさの応力解析が可能だ。CMPや実装のボンディングなどはデバイスに荷重を加える装置だ。その際にどの部分にどの程度の応力がかかっているかを解析し、危険箇所を補強することを考えることが可能だ。

この他に流体解析、電界解析などいろいろな活躍の場がある。機械屋はあらゆる箇所にこの有限要素法を駆使している。

装置のコンタミネーション制御にも

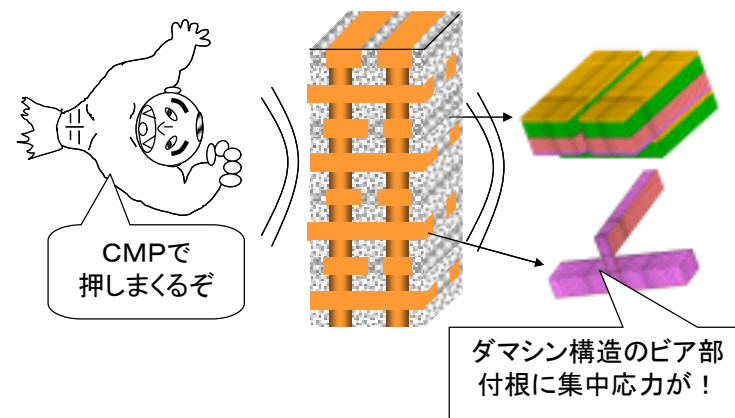
半導体製造は大変なクリーン度が要求される。特にゴミの制御は必須だ。ゴミであれば気流制御が必要であり、これにも有限要素法が役に立つ。右下図は CMP 装置の内部の気流を解析した結果を表したものです。CMP では一番ゴミの多い研磨部と一番クリーンでなければならない洗浄部が近接して設置している。そのために研磨部のゴミが洗浄部を汚染しないように圧力と流れ制御を実施する。

ドライン・ドライアウトコンセプトはこの有限要素法のおかげで生まれたものだ。当時、ダスト発生機と言われた研磨機と、超クリーンさを要求される洗浄機が一緒になるなんて誰も理解を示さなかった。機械屋は大胆だ。有限要素法で確認して「これならできる」と判断したら、まっしぐら。誰が何と言おうと(超汚れ物)と(超クリーン物)を合体させてしまった。今ではこれが常識だ。

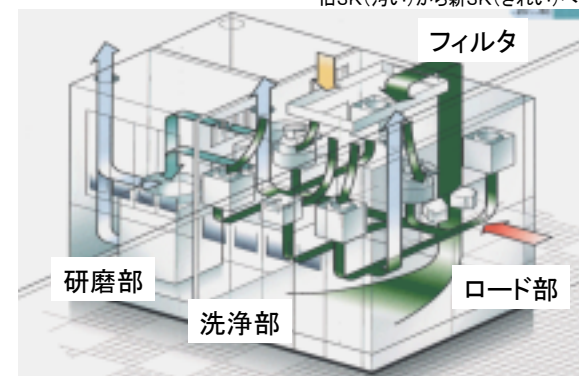
FEMは進化して

応力解析や気流解析はお手の物だろう。それでは、次ページからは少し変わった使い方。CMPの性能やめっきの性能を解析した例を示す。このおかげでそれまでは汚い・きつい・経験依存と言われた東西の横綱である研磨とめっきも少しは科学的と言われるようになった。これも機械屋が仕上げたことだ。

ダマシン配線のFEM構造解析例



装置内FEM流れ解析



めっきとCMPにFEMを応用しよう

研磨速度のプロファイル解析

始めは半導体デバイス平坦化用CMPの解析から始めよう。半導体デバイス用研磨では、研磨のくせを掴み、それぞれの場合に適した研磨速度のプロファイル制御が必須になっている。解析による予測はCMPの科学化を推し進めている。CMPの研磨速度はプレストンの式に従うものとして、ウエーハ各所での研磨圧力をFEMで解析してウエーハ全体の研磨プロファイルを解析した。結果として実験と良く合い、FEMは今ではCMPの研磨速度解析には必須技術となっている。

ナノボグラフィー解析

次は、ウエーハだ。ウエーハには10～20mm波長で、10～50nmの高さのうねりがあり、これをナノボグラフィーと定義している。このナノボグラフィーが原因でSTI研磨の歩留まりが悪くなったと言われた時期がある。このうねりの上にSTIがあるが、研磨の平坦化性能を向上させようと固いパッドを使うと、いかな滑らかそうに見えたナノボグラフィーの凸部も研磨されてしまったのだ。この過研磨がSTI歩留まり低下の原因であることをFEM解析で実証した。現在ではこの過研磨が起こらない範囲で研磨することによりSTI歩留まりの課題は克服できている。

ロールオフ解析

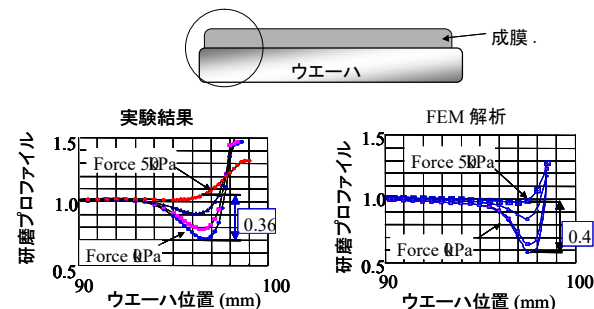
同じくウエーハの最先端課題をもう一つ。ウエーハには端の5～10mm付近に不均一、主として垂れが発生している。これをウエーハのロールオフと定義している。このウエーハを研磨すると、このローフオフ範囲では研磨形状も異なってしまうためにエッジの研磨管理が難しくなる。このように最終の研磨形状も考慮して、初期のウエーハ形状ロールオフの許容値を決定しておくべきである。

めっき性能予測

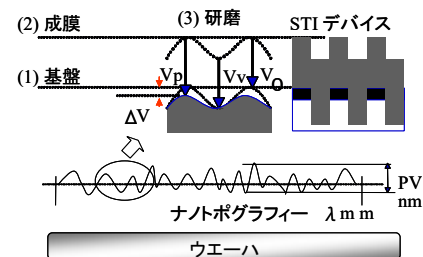
含浸めっきの電界解析を有限要素法で実施し、めっきの性能予測を行っている。

このようにめっきも研磨も機械屋が支援してきた。

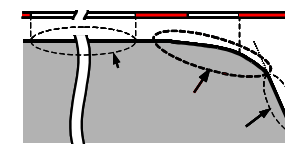
FEM解析で研磨速度プロファイルを予測



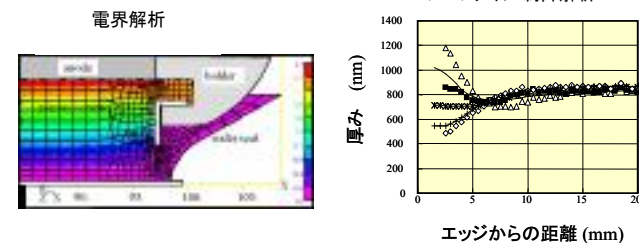
ナノボ解析



ロールオフ解析



めっき性能解析



振動から材料・流体・磁気応用まで幅広く

Stick Slip Analysis（振動力学）

CMP は高荷重をかけて加工（研磨）をするために、ウエーハ膜・パッド・スラリの種類によってはウエーハがパッドに Stick して Slip（ひっかかってズルようなイメージ）が発生し、これが原因で装置が振動するという事象が発生する。これを解析し、振動対策をした例を示す。機械工学では振動解析と対策はお手の物なのだ。CMP の回転数と荷重をパラメータとして振動発生領域を図に示した。回転数が低く、荷重が高く、スラリー流量が少ないほうが発生しやすくなっている。対策はこの運転範囲をずらすか、ずらせない場合にはダンパ導入などの振動防止対策などで対策できる。

SCC Analysis（材料力学）

ダマシン構造の異質金属間（例えば銅とバリア材）でのガルバニック腐蝕は有名だが、応力集中がこの腐蝕を助長することはあまり知られていなかった。FEM によりダマシン構造の応力を解析し、銅配線とバリア間での応力をいろいろなパターンで解析した結果、腐蝕が助長されやすい構造があることがわかった。実際の腐食写真とFEM解析結果を示す。絶縁膜が脆弱な Low-k 材の場合でかつ Isolated パタンの場合に、脆弱な Low-k が沈み込み、銅との段差が応力を助長していることがわかる。結果として銅とバリア間のガルバニック腐蝕が助長されると推定し、対策している。

Cavitation Jet（流体力学）

キャビテーション力を応用した洗浄例だ。ノズルに工夫をして、1気圧の低圧水の中心に20気圧程度の高圧水を導入することにより水中にキャビを発生させる。このキャビは数10kHzの超音波成分があり、圧力影響範囲が通常のウオータージェットの10数倍あり、結果としての洗浄力は向上した。

Magnetic Application(磁気応用)

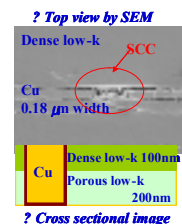
ターボ分子ポンプや磁気浮上装置に用いられている磁気軸受を CMP のヘッドとテーブルに応用した。CMP のヘッドの場合には研磨中のヘッドの傾きを調整することにより、研磨性能を制御した。

このようにどんな場合にも機械屋はへこたれず、持っている経験を縦横に駆使して半導体デバイス製造の明日を支援して行こうと努力している。正にスタンバイ ME！

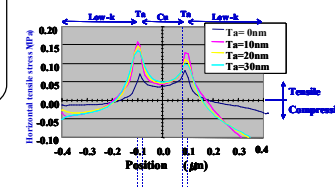
振動も



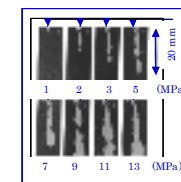
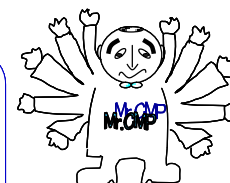
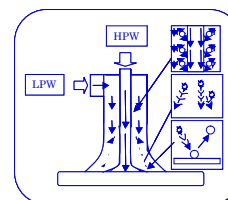
材料も



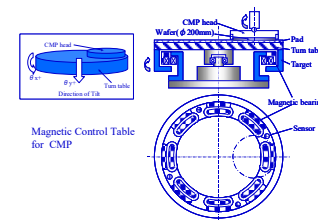
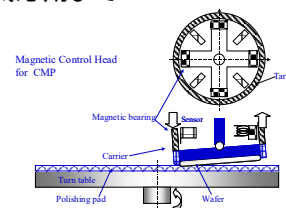
機械屋は何でも支援します。



流体も



磁気応用まで



パラダイムシフト45

ノーモアムーア？

半導体業界アナリストとエンジニアと科学者の会話から聞いて見よう。

アナリストは「No More Moore！（ムーアの法則はもう終わり）。微細化で半導体が儲かる構図はもう終わりだ。」と痛烈だ。

エンジニアは顔を真っ赤にして反論する。「No！ More Moore（いやいやまだまだムーアの法則は続く）。微細化は今後も革命技術を用いて永遠に続くので安心して下さい。」

それを聞いていた科学者が静かに呟いた「More Than Moore（ムーアを超えたところに解がある）。新探求デバイスを今から追求するべきだ。」

何故こんな議論がさかんになったのだろうか？ 半導体が発明されてから約60年。半導体デバイス分野では微細化と大口径化を武器にこの世の春を謳歌してきた。ここに来てそのパラダイムが変化しそうだ。多少語呂合わせで恐縮だが、最近の傾向をまとめるとどうやら‘45’という数字は鬼門のようだ。これを筆者は‘パラダイムシフト45’と名づけた。

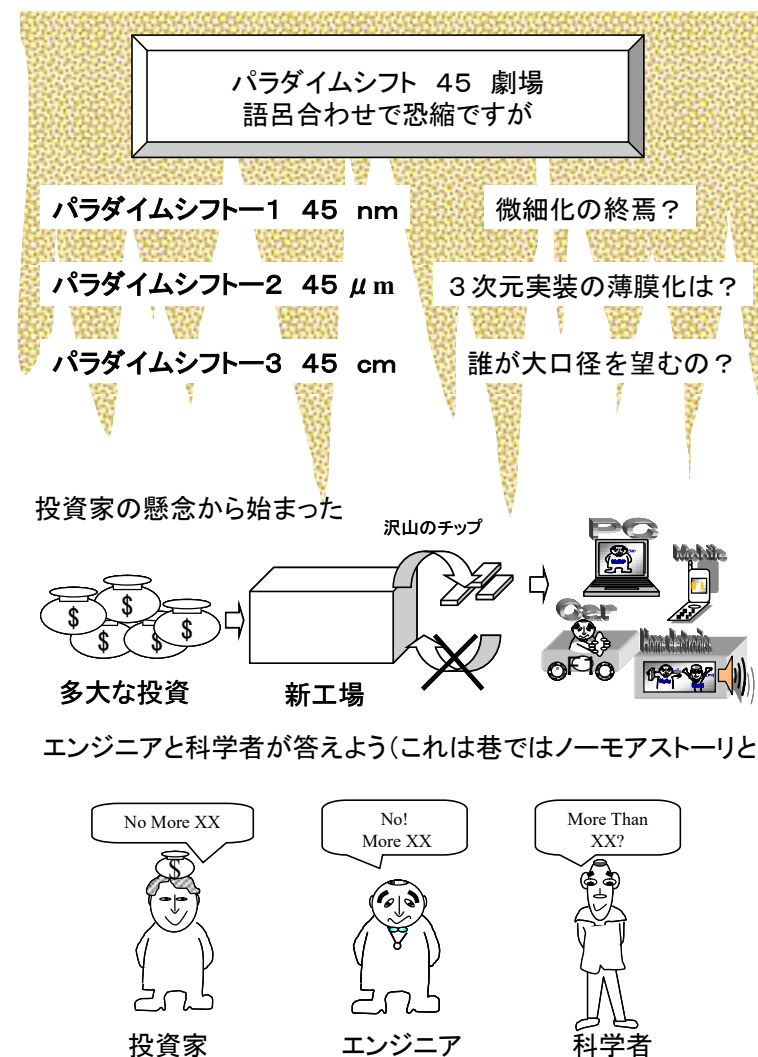
パラダイムシフト45とは

- 1) 45nm 微細化の終焉、その時何が...
- 2) 45 μ m 3D実装、その時何が...
- 3) 45cm 大口径化、その時何が...

というパラダイム変化に先ず投資家が嘔み付いた。このような変化に半導体業界は耐えられるのだろうか？ これに対してエンジニアや科学者は答える義務がある。

大きなパラダイム変化の際には必ず革命技術が生まれるものだ。どんな技術が望まれているのかこの‘45’をキーワードにして技術俯瞰して見たい。

‘パラダイムシフト 45’ こんな大きな変化に直面したときエンジニアはどうしたら良いか？ 先ずは開発を見直そう。そして基礎から考え直そう。ということで最近では企業では大学や学会への期待が大きくなっている。正にBack To the Teacher For the Future（未来のために大学に戻ろう）だ。パラダイムシフト45後の世界を‘45（死後）’の世界にしないようにがんばろう。



45nm 微細化の終焉、その時何が..

微細化を45nmまで進めてくると、技術は工学限界と物理限界に同時に直面すると言われている。何故か？

工学限界(洗浄)

まずは洗浄課題だ。45nm以下のゴミ対策は光で見えないし、数は指数関数的に多くなるし、ファンデルワールス付着力などで除去しにくいし、工学的に非常に難しい領域に入ってしまった。光がダメならエレクトロンビーム(EB)で、ということで EB 検査が注目されている。洗浄すべきものが見えてくると、それを除去したくなる。洗浄や乾燥技術にも革新の波が襲ってきた。

工学限界(加工)

次はその加工だが、45nm寸法を精度良く加工することが困難になってきている。例えばCMPの平坦化はこの世代では8nm以下を要求されている。ちょっと待ってくれ。CMPの傷は8nmを越えるものが少なくない。傷と平坦性の区別は付くのか？

欠陥管理が限界に近づいている。平坦化も CMP を含めた総合技術が期待されている。

物理限界

45nm以下では銅配線の抵抗値がアルミより大きくなってしまいうとんでもない話が舞い込んできた。45nm以下では、銅配線の電子散乱効果により配線が抵抗してしまうという。正に物理定数まで変わる領域だ。

この領域までくると正に革新技術が望まれる。CNT 応用などがその一例だ。

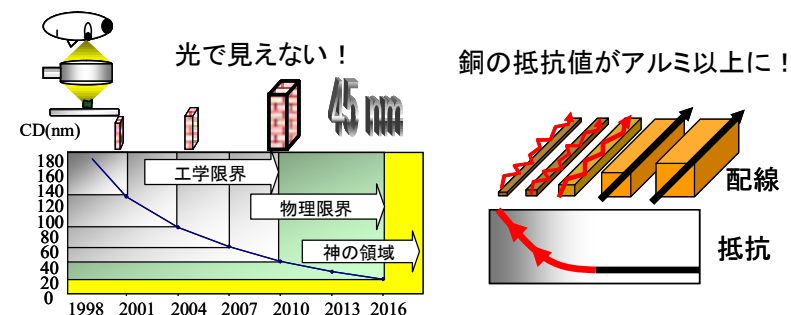
ムーアの法則は終わらない(エンジニアからの回答)

エンジニアは答える。微細化はまだまだ可能だ。もちろん永遠には言わないが、常に革命技術が技術の限界を破ってきた。自信を持って進もう。

ムーアを超えて(科学者からの回答)

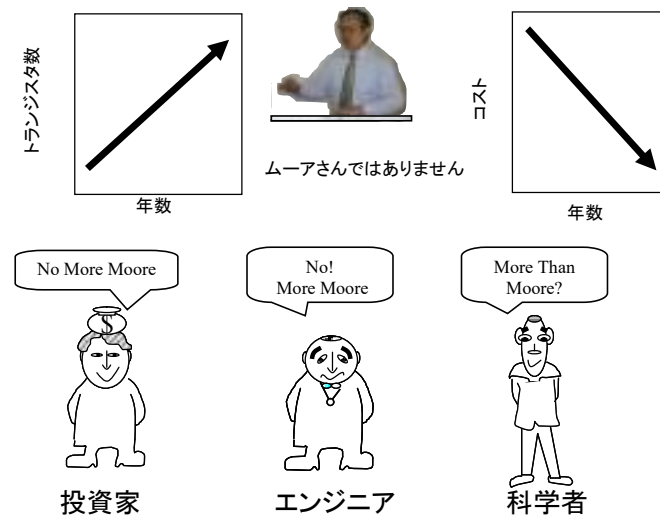
科学者は答える。既に我々は新探求デバイスを模索している。これこそが新のパラダイムシフトだろう。終焉に向かうのは無く、新しい扉を開こう。

パラダイムシフト—45nm



P-45nm

ムーアの法則は終わらない



45 μm 3D 実装、その時何が…

3次元実装がやってきた

3D 実装がハイライトされてきた。かつて SoC(System On Chip)がハイライトされ、次に(妥協として?) SiP(System In Package)が提唱され、今は CoC(Chip On Chip)とか PoP(Package On Package)などいろいろな用語と技術が氾濫している。これらの実装技術で重要なのはウエーハの薄膜化だ。

このウエーハの薄膜化ではウエーハ加工技術が大幅に変化する。100 μm 程度までの薄膜化とは異なり45 μm 以下ではウエーハの取り扱いが非常に困難になる。もちろん既に5 μm までウエーハを薄くしたという報告もあるが、量産化として克服すべき課題がたくさんある。ウエーハが厚いままの3D実装では加工が大変だし、ウエーハが薄ければ取り扱いが困難にということで、どちらも課題がある。

今こそ3D(エンジニアからの回答)

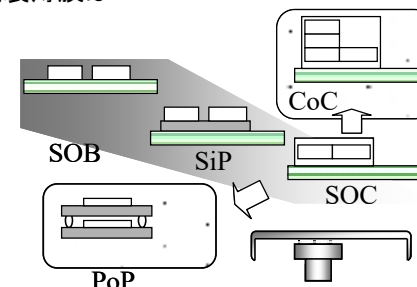
エンジニアは答える。微細化は2次元の広がりではない。微細化で逡巡しているなら、今こそ3次元に進むべきだ。CCD用デバイスでは既に3次元実装ができている。メモリも既に積み始めている。メモリ・ロジック混載をやるにはまだまだ改善すべき技術がたくさんある。今こそ3Dだ！

いろいろな3D(科学者からの回答)

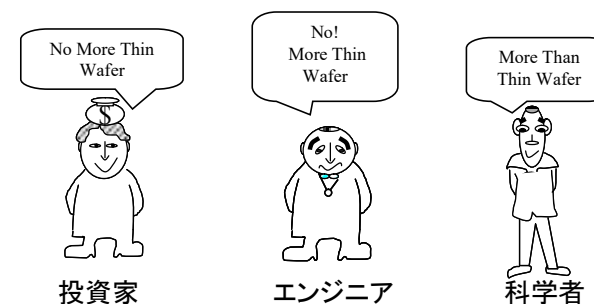
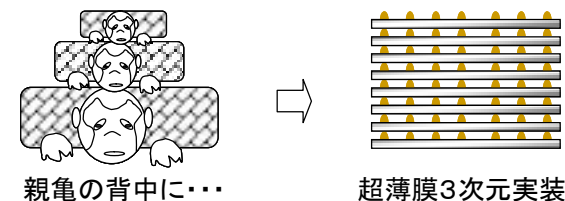
科学者は答える。3次元実装も一つの手だろう。でも4次元って考えたことはあるだろうか？ これがヒントだ。とは言え、3Dにはトランジスタ3D化もあるし、メモリの3D化もある。科学の眼から見れば、半導体などまだ揺卵期だ。

パラダイムシフト—45 μm

3次元実装薄膜は？



今こそ3次元！そして新探求へ



45cm 大口径化、その時何が・・・そしてパラダイス

大口径化は経済問題？

大口径化すると半径方向に不均一なプロセスではその不均一性が増す。また大口径化は微細化と同時進行なので、通常は微細化に伴う仕様が厳しくなり、大口径化で半径方向に厳しくなるという装置開発にとってはダブルパンチで厳しくなる。そのため、45cmのウエーハや装置を開発するには大変なコストがかかる。そのコストアップを考えますと安易に飛びつけない。45cmウエーハ大口径化では正に経済的限界に直面している。ここで30cmウエーハを導入した際の議論がまた復活した。誰がブレークスルーするか？ 30cmのときは米国デバイスメーカーが先行した。今度は誰が先行するのだろうか？

2つの逆スケーリング？

またこんな議論もある。配線では逆スケーリングと言って本来は微細化と共にスケーリングされるのだが、グローバル配線ではスケーリングできないという問題がある。ウエーハでも大口径化は先ずは世代の古い(仕様の易しい)デバイスから始め、最先端はむしろ小口径化で対処しては？ これをウエーハの逆スケーリングと呼んでいる。(すごい妥協案だが)

45cmはもうできている(エンジニアからの回答)

エンジニアは答える。フラットパネルを見て欲しい。既に2mを超える基盤が製造されているのではない。もちろん微細化を伴う半導体デバイスとは一線を画すにしても、不可能ではない。やはり経済問題か？

・・・(科学者からの回答)

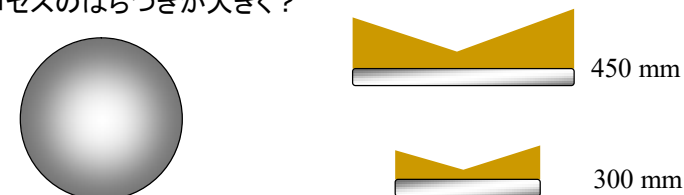
科学者は答えない。微細化や大口径化はエンジニアと投資家で考えてくれ。我々は新探求デバイスで格段に進歩するデバイスを考えている。基盤はそのようなデバイスが作りやすいものであれば良い。これも4次元発想だ。

パラダイムシフト45議論はまだまだ続く。いつれ結果は出る。その時に半導体関係者が全員笑えるように、エンジニア・科学者は必死で革命技術に取り組んでいる。投資家も決して批判だけしているのでは無い。期待しているのだ。

半導体は正に永久に不滅だ。(と思う)

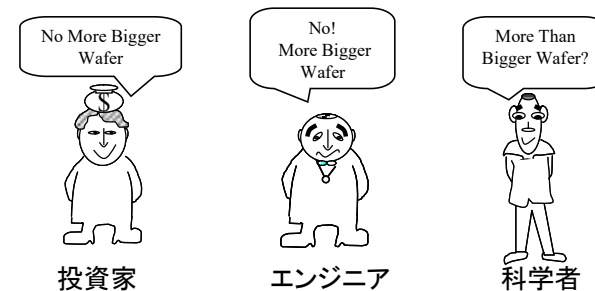
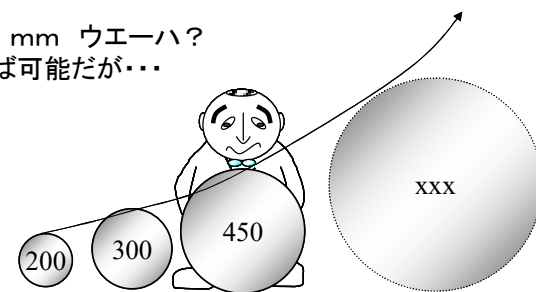
パラダイムシフトー45cm

プロセスのばらつきが大きくなる？



ウエーハプロセスはもともと半径方向に不均一です
径が大きくなればなるほど、その不均一量が大きくなります

450 mm ウエーハ？
望めば可能だが・・・



‘パラダイムシフト’から‘パラダイスシフト’へ

半導体殿、還暦(60歳)おめでとうございます。半導体は、微細化と大口径の繰り返しに新材料を加味して、この世の春を謳歌してきました。ITRSは技術の革新を期待して、常に技術の壁を紹介し続けてきました。ところが本書で紹介したパラダイムシフト45！とうとう微細化・大口径化・実装、全ての技術障壁が一緒に押し寄せてきたようです。投資家も期待を込めて辛口のコメントをし続けます。エンジニアは誇りにかけて革命技術を生み出そう。科学者はそのパラダイムさえチャンスに変えてしまいます。そして苦労の先にはパラダイスが・・・詳細は本書をお読み下さい。

石油は枯渇すると言い続け、未だに枯渇しません。半導体の微細化も終わる・終わると言いながら、未だに微細化は続いています。これ全てエンジニアと科学者の不断の努力の賜物と思って下さい。このような人々に支えられ続けている限り、半導体は不滅です。

さて、我がめっきとCMPもその勢いは止まりません。これくらい太古の技術でもハイテクトップの半導体に使えるなら、と今やウェットプロセスは驚嘆の的です。今後も皆さんを驚かすような革命技術が現れ、救世主となることをお約束しましょう。ウェットプロセスも永遠に不滅です。

そのウェットプロセスに従事している私は？これも永遠に不滅です。

本書が私と共に永遠に愛され、役立つことを願って本書の終わりの言葉と致します。是非ご感想をお聞かせ下さい。またお会いできる日を楽しみにしています。

パラダイムシフトをチャンスにパラダイスにシフトさせましょう

