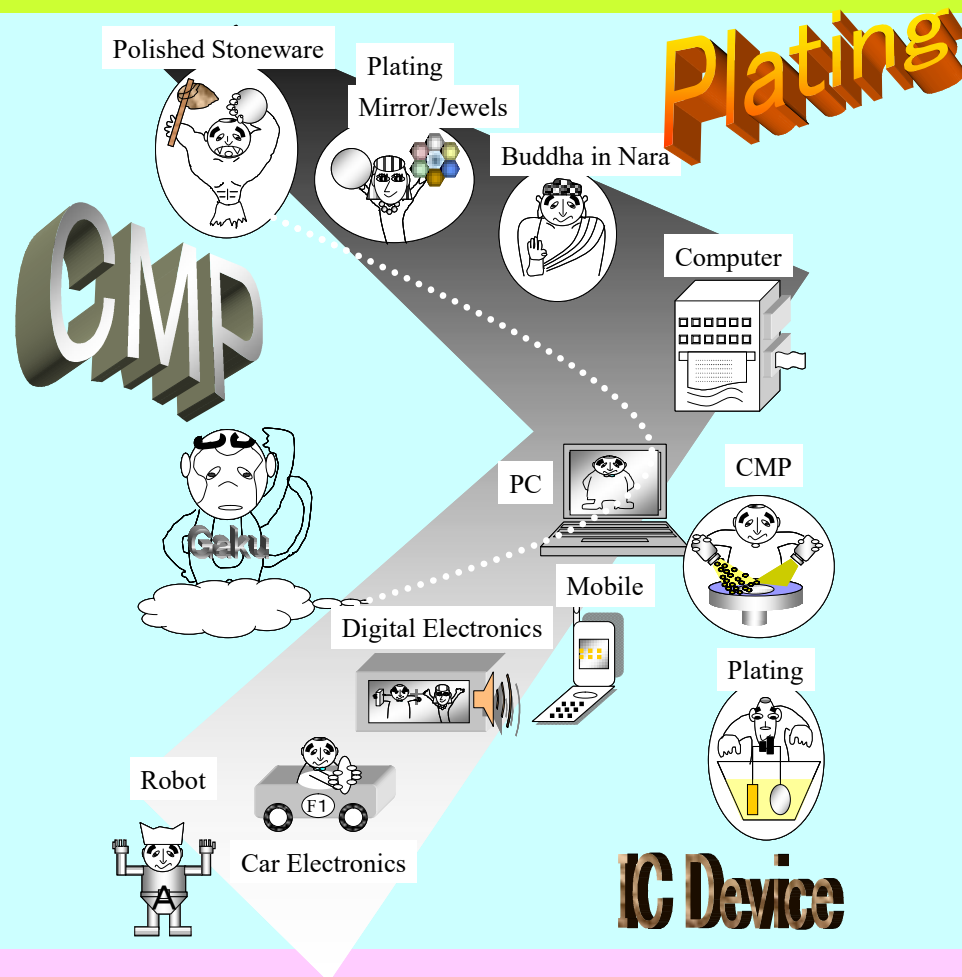


Wet Revolution

- Device Application of Plating, CMP, Cleaning -



Manabu Tsujimura

SEMICONDUCTOR WET PROCESS REVOLUTION

Device Application of Plating, CMP, Cleaning

정밀·전자 컴퍼니는 1985년에 기업 프로젝트로 출범했으며, 그 후 사업부로의 승격을 거쳐 현재의 독립 기업으로 분리 설립되어 오늘에 이르렀습니다. 올해로 40주년을 맞이하게 되는 2025년을 기념하여 저희를 도와 주신 모든 분들께 작은 도움을 드리고자 미약하나마 저의 저서를 전해 드리고 싶습니다.

2025년5월1일 (주)에바라 제작소 펠로우 츠지무라 드림

Copyright for these works is reserved to the authors. Downloading files is free, but reprinting or reproducing the content requires the author's permission.



Edited by
Manabu Tsujimura

머 리 말

“쓰지무라 박사, 이 책 꽤나 흥미로운데 학생들 교육용만이 아니라 정식으로 출판해 보는 건 어떻겠습니까? 한 교수가 이 말을 언급한 것이 2007년 2월이다.

“흥미롭다”고 언급된 책은 본인이 지난 20여년간 경험해 온 것을 학생용으로 만든 교과서를 말한다. 본인은 1985년에 반도체 세계에 입문한 이래, 오로지 반도체 제조장비와 Component 개발에 집중해 왔다. 2002년에는 도쿄 메트로폴리탄 대학의 오오타 교수님 지도로 학위를 취득했다. 이후, 1997년부터 같이 CMP를 연구해 온 미국 클락슨 대학의 Babu 교수님으로부터 객원교수 얘기가 나왔다. 그러던 차에 도쿄 메트로폴리탄 대학에서도, 한국의 한양대학교 박 교수님한테서도 객원교수에 대한 제의를 받아, 현재 일본, 미국, 한국의 3개 국가에서 반도체 제조장비에 대해, Wet Revolution(습식혁명)으로 칭하여 교편을 잡고 있다. 이 책은 그간의 객원교수로서 강의한 내용을 바탕으로 잉태된 것이다.

본인은 32년동안 재직하고 있는 에바라제작소에서 직접 개발도 하면서 지도도 해 왔다. 이 책은 그러한 경험을 통해 연마와 Plating 등 반도체 디바이스 제조 프로세스용 Wet Process를 다룬 종합 해설서임과 동시에, 개발 지침서로서 저술된 것으로 이해하여 주기 바란다. 이 책의 독자가 될 대상으로는 대학에서 이러한 공정과 장비를 연구하고 있는 분들에게는 Tutorial적인 측면과 이미 기업체에서 전문적으로 개발을 맡고 있는 분들에게는 첨단적인 측면의 양면이 포함된다. 독자 여러분의 각각의 목적에 맞게 읽히었으면 한다.

과학과 기술은 “99%의 모방과 1%의 Something New”로 진화되어 온 것이라 믿고 있다. 단순한 모방은 격이 떨어지는 것이라 일컬어지지만 앞선 이들의 고생물이 축적되어 진화(Evolution), 혁신(Innovation), 그리고 혁명(Revolution)이 더해진다면 솔직히 말해 처음에는 모방으로 근접하는 것도 좋다고 생각한다. 모방단계가 끝나면 이제 엔지니어의 자부심으로 새로운 기술을 만들어 내자. 이 책도 99%는 선배들의 고생담을 다시 재구성한 것일 테지만 1%의 Something New를 소개한 것이라 감히 믿는다. 다 읽으신 분들은 꼭 점수로 평가해서 알려주셨으면 한다. 지금껏 본인한테 혹평을 받은 당사 엔지니어들과 학생들이 주는 한뼘한 점수라면 사양이지만(웃음)...

이 책을 저술함에 있어, 귀중한 자료를 제출해 주신 토시바의 시바타상, 코테라상에 무한한 감사를 드린다. 또한, 2002년에 학위지도해 주신 도쿄 메트로폴리탄 대학의 오오타 교수님, 처음 객원교수로 임명해 주신 클락슨 대학의 Babu 교수님, 또한 한일의 연결다리가 되어 한일 인턴십을 실현해 주신 한양대 박

교수님께서는 앞으로도 학생교육에 힘껏 도와주시기를 간청 드린다. 본인의 꿈은 5개국에서 객원교수를 감당하고, 명예로이 에바라제작소를 정년퇴직하게 된다면 본인의 적은 금액이나마 퇴직금으로 Foud를 설립하여, 매년 1회 학생을 일본에 초청하여 “Wet Revolution(혁명)의 Evolution(진화)”란 주제로 대회를 개최하는 것이다. 뻔뻔한 얘기이지만 그 꿈에도 꼭 협조해 주십사 바란다.

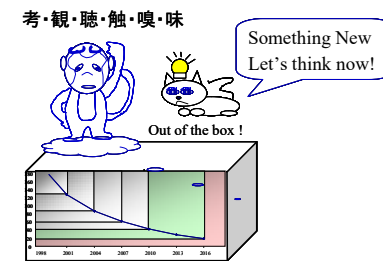
이래저래 이 책이 이토록 “흥미롭게”(본인도 그렇게 생각함) 완성된 것은 실로 학생들의 힘이 크다. 클락슨대학의 학생들은 여러가지 질문들을 던지곤 했다. 그러한 것들이 개발의 단초가 되고, 이 책의 단초가 되었다. 해마다 한두달(서너명)동안 인턴십으로 오는 한양대 학생들은 정말 열심이라 오히려 본인이 배우는 기회가 되었다. 도쿄 메트로폴리탄 대학 학생들은 이 책에 있는 “Bell Best Project”의 Role Play 등에도 참여해 주었다. 이렇게 이 책은 본인이 기업체에서 배운 것을 학생에게 가르치면서 배우면서 완성된 것이다.

물론 당사 엔지니어들에게는 주야로 도움받는 처지라 당연히사 감사해야 함은 말할 것도 없고 이런 나에게 Chip Maker, Device Maker, 재료메이커, 투자가, 애널리스트 관계자분들 등등...이루 다 말할 수 없을 정도로 도움을 주셔서 이 책이 완성되었다.

그리고, 이 책이 탄생하게 된 모태, 토이교수님과 출판에 아낌없이 협조해 주신 공업조사회 여러분께 진심으로 감사 드린다.

큰일날뻔 했다! 가장 신세졌고, 도움을 많이 준 나의 사랑하는 와이프 “쓰지무라 쿠미코: 이 책에도 등장함” 에게도 감사 드린다.

2007년 7월



쓰지무라



- 목 차 -

머리말

Chapter I Planarization Carol

- 온고지신
 - 세상에서 가장 오래된 기술 : 도금과 평탄화
 - 클락슨(Clarkson) 대학교 만남
- 평탄화 캐롤
 - 평탄화 캐롤
 - 유령 출현
 - 과거, 현재, 그리고 미래
 - 영원한 CMP
- Bell Best Project
 - 프로젝트 X?
 - 지금 Astro boy 가 되기 위한 시간
 - 반도체 산업에서의 먹이사슬
 - 프로젝트 철차
 - 로드맵의 창조
 - TEG 는 무엇인가?
 - 디바이스에 대해 공부해 보자!
 - 완성된 Bell boy!
- 첫 강연 만찬

Chapter II Wet Deposition Process: Plating

- Plating for Semiconductor process?
 - 양동이 도금에서 반도체 도금까지
 - 과거의 3K 에서 현재의 3K
 - 다양한 도금장치
 - 4 개의 영역
 - 6 개의 sub 시스템
 - Faraday's 법칙에 대하여 시작해 보자
 - 세가지 비밀약품
 - 반도체 공정에 요구되는 도금성능
 - 세정과 오염제어

- Application
 - Pinch-off 가 있는 작은 구멍에 채워넣기?
 - 겨우 60cc bath(조) ?
 - 유한요소법
 - Terminal 효과를 최소화는 함침재가 유효
 - Porcupine(고슴도치) 공정
 - 고용점금속 cap 도금
 - Bump 도금

- 마나부스타일 : Power Pointist

Chapter III Wet Removal Technology: CMP

- Polishing for semiconductor process?
 - 돌에서부터 디바이스까지
 - Dry-in / dry-out 등장
 - 마약과 같은 CMP
 - Preston 으로 부터의 시작
 - 이것이 CMP 다 !
 - Preston's Law 에 반대?
 - CMP 의 비밀
 - 영원한과제 : 패턴의존성
 - 디바이스들은 어디에 쓰이는가?
 - 연마부, 세정부
 - 모니터부
 - 공정시간
 - 슬러리의 재활용과 폐액처리

- Application
 - 층간절연막(ILD)부터 시작해보자
 - 균일성에는 Profile 의 조절
 - Backside 압력, Edge 압력 그리고 회전속도
 - Dress, 유량 그리고 진동
 - 이것이 ILD 의 스펙이다
 - STI CMP
 - 여러가지 STI 의 공략법
 - 텅스텐(W) CMP
 - Cu 잔류물도 하층의 텅스텐으로부터?
 - Cu 배선 CMP
 - 평탄화 통일론

- 적게 · 적게 · 그렇게나 적게?
- 그렇다면 해석으로 실증
- 다양한 가공방법
- CMP / ECMP / ECP / CE : 이것은 무엇입니까?
- ‘특수’ 평탄화 통일론부터
- ‘일반’ 평탄화 통일론

- Special Issues
 - Nonotopography : STI 의 수율 데미지
 - Waviness 가 없는 연마가 !
 - Roll-off : Wafer Edge 가 늘어지다
 - Edge 1mm Target
 - km 에서 nm 까지 FEM
 - 다마신강도를 확인해 보자

- Who’s law ?

Chapter IV Wet Surface Treatment Process: Cleaning and Drying

- Cleaning for semiconductor process?
 - 세정은 전쟁?
 - 무엇을 어떻게 깨끗하게 할까?
- Application
 - 깨끗한 세정은 깨끗한 장비로부터
 - 환경을 Clean 화 하자
 - 바라고 있는 비접촉식 세정
 - 야생마를 타는 것
- Drying Technologies
 - 건조가 어려운 소수성을 띄는 표면을 위한 IPA
 - 대단해! 소수성 박막에서도 간단하게

- Manabu 의 법칙!

Chapter V Wet Process Application: Interconnects

- This is all of interconnects problems.
 - 초고충밀딩과 다층 문제

➤ 파
고
,

- 파고 또 판다: Etching
- 도금과 CMP 의 문제가
- 누전이! 안심할 수 없다 : 신뢰성

- Seven See’s
 - 7 가지 문제와 7 가지 해결책
 - 1’st See Direct CMP
 - 2’nd See : CMP 저 Down Force 요구 : mC2 란?
 - 3’rd See : Ru Barrier Application
 - 4’t’h See : Water Mark 가 없는 것의 요구
 - 5’t’h See : 1/2 CD Particle Size
 - 6’t’h See : Metal Cap
 - 7’t’h See : Edge Exclusion

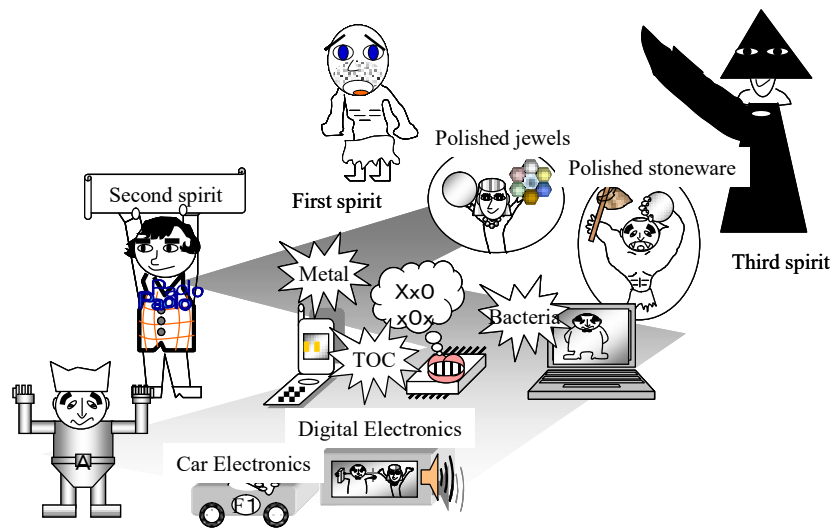
- Stand-By ME
 - Stand-by ME
 - FEM(유한요소법)은 모든 것이다
 - 도금과 CMP 에 FEM 을 응용하자
 - 진동으로부터의 재료, 유체, 자성까지 기술의 넓은응용

- Paradigm Shift 45
 - Paradigm Shift 45
 - 45 nm 미세화의 종료, 그 때는 무엇이?
 - 45 μm 3D 적용 : 그 때는 무엇이?
 - 45 cm 대구경화, 그때는 무엇이…그리고 Paradise

- Paradigm Shift’로부터 ‘Paradise Shift

Chapter I

Planarization Carol



세상에서 가장 오래된 기술 : 도금과 평탄화

온고지신 (옛것을 익히고 그것으로 미루어 새로운 것을 알 수 있다 : 논어)

평탄화와 도금 기술을 하는 반도체 장비업체 제조업자에게 이 인용어구보다 더 적합한 말은 없다. 옆에 그림에서 보는 것과 같이 석기에 이용되었던 연마나 일본 Nara 시대의 불상에 이용되었던 도금기술은 실제 최첨단 반도체디바이스를 제조하는데 없어서는 안되는 기술로 되어 있다. 단지 지금은 “나노 사이즈”를 목표로 하여 연구한다는 것을 제외하면 예전 이후로 기본적인 원리는 변하지 않았다. 이 책에서는 도금과 평탄화에 대한 예전의 기술과 지금의 새로운 기술에 대해서 소개하겠다.

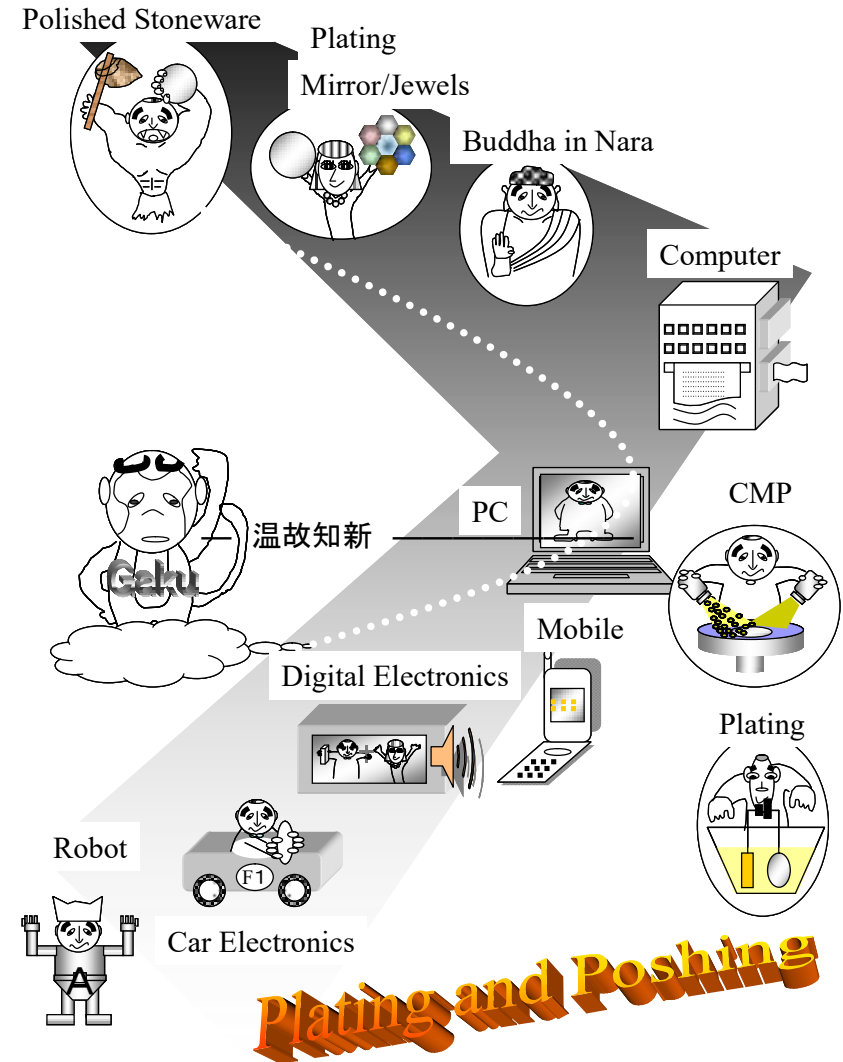
도금과 연마가 반도체에 ?

1980 년대 IBM 에서 이 놀라운 기술을 사용하기 시작했다. 일본에서는 전형적으로 3K 기술[Kitanai(지저분하고), Kitsui(힘들고), keiken-izon(경험에 의존적인)]이라고 여겨졌던 도금, 평탄화를 시작했고 반도체 장비에서 사용을 회피했던 구리를 사용하기 시작했다. 오늘날 최첨단 집적 회로 장비는 평탄화와 도금 기술없이 생산할 수 없다. 과거에 현재의 기술을 누가 상상할 수 있겠는가? 나 또한 도금을 시작한 1987 년과 평탄화를 시작한 1989 년에 그들의 모든 것들을 믿을 수 없었다. 그러다가 시간이 경과되면서 나는 그 기술들이 어쩌면 엄청난 잠재력이 있다고 생각하기 시작했다. 왜? 그 이유를 이책을 읽고난 후반부에서 찾을 수 있을 것이다. 한마디로 말하면, 연마는 훌륭한 평탄화 작업이다. 나는 당시의 어떤 디바이스엔지니어가 말했던 것을 아직도 기억한다. “연마는 마약과 같아요. 한번 그것을 사용하면, 그것에서 영원히 떨어지지 못할겁니다” 도금의 경우도 마찬가지로 연마기술 이후에 반도체 장비 제조업에서 중요하게 쓰이기 시작했다.

이러한 이유로 인해 어떠한 기술의 성능이 우수하지 않으면 채택하지 않았던 대단한 반도체 엔지니어의 덕분에 오늘날의 도금과 연마가 존재하게 된다.

대학과 학회에서 지원하는 도금과 연마기술

이렇듯, 예전의 오래된 도금과 연마 기술은 최첨단 반도체에 쓰이기 시작했다. 오래됨은 성숙된 축적된 기술을 의미한다. 일본에서 이 기술은 3K 기술로 여겨졌을지라도, 대학과 학회에서 뛰어난 오래된 대학과 회사를 지원해 왔다. 이러한 배경으로 나는 어떻게 도금과 연마가 하이테크기술에 전개되었는지를 소개하고자 한다.



클락슨(Clarkson) 대학과 만남

클락슨 대학으로부터

나리타 공항에서 JFK 국제 공항까지 비행시간은 12 시간, 미국 국내항공으로 버링턴 공항까지의 비행시간은 90 분, 다시 자동차로 4 시간을 달리면 클락슨 대학이 위치한 도시 팟스담(Potsdam)에 도착할 수 있다. 팟스담은 13,000 명의 인구가 사는데 대부분의 사람이 바로 클락슨 대학과 관계가 있는 대학촌이라 할 수 있다..

2002 년 처음으로 초빙 교수로 방문한 이래로, 일년에 한번 여름에 일주간 강의(연구/회의)를 하기 위해 클락슨 대학에 방문해왔다. 왜 내가 일년에 한번씩 그렇게 멀고 작은 도시에 방문을 하나구요? 바로 클락슨 대학이 CMP 연구의 중심이기 때문입니다.

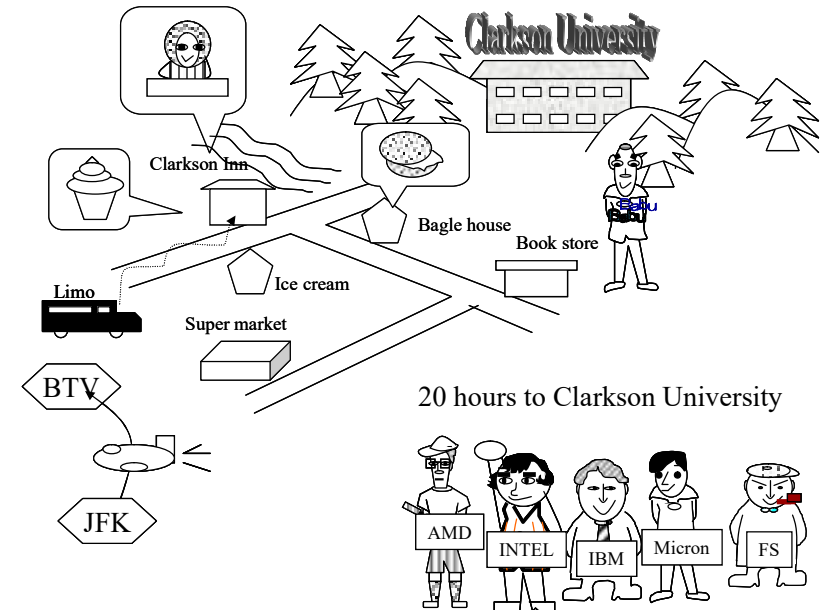
100 년의 역사아래, 클락슨 대학은 오랜 세월동안 나노입자 연구 분야에 있어서 많은 성과를 이루어왔다. CMP 연구는 나노입자 연구의 응용에서 시작되었다. 수석연구장이자 독특한 대학 교수로 알려진 S.V. Babu 교수 그는 CMP 연구에 그 전부를 바쳤다. 과장없이 말하면, 그의 학생들이 Intel, IBM, Micron 같은 주요 디바이스제조업체에서 CMP 기술의 도입과 성장에 공헌하였다. 클락슨동문을 늘 어느 CMP 학회에서 찾을 수 있을 정도다.

Lake Placid CAMP 심포지엄에서의 연구 보고

클락슨 대학은 매년 국제적인 CMP 심포지엄을 개최하고 있다. 2007 년, CMP 에 관한 12 회 국제적인 심포지엄이 레이크 플레시드에서 CAMP 의 주최하에 개최되었다. 3 일동안, 세계에서 모인 CMP 분야 기술자들과 과학자들은 모여 반도체 장비의 최신 평탄화 기술에 대해 토의를 한다.

이 책은 클락슨 대학에서 초빙강사로서 강의를 했던 자료를 모았고 CAMP 심포지엄에서 다뤘던 발표자료들을 모았다. 그러므로 이 책에서 다루는 주제는 이 책을 읽을 학생들과 최첨단 디바이스엔지니어 까지 폭넓게 대상으로 하고 있다. 때로는 CAMP 에서 저녁을 먹으면서 나눴던 대화들을 에피소드로 추가하였다.

이러한 이유로 우선 주요 주제를 시작하기 전에, 클락슨 대학과 CAMP 에서의 내 경험담으로 두개의 소설같은 이야기를 소개하겠다. 이 이야기는 도금, 연마, 반도체업계의 본질을 포함하기 때문에 잘 읽어주기바란다.. 기술적인 상세함은 다음에 이해해도 되겠다..



CAMP meeting

평탄화 캐롤

우선 최초의 창작이야기는 “평탄화 축가(Planarization Carol)” 라는 디킨스(Dickens)의 “크리스마스 캐롤”을 아주 좋아하기 때문에 내용이 비슷해도 양해를 바란다.

발전하는 CMP ?!

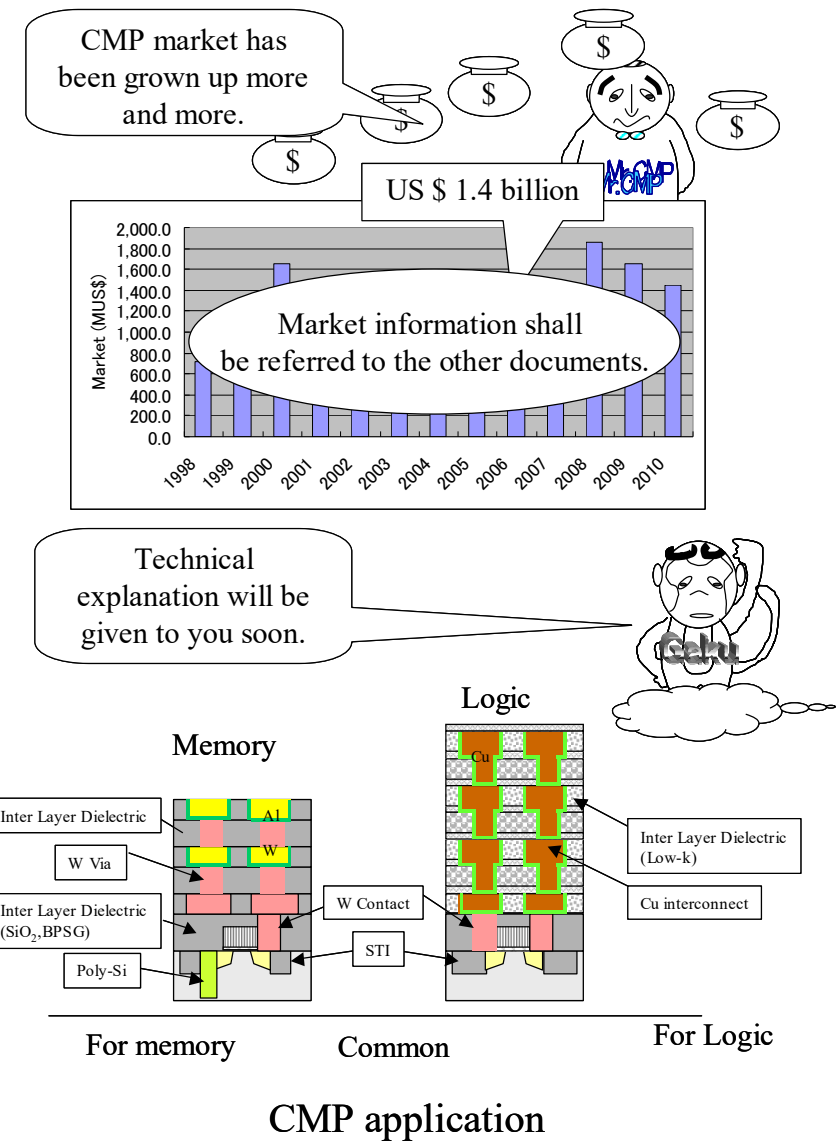
앞에서 언급한 논문에서의 “온고지신”이라는 공자의 말은 개발의 기초이다. 석시시대 기원전 700 년이래로, 알려진 도금 기술과 연마 기술의 결합은 21 세기 반도체 제조 기술에 있어서 혁명을 가져다 주었다. 이것을 다마스킨(Damascene) 공정이라고 한다. CMP 는 1980 년대 초, IBM 사에서 층간 절연막의 평탄화를 위해서 개발되었다. IBM 에서는 단순한 연마(Polisher)대신에 CMP(Chemical Mechanical Polisher) 라는 용어를 사용했다. 개발에 있어 용어선택이 얼마나 중요한가를 과연 몇명이나 알까? 만약 단순히 연마라고 불렀더라면, 그것은 여전히 예전의 이미지를 가지고 있을 것이다. 하지만 CMP 라고 부르는 것은 반도체 영역에 쓰이는 새로운 분야라는 것을 내포한다. CMP 는 우리 선조가 이룩해놓은 연구 결과를 새롭게 개발한 것의 좋은 예이다.

2006 년, 세계 CMP 시장 규모는 1.4 billion 으로 추정된다. CMP 에서 응용되는 분야는 계속해서 증가할 것이고 시장 성장은 촉망받고 있다. CMP 담당자는 지속적으로 전성기를 누리고 있다(?) 참고적으로 오른쪽 그림에 최근의 CMP 용도를 로직 디바이스와 메모리 디바이스에만 표시해 보았다. 층간 절연막을 시작으로, 텅스텐 Contact, 텅스텐 비아, STI(shallow trench isolation) 구리배선 등에 각각 쓰인다.

CMP 의 미래가 매우 밝을까? 반도체제조산업은 오르락 내리락한다. 언제 어떠한 일이 일어날지 누구도 알 수 없다.

MRS 회의 참석

지금부터, 내가 경험했던 놀라운 경험을 소개하고싶다. 2007 년 3 월, 샌프란시스코에서 MRS 가 개최한 CMP 심포지엄에 초대되었다. 그곳에서 내가 경험했던 경이로운 경험을 했다. 나의 이야기를 믿을 수 있을까?



유령 출현

세명의 유령

오랫만의 MRS 의 참석이다. 1998 년 나와 클락슨대학의 Babu 교수님과 공동의장으로써 개최한 심포지엄 이후로 나는 많은 강연을 해왔다. 그러나 지난 몇 년간 CMP 심포지엄이 개최되지 않았다. 금년 2007 년은, 3 일 동안 많은 참석자를 매료시킨 CMP 심포지엄이 화려하게 개최되었다. 그러나 심포지엄 동안에 시차와 긴 여행에 의한 피곤은 중간에 나를 잠들게 했다.

나는 종종 심포지엄 발표에 집중할 수 없었고, 발표자 발표가 끝나기만을 생각했다. 그날도 발표를 듣는다고 생각했지만 언제부턴가 졸음이...

한 나이트 남성의 출현

갑자기 주위가 어두워졌다. 친근하게 생긴 나이트 남성이 나에게 다가와 말을 걸었다. “마나부, 당신은 현재 CMP 때문에 아주 즐거워 보이네요, 내일부터 3 일간 저녁 11 시에 유령이 당신에게 다가갈 것입니다. 그들이 무엇을 말하고 생각하는지 의심하지 말고 잘 생각해주세요”

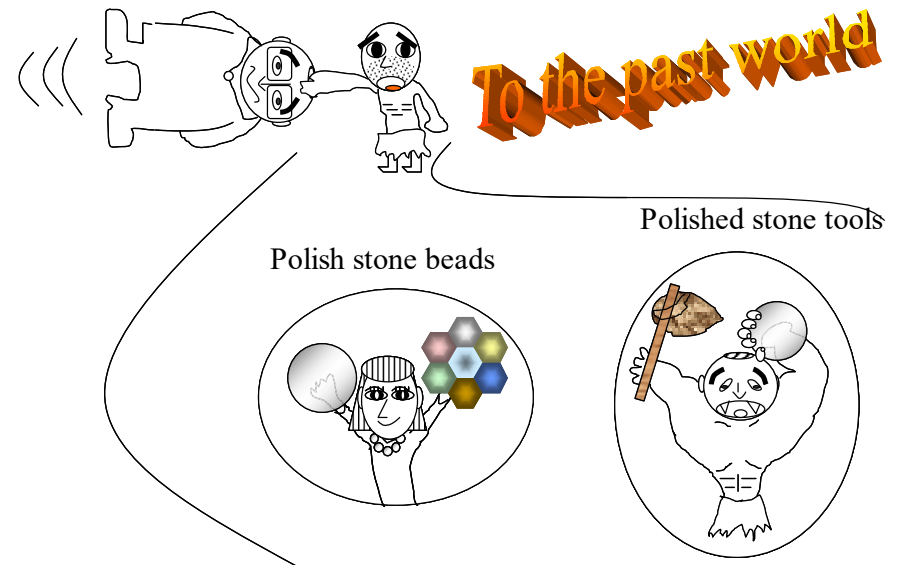
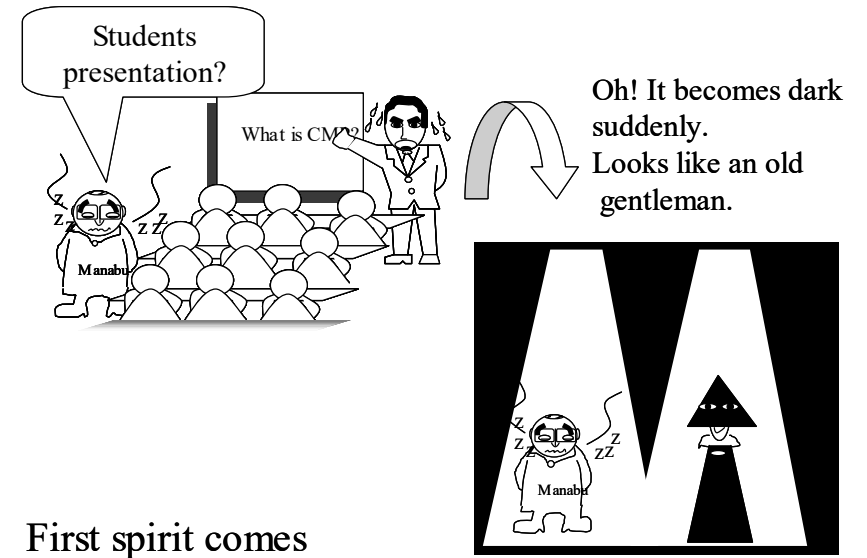
나는 그를 어디선가 본 기억이 있다고 생각했지만, 시차에 의한 피곤과 졸음 때문에 그만 다시 잠들고 말았다. 다음날이 다가왔다...

(전에 이러한 비슷한 이야기를 어디선가 들었다면 그것에 대하여 신경쓰지 않아도 됩니다, 나는 디킨스의 열렬한 팬입니다. 그리고 비행도중에 크리스마스 캐롤을 읽었는데 그것이 나에게 많은 영향을 주었을지도 모릅니다)

첫번째 유령 (과거)

첫날 11 시, 예상했듯이 첫번째 유령이 나타났다. 그는 과거의 사람과 닮았다. “마나~부 나는 당신을 과거로 데려갈거야” 라고 말하자마자 무례한 유령이 나의 머리를 붙잡고 눈 깜짝 할 사이에 석기시대로 데려갔다. 거기에서 선조들은 돌을 연마하고 있었다. 남자들은 돌 연장의 모양을 열심히 만들고 있었고 여자들은 연마한 돌로 구슬을 만들고 있었다.

유령이 말하기를 “마나~부 연마는 선조들이 열심히 일을 해서 얻은 기술이고 시대를 거슬러 전해져 내려왔다. 당신 혼자 개발한 것이 아니다. 선조들의 기술을 잊지 말아라 !”



과거, 현재 그리고 미래

두번째 유령 (현재)

다음날 또다른 새로운 유령이 나타났다. 이번에는 현대적인 모습을 한 유령이다. 유령이 말하길 “마나부! 어제 과거의 유령은 어떠했는가? 나는 현재의 유령입니다. 지금 어떠한 CMP 가 사용되고 있는가를 같이 볼까요?” 라고 말하는 순간 주위가 갑자기 어두워졌다.

“여기가 어디입니까?” 라고 나는 말했다.

잘 살펴보니 주위에는 박테리아나 세균등이 흩어졌 있다. 유기물, 메탈이라고 쓰여져 있는 더러운 옷을 입고 있는 사람들이 우왕좌왕하고 있다. 유령이 말하기를 “여기는 현대의 연마가 이루어지고 있는 ‘돌(디바이스)’의 안입니다. 당신은 CMP 가 이미 완성된 기술이라고 알고 있을지 모르겠지만, 실제로는 부식, Scratch, Void 등의 문제 덩어리 입니다. 빨리 해결하시오!” 라고 말하며 말하는 돌은 탄식하고 있었다.

세번째 유령 (미래)

그리고 마지막날 최후의 유령이 등장했다. 검은 망토를 걸치고 서 있었다.

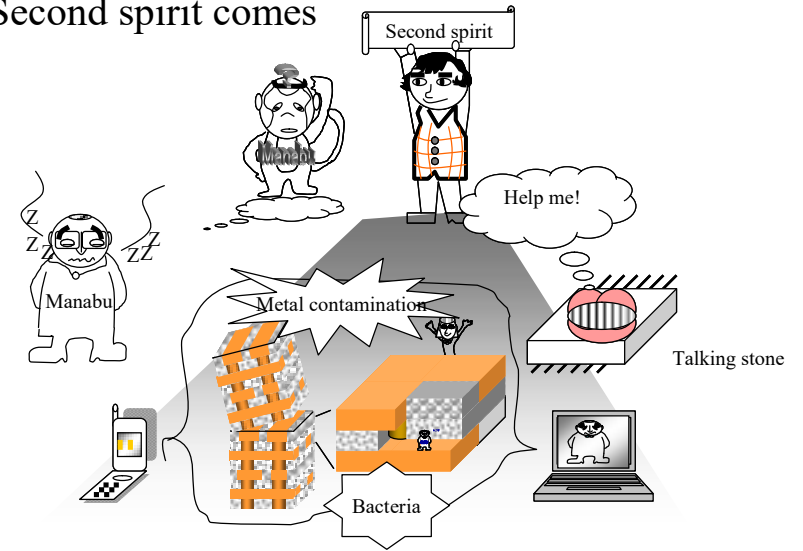
“유령님, 나에게 무엇을 보여줄건가요? 첫째날, 저는 석기에 연마를 열심히 하고 있는 선조들을 만났어요. 어제 저는 반도체 최첨단에서 고통받고 있는 ‘말하는 돌’을 만났어요. 오늘은 무엇을 볼 수 있을까요?”

망토를 입은 유령은 아무 말 없이 손가락을 가르켰다. 그는 부지런한 젊은 기술자와 CMP 심포지엄에서 맨앞 자리에 앉아 최신 기술을 설명하려고 애쓰는 과학자를 가르켰다.

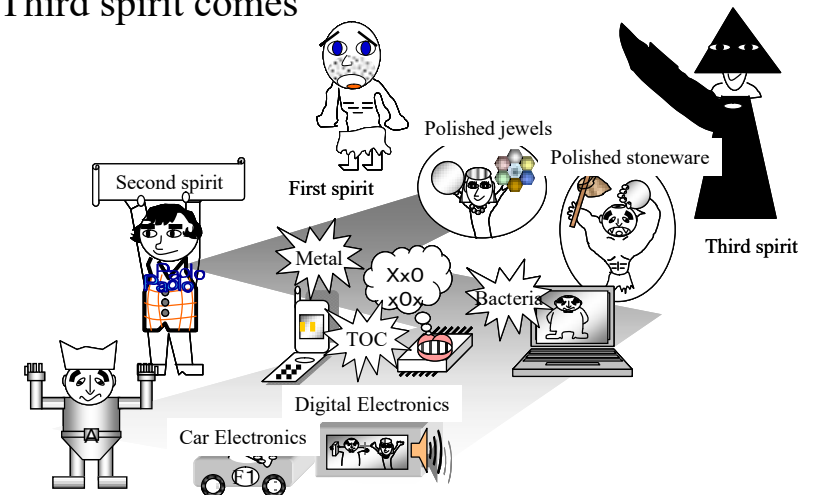
유령이 말하길 “마나부! 현재 CMP 의 성공은 선조들의 열심히 일한 성과이고 연마에 있어 각 시대별 젊은 기술자들의 노력의 결과물이다. 일본에서 1994 년 이래로 평탄화 위원회는 CMP 를 장려하기 위해 헌신해왔다. 위원회의 모든 사람들은 연마 연구를 많이 시도했고 그들의 의도를 명백히 하려고 했다. 텅스텐, 폴리 실리콘 필름, STI, 구리 다마진 그리고 금속 다마진 게이트와 같은 새로운 공정을 ILD 와 함께 시작하면서, CMP 응용분야는 꾸준히 팽창해왔다. 그것들이 과학이고 진보이다. CMP 기술에 종사하는 모든 사람들은 현재의 성공에 거만하면 안 된다. 하지만 의도하려는 성과를 더욱 연마시키고 결과를 더욱 좋게 만들어라” 그의 설명이 끝나자마자, 그는 망토를 벗어버렸다. 그는 내가 졸고 있을 때 나타난 남자였다. 나는 말했다 “오, 당신이...”

그렇다, 그는 CMP 기술에 종사하는 사람이라면 누구든지 아는 Babu 교수였다.

Second spirit comes



Third spirit comes



영원한 CMP

Babu 교수와 함께

Babu 교수의 말에 의해 처음으로 나의 눈은 깨워졌다.

반도체 산업은 오르락 내리락한다.

미래에는 현재의 CMP 번영이 없을 수도 있다.

사실, 패러다임 시프트는 매우 중요하다. CMP 와 도금 기술 모두 전의 패러다임과는 매우 다르다. 현재의 번영 뒤에 숨어있는 패러다임은 깨부셔야만 하고 다른 많은 기술들로 바꾸어야 한다. 도금과 CMP 도 예외는 없다.

주) 패러다임 시프트 45 는 45nm 의 제거 그리고 그 이하, 45um 보다 작거나 더 큰 얇은 박막, 직경 45 cm 혹은 그보다 큰 웨이퍼를 제작하는 것이고 그것은 나의 주요 관심사이다. 그리고 그것은 2005 년에 시작되었다. 더 자세한 것은 후에 기술하겠다.

영원한 CMP

이것이 내가 출장중에 보았던 꿈의 내용이다. 이 꿈의 진위는 차치하더라도 현재 CMP 의 상승은 아무도 막을 수 없다. 그러나 다시 한번 말하지만, 모든 기술의 혁명은 오르락 내리락하는 역사를 가진다. CMP 에 종사하는 우리 모두는 현재의 번영에 거만해서는 안되고 꾸준히 더 나은 CMP 의 증진을 위해서 노력해야만 한다. 1998 년 MRS 회의에서, Babu 교수와 나는 CMP 의 P 를 기존의 Polisher 에서 Planarization 으로 바꾸기로 했다. 연마만이 평탄화기술인 것이 아니기 때문이다.

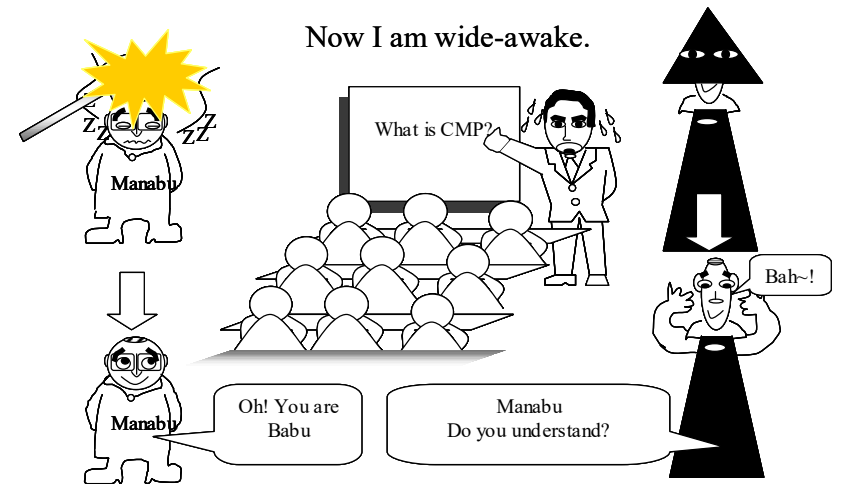
평탄화 기술에 있어서 기술할 화제들이 많이 있다. CAMP 심포지엄에 참석한 젊은 기술자들에 의해서 기술은 지원될 것이다. 이제 나는 방심하지 않을것이다. 나의 명예를 걸고, 현재의 성공에 절대 거만하지 않을 것이며, 현재로부터 10~20 년 후의 CMP 번영을 즐길 수 있도록 최선을 다하겠다.

CMP 는 영원하다 !

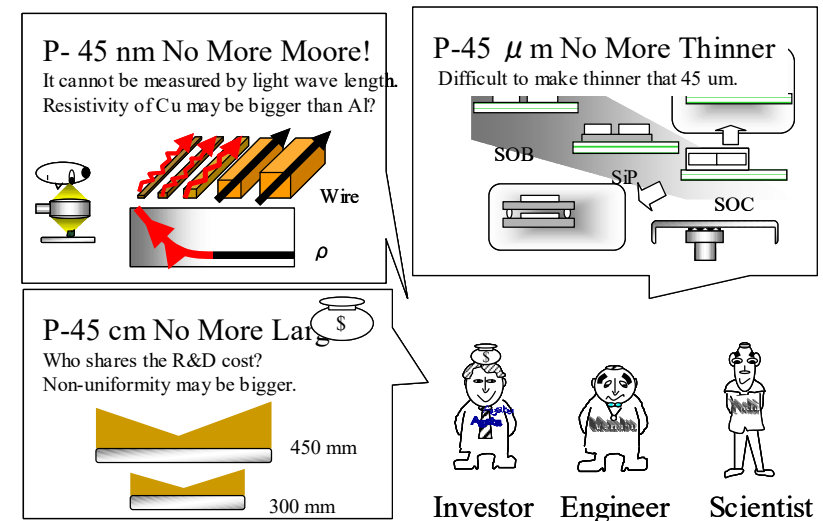
이것이 내가 들려주려고 하는 평탄화와 CMP 의 현재 상태의 첫번째 소설같은 이야기다. 이 이야기는 학생들로부터 반응이 좋다.

이글을 읽는 당신은 어떠합니까?

다음으로 좀더 진보된 화제가 담긴 두번째 이야기를 소개하려한다. 그것은 현재 반도체 산업의 위상을 볼 수 있을 것입니다.



Paradigm is shifted.



프로젝트 X ?

여기에서는 가상의 Chipset 제조업자, 디바이스 제조자, 장치메이커 등에 의해 로봇 개발 프로젝트를 소개하면서 “Chipset 이 무엇인지, device 가 무엇인지, 장비가 무엇인지, 또한 반도체 산업은 무엇인지?”를 ‘설명하려한다. 자세한 개별 과학 기술은 후에 설명할 것이다. 이번 부분의 목적은 전체 이미지를 쪽 보는것이다.

Bell project 시작

이 이야기에는 다음과 같은 인물들이 나온다.

- 마나부 박사, Sunny 회사의 CEO, 로봇 개발 회사 (완고한 사람)
- 쿠미코, TBS 사 경영자, device 제조업 회사 (매우 우수하고 준수한 외모)
- Babu, BER 회사의 경영자, 장치 제조업 회사(매우 뛰어난 기술자)

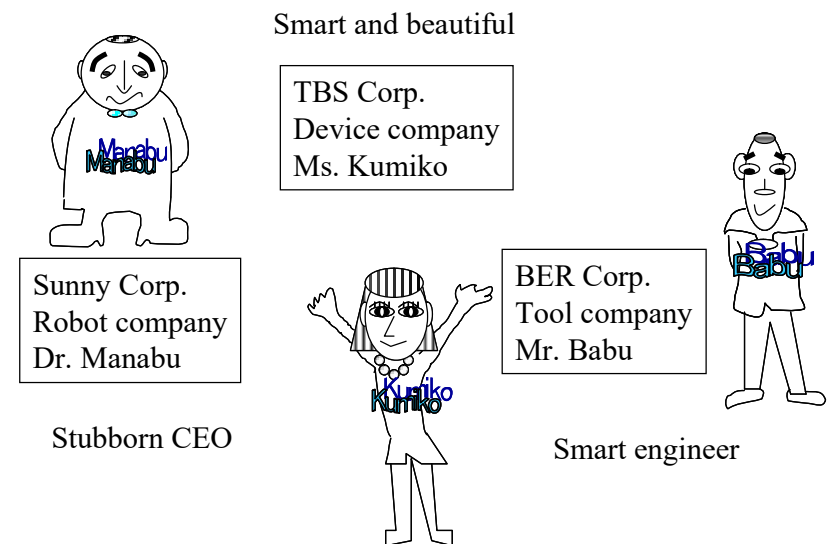
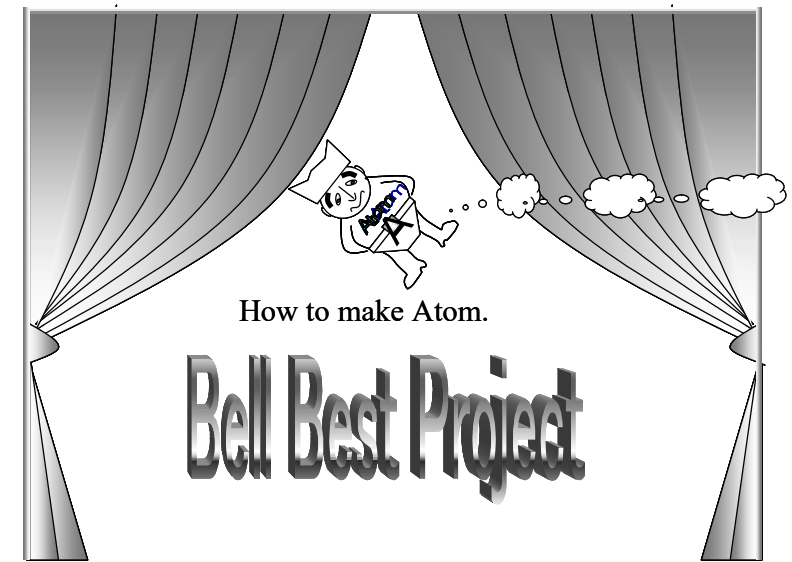
이야기는 오후 Sunny 회사 회의실에서 시작한다.

Astro Boy 와 같은 로봇을 만들기를 원하는 Sunny 회사 CEO, 박사 마나부에 의해서 로봇 개발 프로젝트가 시작된다. 어떤 일이 일어날까?

이 이야기는 다음의 8개 장면으로 이루어져있다.

- Scene 1: 나는 Astro Boy 가 되고 싶어요
- Scene 2: 먹이사슬 (Food chain)
- Scene 3: Bell Best Project
- Scene 4: 첫번째 Concept
- Scene 5: Roadmap
- Scene 6: Bell device 개발 (도금과 야금)
- Scene 7: Order
- Scene 8: Bell boy

자! 그럼 지금부터 지루함없이 끝까지 이야기를 읽어보기를 희망한다.



지금 Astro Boy 가 되기 위한 시간

Scene 1: 나는 Astro Boy 가 되고 싶어요!

Sunny 회사의 CEO 사무실에서 이 회사의 고집스런 CEO 인 Manabu 박사는 항상 미래에 대해서 생각한다. 오늘 그는 “Astro 소년” 을 읽고있다.

Manabu 박사: “기속적인 혁명은 처음 자동차에서, 그뒤 반도체로 그리고 현재는 생명공학으로 바뀌고 있다. 다음은 무엇이 될까? 그래 로봇! 나는 ASIMO 와 Gigantor 와 같이 기계적인 로봇이 아닌 Astro 소년과 같이 거의 사람과 같은 로봇을 항상 원해왔다. 반도체 디바이스의 발전은 이와 같은 로봇의 발전에 있어 필수 적이다. 좋아, 나는 나만큼 똑똑해질 미래의 로봇을 위한 발전프로젝트를 시작 할꺼야”

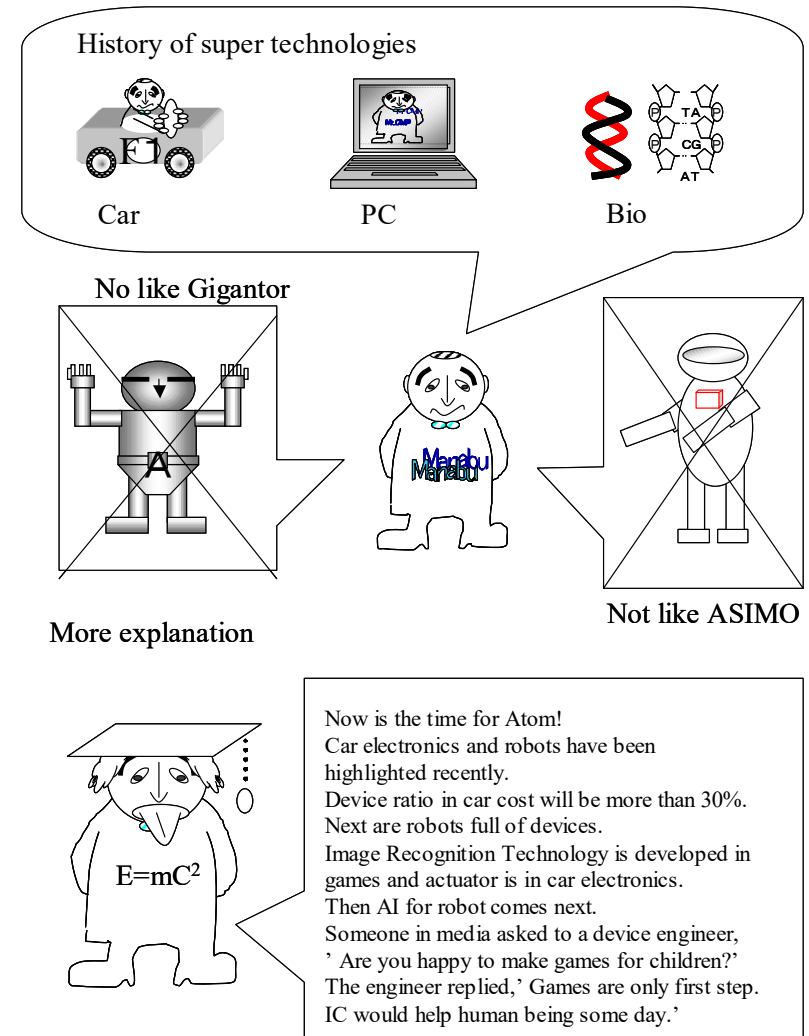
잠깐! 여기서 반도체에 이후의 미래의 기술에 대한 보충설명이 필요하다.

반도체 기술 다음에는 무엇이 올까?

반도체 산업은 다른 원숙한 산업의 기술을 받아들이면서 성장해왔다. 현재 반도체 산업의 전환은 새로운 영역에서 사용 가능한 기술로 만들어 진다. 그러나 어떤 영역일까?

그 예로는 멤스, 나노기술 그리고 생명공학이다. 일본의 과학과 기술 정책은 정부의 경제산업성의 예산으로부터 책정 되어진다. 국제적인 정책에서 우선시 되는 에너지와 환경 뿐만 아니라 정보기술과 생명공학 그리고 나노공학에 대한 예산이 최근 몇 년동안 상당히 증가하고 있다. 오랜 기간의 연구와 발전을 위해서 우리는 생명공학과 나노공학을 위한 반도체 산업에 대한 발전된 정보 기술을 받아들이도록 노력해야만 한다.

반도체 산업 후에 발전 되어지는 기술은 무엇일까? 마이크로 가공 기술, 나노 가공 기술. 장치기술전반 그리고 공정기술등과 같은 기술들이 새로운 영역에서 채택되어져야만 하는 것들이 매우 중요하다. 이는 단기적으로는 디지털 가전제품, 중기적으로 볼때는 자동차 그리고 장기적인 측면으로 보서는 생명공학, 나노기술, 로봇기술로의 응용은 반도체의 미래를 매우 밝게 할것이다. 반도체여 영원하라!



반도체 산업에서의 먹이 사슬

Scene 2 : 먹이사슬 (Food Chain)

1 장과 이어지는 이야기, Manabu 는 그의 비서에게 전화를 건다.

Manabu 박사 : “TBS 는 디바이스개발에 가장 적합합니다. Kumiko 씨에게 당장 전화 하세요. 그녀는 System on Chip (SoC)의 완벽한 발전을 완성하고 있습니다. 그리고 BER 은 공정장비개발에 매우 적합합니다. Babu 씨에게 전화하세요. 나는 그가 우리 모두의 필요한 점들을 알수 있도록 할 수 있다는것을 알아요” 비서는 약속을 정하느라 매우 바쁘다. 경우에 따라 반도체 산업에 있어서 먹이사슬은 상류부터 하류까지 연결이 매우 중요하게 작용한다.

Note) Sunny, TBS, BER 이 실제의 회사가 아니라는 것을 염두해 두세요

반도체 산업에서 먹이사슬 (공급 사슬) 은 세가지의 단계를 포함한다.

칩 -> 디바이스- > 장치와 재료.

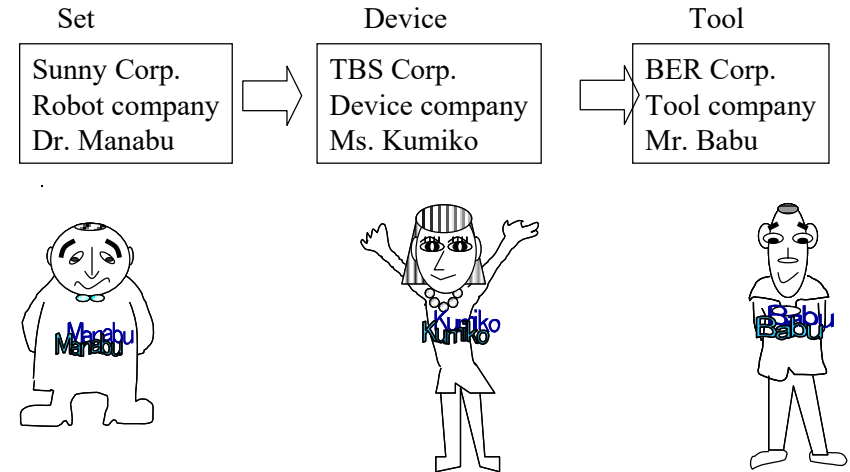
나는 처음 ITPC (International Trade Partners Conference) 에서 이러한 먹이사슬이라는 단어를 사용했다. ITPC 는 비즈니스의 정글을 표현하기 위한 반도체 디바이스 산업의 VIPs 들의 미팅이다. 여기서 나는 먹이사슬이라는 신조어등을 사용하였고 이 단어는 이분야의 산업에서 인정받아지고 있다.

반도체시장 이미지

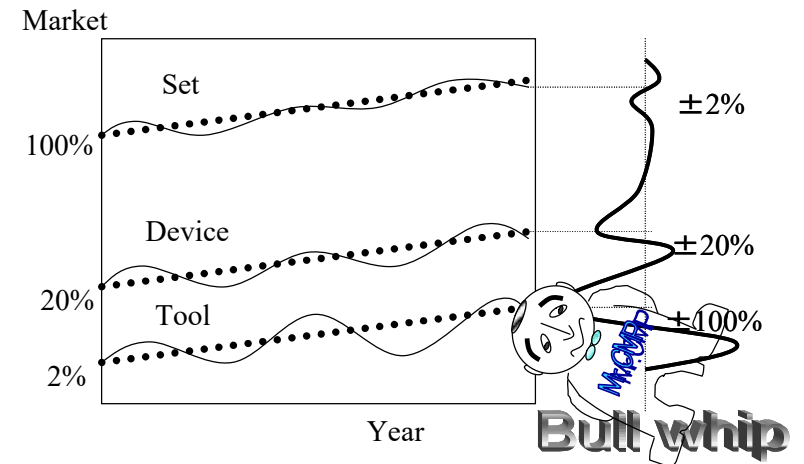
디바이스부분의 시장 점유율은 칩 마켓시장의 약 20%이다. (이는 반도체 디바이스는 칩의 구성요소에 약 20%를 차지한다고 보아도 무방하다) 반면에 장치부분의 점유율은 단지 디바이스 시장의 2%를 넘지않는다. (이는 디바이스업계의 투자액의 10% 정도이다) 이에 따르면 chip 시장의 2%의 변화는 디바이스시장에서는 20%의 변화를 가져오고 장치시장에는 100%의 변화를 가져옴을 의미한다. 이러한 현상을 “Bull whip effect”라고 말하고 있다.

하명든 반도체는 매우 다양하고 복잡한 엄청난 산업이다.

Food Chain



Market Image: Upstream is influential with downstream



프로젝트 절차 (The project proceeds)

Scene 3 : Bell Best 프로젝트

Manabu 박사의 지시에 따라 모든 프로젝트 멤버들은 회의를 위해 모였다.

Manabu 박사 : 프로젝트에는 이름이 중요합니다. 우선 디바이스의 이름을 만듭시다. Cell 이라하면 어떨까요?

Kumiko : 잠깐만요? 그이름은 도시바와 소니로부터 개발된 디바이스의 이름입니다.

Manabu 박사 : 아! 맞아요 그럼 Bell 은 어때요?

Kumiko : 아, 어디서 들어본듯한 이름이지만... 그러나 매우 좋은 생각입니다.

Manabu 박사 : 그럼 다음. 프로젝트의 이름! 어떤 이름이든 말해보세요

Babu : 그럼.. Bell Best 는 어때요?

Manabu 박사 : 좋아요 좋아요.

이렇게 Bell Best 프로젝트가 시작되었습니다. 실제로 프로젝트의 이름들은 이렇듯 각자의 주장과 타협 재치등과 같이 설전에 의해 진행되어 이름지어지곤 합니다.

Bell Best 프로젝트는 로봇 개발을 위한 첫 번째 단계로 선택되었다.

Scene 4: 첫번째 Concept

Manabu 박사는 그와 유사하고 Astro boy 와 같이 세련된 로봇을 만들기를 원한다. 그는 로봇의 기계적인 디자인을 스스로 스케치 한다. 기계적인 디자인은 초기의 디자인 컨셉을 나타내기 때문에 매우 중요하다. 어떤 케이스 에서 비록 기계적인 디자인이 생산 디자인 이후에 생성되지만 디자이너로부터 생성된 기계적인 디자인은 처음으로 나와야 한다.

다음 장의 그림은 Manabu 박사로부터 만들어진 기계적인 디자인을 보여준다. 그의 디자인이 최초 접근한 컨셉에 기초를 둔다고 말할 수 없다. 게다가 그는 스스로 공급회사를 선택했다. 사실 그는 매우 독재적이다.

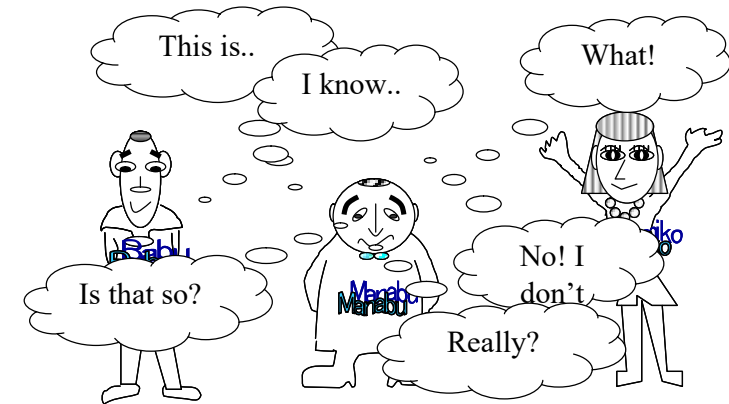
로봇의 뇌는 TBS, 다리는 XX, 몸체는 TT, 그리고 소프트웨어는 ZZ 로부터 만들어 졌다. 그리고 로봇의 이름은 ...

디바이스 이름 Bell , 후에 로봇의 이름은 Bell boy 이다. (쉬운 이름!)

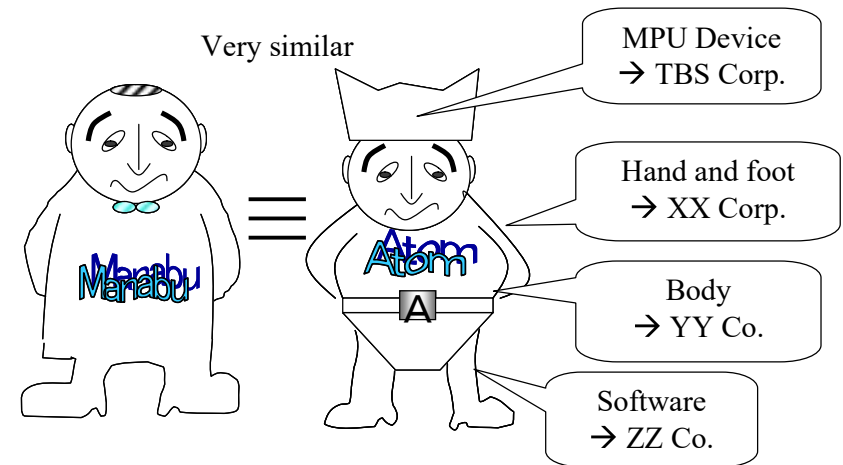
프로젝트는 다음의 개요에 따라 진행된다.

- 개발을 위한 디바이스 상품의 이름은 Bell이다
- 프로젝트 이름은 Bell Best 프로젝트 이다.
- 만들어지는 로봇의 이름은 Bell boy이다.

So many discussions in vain?



Concept First ! This is my job!



로드맵의 창조

Scene 5 : 로드맵

로드맵은 스케줄과 다르다. 중요한 것은 프로젝트의 완성을 위해 헌신적으로 일할 것으로 기대되는 개개인의 프로젝트 멤버들에게 현재의 중요한 프로젝트 상태를 명확하게 하는 것이다.

칩 제조를 위한 로드맵

Sunny (칩 제조사)로부터 만들어진 로드맵은 가장 중요하다. Sunny 는 시장조사를 수행하고 2010 년 크리스마스 전후로 Bell boy 를 출시하기로 결정했다. 이 목표를 성사시키기 위해 Bell 디바이스는 2009 년 말까지 개발되어야만 한다. 이 스케줄은 TBS(디바이스 제조사)가 발표 하였다. Manabu 박사는 역시 킥오프 회의 (최초의 프로젝트 회의)를 2007 년 1 월에 개최하기로 결정했다. (그가 얼마나 독재적인가!)

디바이스제조를 위한 로드맵

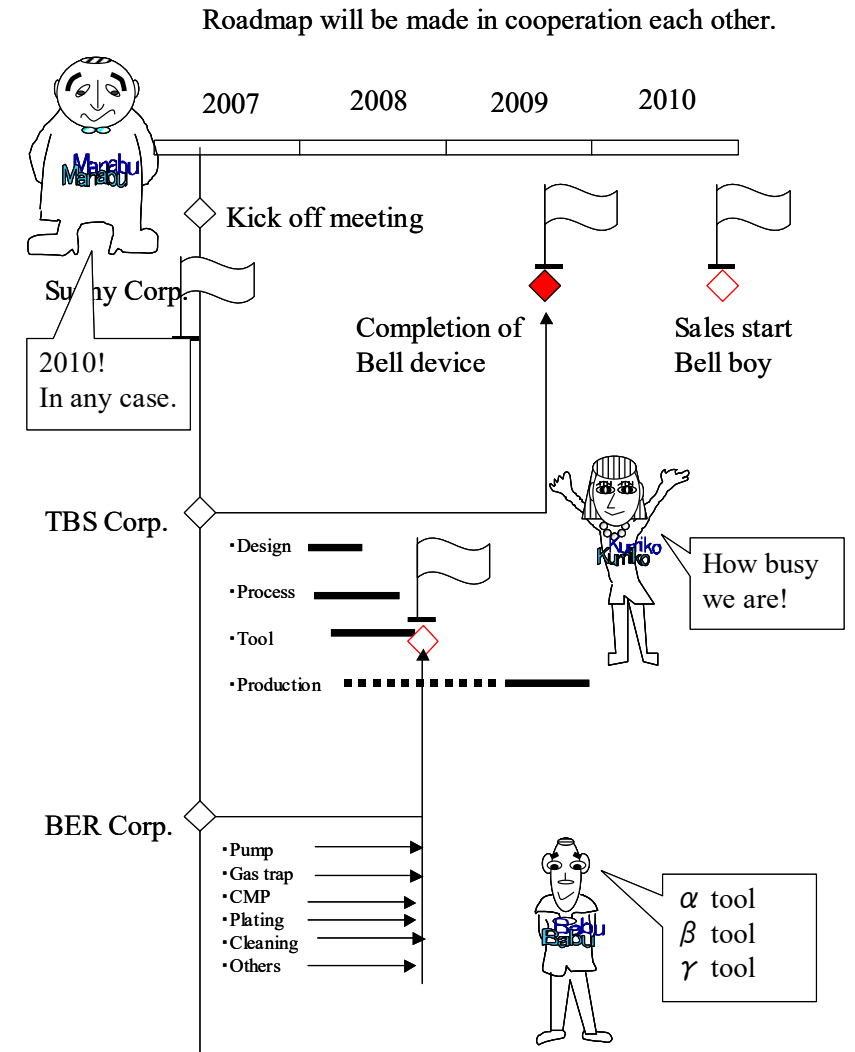
발표된 스케줄에 따라 TBS 는 디바이스 개발을 위한 구체적인 스케줄을 계획했다. 디자인과 공정, 그리고 제조의 기간을 고려하여, TBS 는 제조 시스템에 대한 마감일을 2008 년 말로 정했다. 디바이스 제조와 그들의 개발 기간에 필요한 시스템을 결정하기 위해 이 스케줄은 BER(장치제조사)에게 발표했다. 마감일을 맞추는 것을 확실하기 위해 TBS 는 각 도구의 개발에 대한 기간을 약간 일찍 세웠다.

- Data A 를 개발하기 위한 Lithography 장치
- Data B 를 개발하기 위한 CVD(chemical vapor deposition) 장치
- Data C 를 개발하기 위한 RIE (reactive ion etching) 장치
- Data D 를 개발하기 위한 CMP 장치
- Data E 를 개발하기 위한 도금 장치
- Data F 를 개발하기 위한 세정 장치
- Data G 를 개발하기 위한 배기관 장치

장치제조를 위한 로드맵

마지막으로 BER 은 자신의 스케줄을 설정하고 TBS 로부터 구체화된 마감일을 맞추기 위해 최선의 노력을 했다. 비록 공통된 시스템은 개발하기 쉬울지라도 전례없는 장치시스템 개발은 매우 어렵다. 개발된 시스템은 장치제조사 내부에서 처음으로 입증되고 (알파기) 그 후로 디바이스 제조사에서 입증(베타기) 그 뒤 최종양산기(감마기)가 출시된다.

최첨단성능이 반도체 제조에 필요로 되기 때문에 때로는 베타기버전이 최종버전의 개발 전에 출시되기도 한다.



TEG 는 무엇인가?

Scene 6 : Bell 디바이스 개발 (도금과 연마)

CMP 엔지니어 A 씨와 Babu 씨 사이에 대화에서..

Babu : 이번 데모의 결과는 그다지 좋아보이지는 않지만서도... 의뢰자로부터 받은 초기 프로파일과 하지막구조는 어떠했습니까?

A : 네? 당신이 말하는 초기 프로파일이 무엇이죠? 나는 그런 측정 아이템을 가지고 있지 않습니다. 그리고 하지막 구조는 기밀입니다. (그는 꽤 완고했다.)

Babu : (A 씨의 말로부터 충격받음) 그러나.. 그러나 당신은 초기의 단차 높이나 패턴 밀도를 알려주지 않고 연마성능을 보장할 수 있습니까?

A : ...

도금 엔지니어인 B 씨와 Babu 씨의 또다른 대화.

Babu : 이번 데모의 결과는 그다지 좋아보이지는 않습니다만...

나는 의뢰자로부터 지정된 도금을 위한 TEG 가 너무 복잡하다고 생각해요.

이번의 패턴 디자인이 특별한가요?

B : 네? 당신이 말하는 도금에 대한 TEG 가 무엇을 의미하죠?

나는 패턴이 없다고 말씀드렸는데.

이것은 기밀 입니다. (그 역시 약간 자신에 찬 목소리로 말한다)

Babu : (B 의 말로 다시 충격받음) 그러나.. 그러나 당신은 패턴 밀도를 알지 못하고 도금 퍼포먼스를 보장 할 수 있나요?

B : ...

Babu : 믿을수 없어요.. 우리는 TEG 에 관한 포괄적인 교육을 제공해야만 하겠네요..

장치 제조사와 위와 비슷한 경우로 마주치는 것은 드문 일이 아니다.

반도체 디바이스와 관련된 기술들에 대한 지식은 필수적이다.

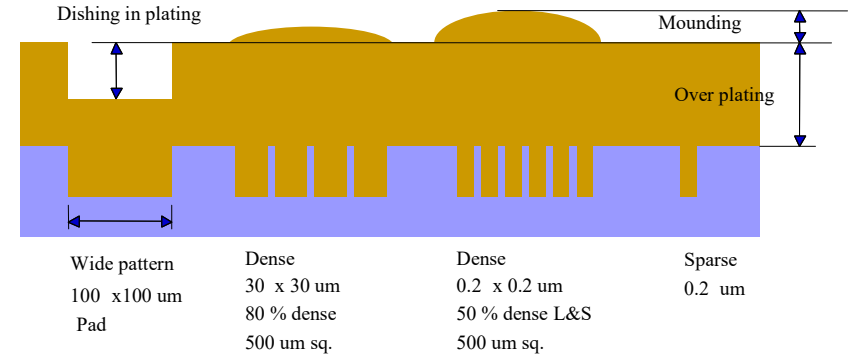
TEG 디바이스

Test Element Group (TEG) : 도금과 평탄화를 위한 TEG 요소는 디바이스 위에 정확한 영역을 나타낸다. 이것은 도금과 평탄화의 퍼포먼스를 위한 사양을 결정하는데 필수 적이다.

다음장에 나타나는 설명서에서 좀더 자세히 보자.

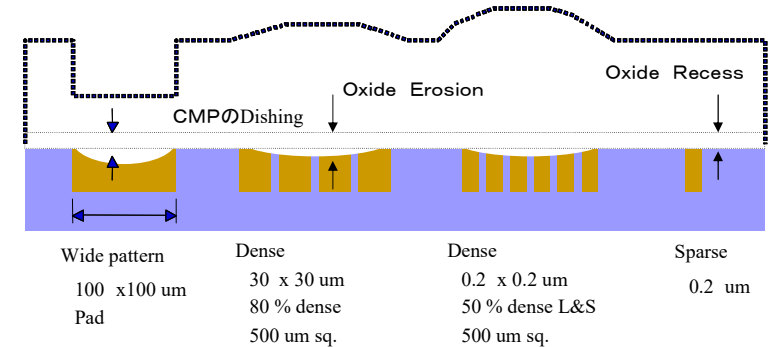
Necessary information for plating

Initial pattern profile and density are important.



Necessary information for CMP

Initial pattern profile and density are important.



디바이스에 대해 공부해 보자! (Let's study device)

디바이스표면

디바이스는 주로 메모리 디바이스와 Logic 디바이스로 구분된다.

(상세한 종류는 다른 전문서적을 참조)

메모리 디바이스와 logic 디바이스가 완전히 서로 다르다는 것으로 볼 수 있다. 메모리 디바이스는 메모리 영역으로 완전히 채워져 있고 반면 logic 디바이스는 사용자에 의해 천차만별의 여러가지 면을 가지고 있다. 도금과 연마는 다양한 양상을 가지는 웨이퍼의 각 층에서 수행되어 진다.

Floor plan

디바이스 제조는 Floor plan 이라 불리는 디자인 개요와 함께 시작된다.

- 전체적인 계획을 짜는 것 (어떤 모듈이 어디로 가는지)
- 모듈 계획을 짜는 것 (어떤 구역을 나눌지)
- 셀은 블록안에 있다

TEG의 컨셉

TEG를 공부하자. TEG는 다음의 4가지 단계를 갖는다.

1 단계 : BEOL 개발용 Metal Open, Short Via chain 등의 전기특성. 이외에도 도금과 CMP 만을 위한 Option TEG 등이 있다.

2 단계 : FEOL/BEOL Logic 등의 검증용

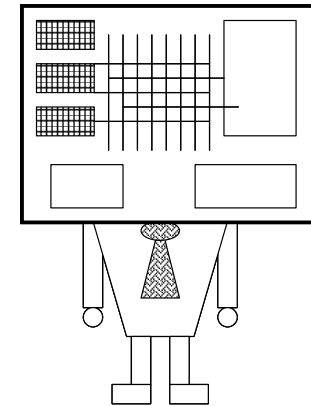
3 단계 : FEOL/BEOL TEG 영역은 웨이퍼 주위에 별도의 영역으로 만들어진다.

4 단계 : TEG를 없앤 최종 양산용 웨이퍼

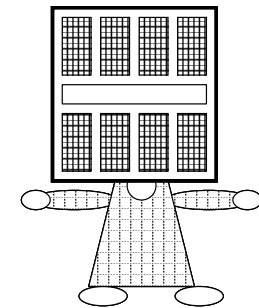
도금과 CMP를 위한 단위 공정 개발을 위해 특별한 Option TEG의 존재와 각층, 디바이스, 사용자에 따라 접촉 길이와 디자인이 다양해 진다는 것을 알 수 있다. 그리고 특수 목적을 위해 디자인된 TEG 전문 메이커로부터 만들어진 웨이퍼를 사용할수도 있다.

You should recognize difference of faces of logic and memory.

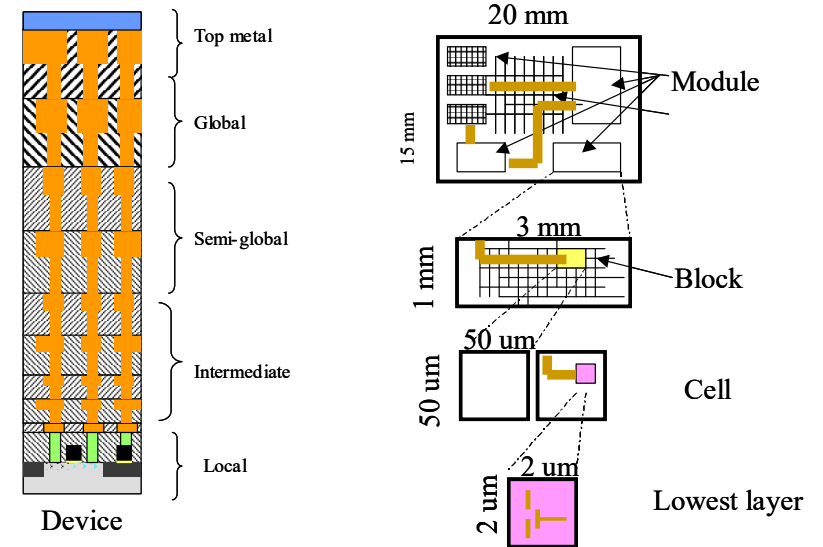
Face of logic



Face of memory



Floor plan (looks like a mansion)



완성된 Bell Boy ! (Bell Boy completed!)

Scene 7 : Order (장치발주)

마침내, 장치에 대한 주문이 BER 에게 맡겨졌다. BER 은 Lithography, Ion implantation, Deposition, Etching, CMP, 도금, 배기관 시스템, 수도와 같은 많은 공정 시스템을 개발하기 위해 고군분투 중이다. 그러나 회사는 어떻게든 마감일을 맞추었다.

현재, 프로젝트는 성공적으로 완성되었는가?

전혀. SoC 는 문제를 감추고 있다. 자세히 말해서 Multilayer interconnect 문제와 관련된 다음의 Chapter 들의 관한 설명을 보자. 많은 문제가 있다.

Scene 8 : Bell Boy!

다음장의 그림들은 Multilayer interconnect 문제를 나타내고 있다.

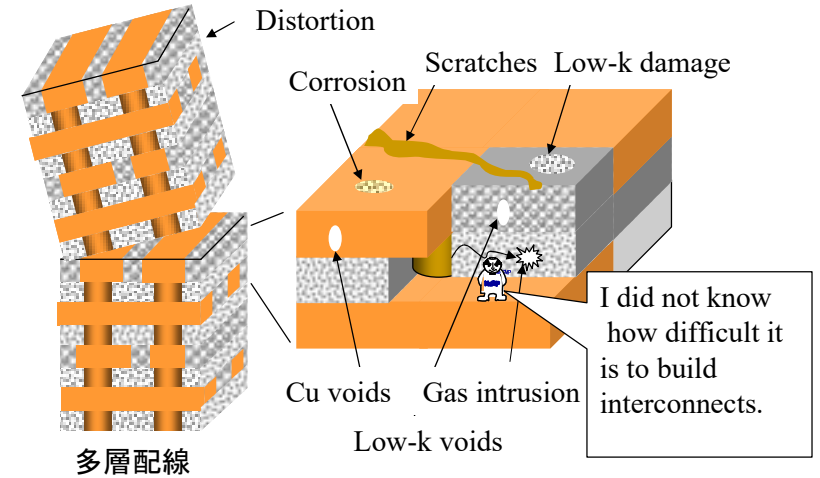
비록 자세한 내용은 다음 장에서 기술되겠지만 Dielectric 필름이 공공으로 가득차 있고 구리 Interconnect 는 스크래치와 부식으로 가득차있는 등 많은 문제가 있다. 이 결과 디바이스의 신뢰성이 문제로 되어지고 이 문제를 해결하기 위해 개발이 시작된다. 대학이나 학회를 확실히 Follow-up 하여 차세대 디바이스개발에 만전을 기해야만 하겠다.

Manabu 박사로부터 만들어지기 시작한 프로젝트는 마침내 완성이 되고 있고 많은 도전을 극복했다. 개발된 로봇, Bell Boy 이를 들어본적 있는지? 지금 유명한 여러 호텔에서 일하고 있는...

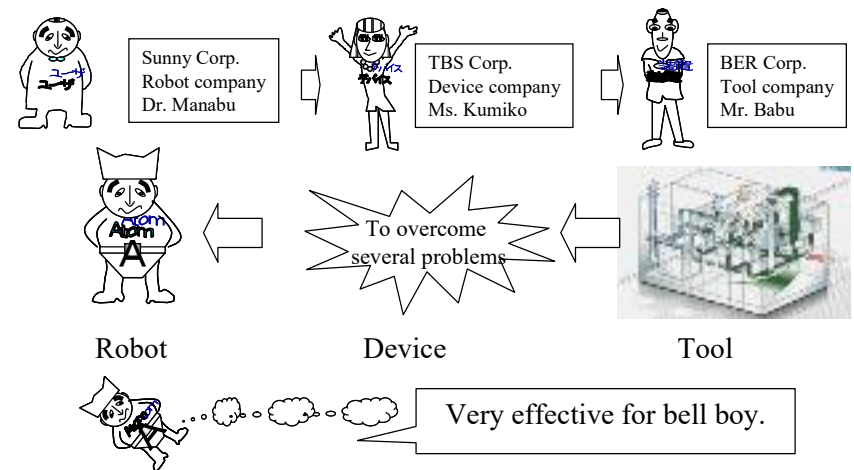
이렇듯 소설 같은 이야기는 여기가 끝이다. 그러나 여기에 여러가지 중요한 본질을 포함하고 있다. 나는 여러분이 이책을 여러번 읽어보길 추천한다. 이 이야기는 대학교에서 중요한 강의에서 Roll-play 를 위한 설명에 인용되고 있고 그 반응은 매우 호의적이다.

이어지는 다음내용에서는 기술적인 이슈에 대해 논의해보자~!

Interconnect problems



Completion of Robots

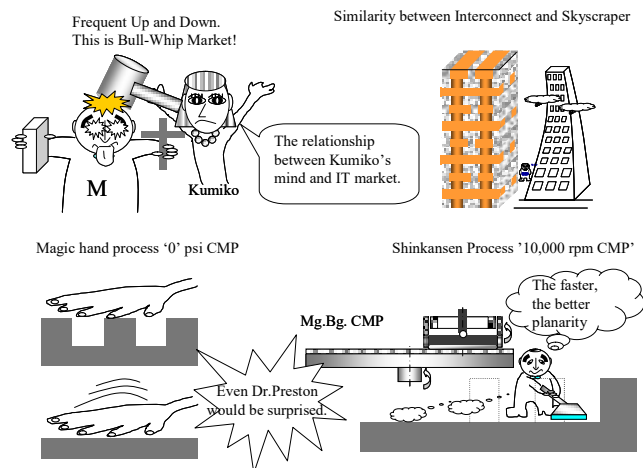


◆ 첫 만찬 강연

2003 년 제 8 회 CAMP 회의에서 처음으로 만찬 강연을 기획하였다. CAMP 에는 100 명의 엔지니어와 그 가족들이 심포지엄에 참석한다. 우리는 그들의 부모님이나 배우자에게 같이 저녁을 하면서 그들이 어떤 일을 하는지 알리는 것 동시에 같이 즐기도록 하는게 가족들에게 좋은 기회라고 생각했다. Babu 교수는 나에게 첫 만찬 이야기를 맡아달라고 당부하였다.

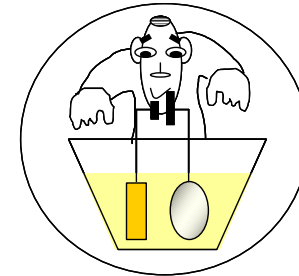
나는 몇몇 주제에 대해 이야기를 했다 : 반도체 산업은 Chipset, 디바이스, 장비 업체로 이루어진 먹이사슬과 같다. Kumiko (나의 아내)의 성격은 반도체산업의 경제 상황에 기복이 심한것처럼 그녀의 희로애락도 쉽게 오르락 내리락 한다는 애기, 다층의 Interconnection 은 고층의 빌딩을 올리는 것처럼 어렵고 대단한 노력을 기울여야 한다는 점. 나는 또한 혁명적인 (이게 정말 혁명일까?) CMP 의 최신기술에 대해서 소개도를 했다. 새로운 혁명적인 CMP 는 0 psi 압력에서 연마를 하고 10,000 번의 회전으로 연마를 해야 하는데 이 CMP 는 Preston 박사를 크게 놀라게 할 것이라는 것 등을 강연하였다.

땀을 흘리면서 만찬 강연을 마치고 그리고 강연단에서 내려왔을 때, 10 살 정도로 보이는 작은 꼬마 여자가 나에게 와서 “잘했어요” 라는 감사의 말을 전해주었다. 나는 최소한 나의 영어를 이해했다는 것에 대해 안도를 느꼈다. 만찬 강연은 지금도 여전히 열린다. 가장 최근에 열렸던 것은 2007 년 12 회 심포지엄에서 열렸었다. 청중을 웃게 만드는 것으로는 여전히 내가 최고의 연설자인 것 같다.



Chapter II

Wet Deposition Process: Plating



양동이 도금에서 반도체 도금까지

가장 오래된 도금에서 최신의 도금

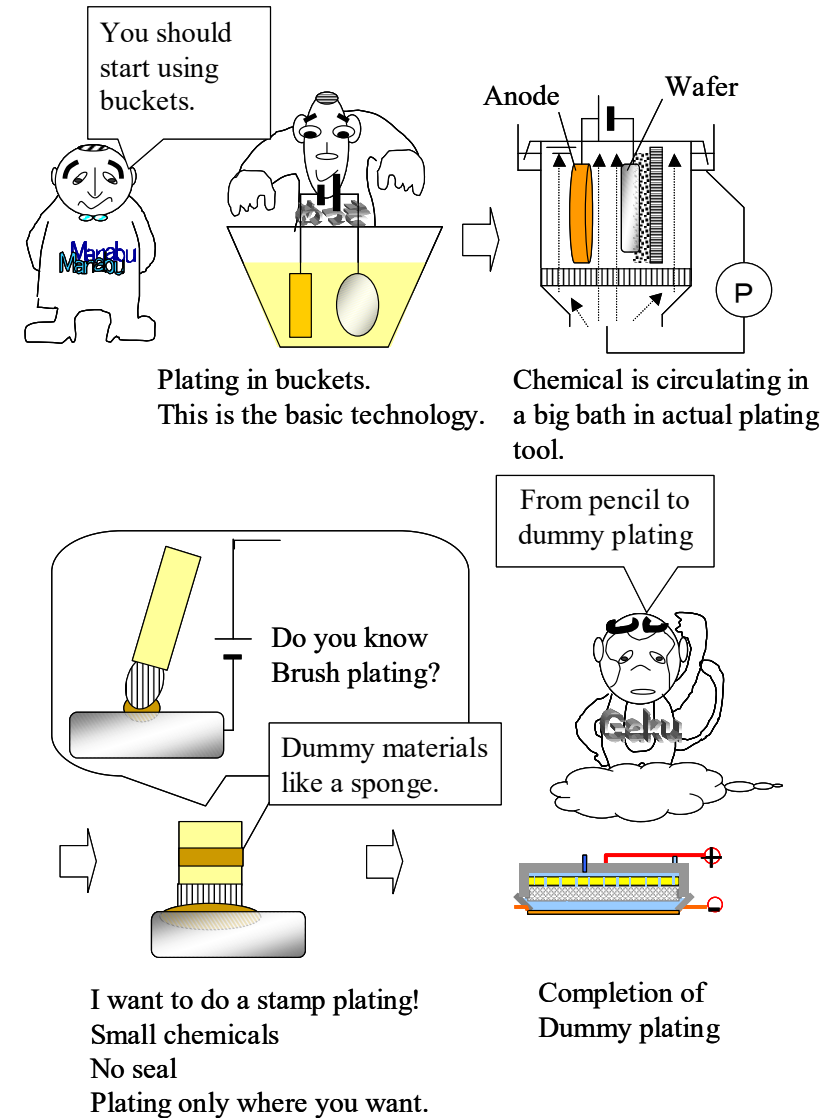
세상에서 가장 오래된 기술중 하나인 도금기술은 B.C 이전에 발명되었고, 4 세기쯤에 중국과 한국으로부터 일본에 들어왔다. 나는 도금의 기본은 양동이를 도금하다가 발견되었다는 사실에 계속해서 스트레스를 받아왔다. 왜냐구? 만약 도금에 관한 역사와 원리에 대해서 공부를 했다면, 양동이를 사기 위해 가게로 달려갈 것이고 어느 누구도 비싼 장비를 만들지 않을 것이다.

오른쪽의 그림을 보자. 뒤에서 언급할 것이지만, Cu 도금은 Cu 판을 아주 작은 전압을 가해줌으로써 도금을 시켜준다. 그리고 양동이와 같은 큰 통 안에 목표하는 물질을 넣는다. 정말 간단하지 않은가? 도금의 원리는 간단하다. 하지만 그것의 산업적인 응용은 다양한 추가적인 부품들이 필요하게 된다. 실제 반도체 도금 장치에서는, 큰 통(Bath)안에서 도금 용액을 순환시켜가면서 Anode(전극)과 웨이퍼(도금을 성막시키는제품)를 서로 향하여 설치되어 있다

게다가 도금을 발전시켜나가는 아이디어는 그 종류가 매우 많고 다양하다. 예를 들어 brush 도금과 같은 stamp 도금은 시스템안에서 사용하는 도금 용액이 적고 도금할 때 가장 큰 문제인 Sealing 을 필요치 않는다. 그것들은 오직 필요한 곳에서만 박막을 형성하는 개념이다. 이 개념을 더욱더 발전시킨 것이 (뒤에서 설명하는) “함침도금장치” 이다

반도체 도금 기술 역사의 개요

반도체응용의 도금기술에 관한 역사개요를 소개하고자 한다. 반도체 제조용 도금기술은 시기적으로도 성능적으로도 2 기의 세대로 나누어 설명 할 수 밖에 없겠다. 제 1 기는 80 년대 후반에 개발, 채용되어졌던 Bump 용 도금기술이다 이 공정은 가로, 세로길이 40 μm 인 정사각형 에 40 μm 높이인 구멍에 금을 채우는 금 Bump(전극)형성용 공정이며 이때의 성막량이 수십 μm Order 의 성막기술이다. 제 2 기는 90 년대 후반에 개발, 채용 되어진 배선도금기술이다. 이 공정은 Design rule 에 따라 Sub μm 크기의 구멍이다 홈을 채우는 배선형성기술이다. 다다음 페이지의 그림에서 연마와 도금장치의 개발과 채용시기의 유사성을 나타내었다.. 두 기술 모두 지저분하고, 어렵고, 경험의존적인 3K 라 말하는 장치이며 Stand-alone 장치로부터 세정기의 Build-in 모니터등의 탑재되는 개발역사를 나타내고 있다. 실제로 연마기술이 반도체제조공정에 먼저 선행되어 채용 되었기 때문에 도금용 공정은 보다 쉽게 실제 반도체 제조공정에 채택 되어졌다.



과거의 3K 에서 현재의 3K

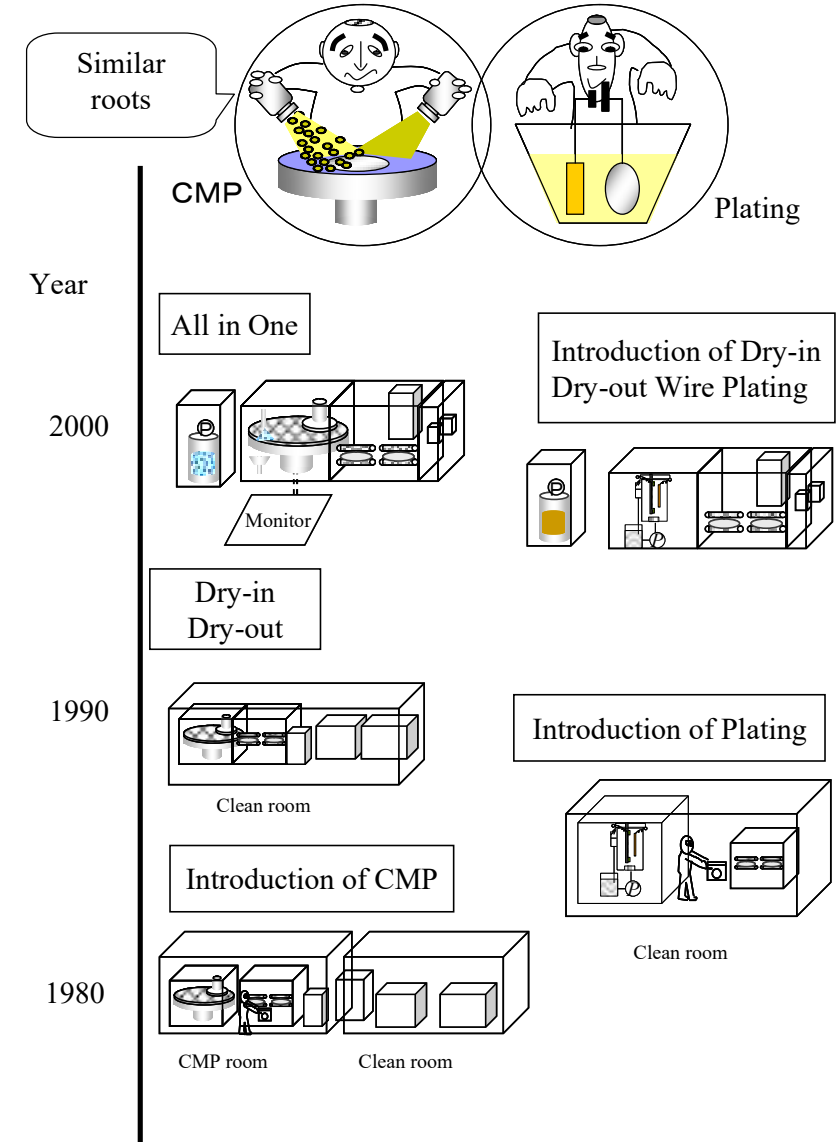
실장용 Bump 도금이 최초에

우선 금 bumping 공정장치의 특징에 대하여 기술해본다. 반도체 디바이스용 금 Bump 형성에는 금도금 기술이 이용되어 왔지만 도금공정은 매우 심각한 오염공정이라고 여겨져왔기 때문에 그린룸내에 설치되지 않고 Off-line (외부의 clean rooms) 에 특별히 설치되어 왔다. 금도금 공정은 반응실 주변에서 발생하는 먼지들이 많고 웨이퍼 자체만의 오염뿐만 아니라 장치외부로까지의 오염이 문제로 되어왔다. 금 Bump 공정은 웨이퍼 제조공정에서는 최종 단계에서 행하여지기 때문에 웨이퍼 자체의 오염은 심각한 문제로는 되지 않으나 외부로의 오염은 중대하게 되어 아무래도 반도체디바이스 전공정의 크린룸에는 설치되는 것이 어려웠다. 그랬지만 반도체 디바이스의 납기를 단축시키기위해서는 Off-line 에서 작업하는것보다 In-line(크린룸내)에서 작업하는 것이 압도적으로 유리하다. 이 때문에 80 년대 후반에 기존의 3K (Kitanai; 더럽고, Kitsui; 어렵고, Keken-teki; 경험의존적인) 도금기술에서 새로운 3K (kirei; 깨끗하고, kantan; 쉽고, kagaku-teki; 과학적인) 기술로 급박한 변화가 이루어졌다. 이러한 연유로 반도체 디바이스 제조용 도금장비들의 개발이 시작되었다.

그당시 개발의 중요한 목적은 크린룸내에 설치가능한 크린설계가 고려된 장치의 개발과 차세대에 요구되는 Bump 디자인 Pitch 의 미세화에 대응가능한 도금공정의 고성능화 였다.

배선 도금장치의 개발

배선용 도금공정은 반도체디바이스제조의 Main 공정이다. 1997 년 IBM 이 Logic 디바이스에 Cu 배선을 채용, 발표하였다. CMP 발표에 이어 두번째의 충격적인 IBM 쇼크성 발표이었다. 내가 처음 CMP 를 시작했을때만해도 현재의 사용처 만큼 그정도로 연마가 반도체 제조기술에 채용될거라고는 생각치 못했다. 도금의 경우는 80 년대 후반에 이미 전술한 웨이퍼용 Bump 도금장치가 채용되었음에도 불구하고 이러한 도금공정이 배선공정에까지 채용되라라고는 생각치 못했다. 장치 배선도금의 시대가오면 대응가능한 정도의 주변기술을 Bump 공정으로 확립할 수 있을 정도로만 인식했었다. 그만큼 Cu 배선공정용장치는 Bump 공정용보다 엄격한 오염방지대책과 미세화에 따른 고성능화를 요구하고 있는 것이다.



다양한 도금장치

다양한 도금 시스템의 역사에 대해 알아보자. 옆 장의 그림은 도금장치의 발전의 변화를 보여주고 있다.

수직 dip 방법

1980 년대에 LCD 드라이버 IC 에 금 Bump 도금은 소위 수직 Dip 방법이라고 불리고 사용되었다. 이 방법은 왁스를 칠한 웨이퍼 표면의 뒤를 덮고 도금 bath 에 그것들을 집어넣는 방법이다. 도금후의 왁스를 제거하기 어렵기 때문에, 이 방법은 cup up stream 방법으로 대체되었다.

Cup up stream 방법

이 방법은 웨이퍼를 아래방향을 향하게 설치하고 아래로부터 도금 용액을 불어 넣는 방법이다. 이 방법은 도금 용액이 뒤쪽 표면에 닿지 않기 때문에 웨이퍼 표면의 뒤쪽을 Deposition 되는 것을 막을 수 있다. 그러나 이방법은 웨이퍼 단면에 도금이 되어 버리기 때문에 후공정에서 Chip 을 잘라 분리할 때에 Au 가 오염원으로되는 단점이 아직 해결되지 않고 있다. 또한 도금액중의 기포가 웨이퍼면으로부터 제거되지않고 남게 되면 도금이 안되는 결함을 유발시킬수 있게 된다..

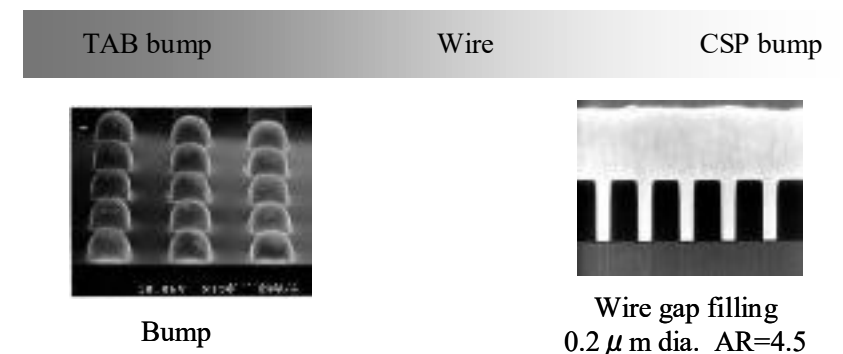
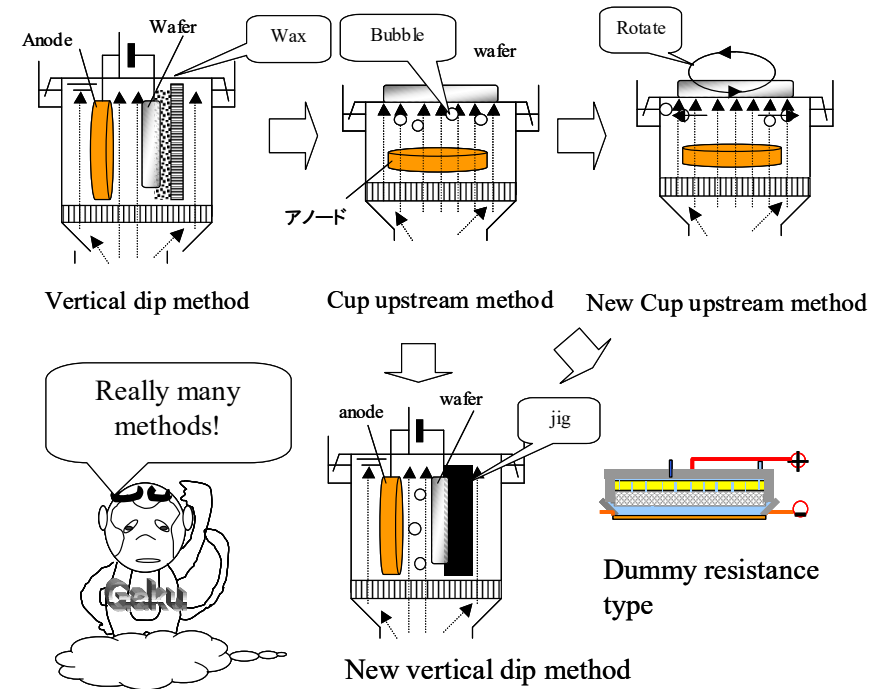
새로운 수직 dip 방법

위의 단점의 대안으로 새로운 Dip 방법이 개발되었다. 그것은 웨이퍼 뒷면과 단면을 특수한 지그로 덮고 기존의 수직 dip 방법을 실시하는 신형 수직 Dip 방식이다.

새로운 cup up stream 방법

기존의 Cup upstream 방법에서의 어려웠던 문제점인 기포를 제거하는 것을 목적으로 웨이퍼를 회전시키가면서 도금을 하는 방법이라 할 수 있다. 이렇게 함으로써 용액중의 기포가 웨이퍼 표면에 부착하는 것을 적게 할 수 있다.

이렇듯, 세상에서 가장 오래된 기술중의 하나 도금 기술이 최첨단 반도체 제조공정 기술로서 정착 되어졌다.



4 개의 영역

각각에 대한 상세한 내용은 기술하겠지만 반도체 디바이스용 도금은 크게 나누어 아래의 4 종류의 응용이 있다..

전극용 Bump 도금 (금, 등)

반도체디바이스의 다층배선의 최후에 외부(예를 들어 Interposer)에 접촉하는 전극을 Bump 라고 칭하고 금도금등으로 성막시켜 작성한다. 이 Bump 는 디바이스의 종류에 의해 그 크기, 갯수는 다르지만 향후 이 Bump 도 수십 μ m 미세화되어 특히 갯수도 수천개로 된다고 1980 년대에 예상되어 매우 빨리 미세화 도금기술이 개발 채택되어졌다.다.

배선공정의 Cu 도금 (구리)

Cu 배선을 도금에 의해 성막하고 그것을 연마하면서 깎아 작성하는 소위 다마신(Damascene)공정이 1980 년대에 고찰 되었었다. 다마신공정이란 절연막을 Etching 하여 배선홀을 만들고 Barrier 층과 Seed 층을 스퍼터공정으로 성막 후 도금 Cu 배선을 성막, 그후에 CMP 로 연마하여 배선을 만드는 방법이다.

배선상의 고용점 Capping Metal 도금 (Co-W 등)

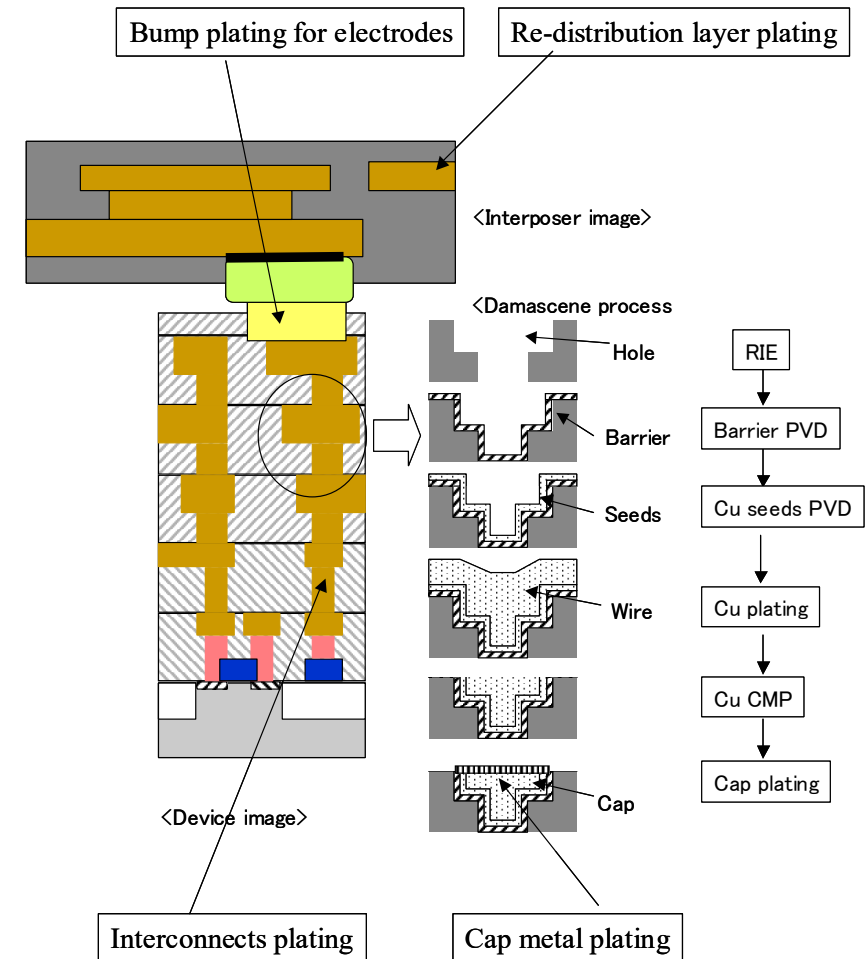
구리 다층 배선이 채택된 이래로, 도금 기술은 반도체 제조업의 다양한 장점으로 적용되어 왔다. 그러한 예로 구리배선도금 후에 윗부분에 모자(cap)를 놓은듯한 형태로 성막하는 기술이 나타났다. 이것이 고용점 Capping Metal 기술이다. 자세한 내용은 뒤에 설명하겠지만 목적은 배선으리 신뢰성을 향상시키는데 있다.

재배선용 실장 도금 (구리, 니켈, 등)

특히 디바이스로부터의 배선을 외부에 연결시킬때에 배선위치를 변경하는 소위 재배선공정에도 당연히 도금기술이 사용되어 졌다. 구리나 니켈이등이 도금된다..

이상, 4 개 응용에 대하여 기술하였지만, 도금기술 즉 Wet 성막 공정의 응용의 범위는 향후 계속하여 넓어질 것이다.

Four(4) important application



6 개의 Sub 시스템

도금 공정에 있어 Sub 시스템은 (1) 도금액의 화학적 공급과 관리 (2) 도금공정부, (3) 세정부, (4) 반송부, (5) Load/unload 부, (6) 폐기물 처리부 등이다. Wet 공정 시스템으로써 CMP 와 유사한 부분도 있다.

도금액의 공급과 관리부

도금액도 각회사에 따라 다르지만, 도금농도관리외에도 첨가제의 관리나 온도, 압력, 필터등의 각종 관리가 필요하다. 도금액공급장치에서는 단순히 도금액을 공급하는것만이 아니라 여러가지 필요한 관리를 실시하고 있다.

도금공정부

도금은 다양한 방법이 가능하다. 각사의 노하우에 의하여 도금이 진행되고 있다 자세한 내용은 뒤에서 설명한다.

세정부

도금공정에 따라 세정이나 건조의 사양이 다르지만 웨이퍼공정의 Dry-in/dry-out 은 필수 공정이다. 또한 도금후의 표면개질도 세정공정의 역할이기도 하다..

반송과 Load / unload 부

반송은 웨이퍼공정장비에서 공통의 Platform 화가 가능하다. 사실 우리회사에서 개발한 도금장치는 CMP 장치와 똑 같은 Load/unload platform 을 채택하고 있다.

폐기물 처리부

도금에 있어 폐기물 처리는 필수항목이다. 특히 도금액의 재생, 재활용등의 환경을 고려한 설계가 향후에는 점점 더 요구되어지리라 본다.

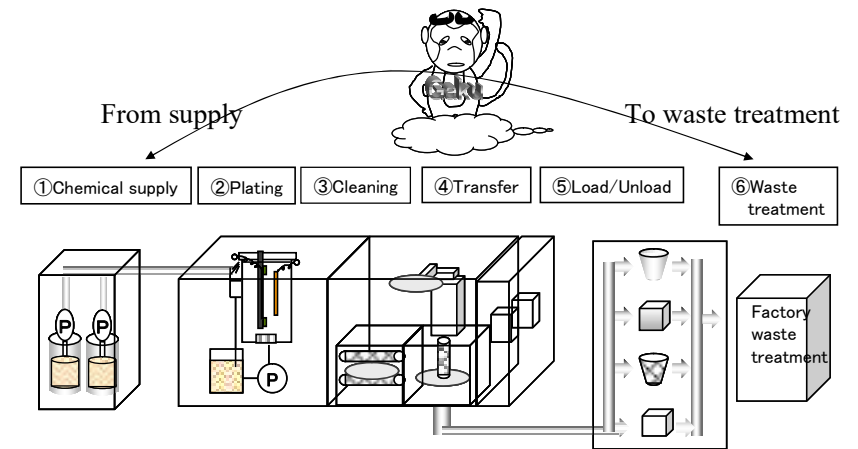
Dry-in/dry-out

도금장치의 보급을 위해서는 필 수적인 기술이다. 특히 300mm 용 장치에서는 Mini-enviroment 로 개발되었다..

전체의 조화

이러한 것등을 종합하여 도금용액공급으로부터 성막, 세정 및 폐액처리까지 포괄적인 시스템 구축이 요구되고 있다.

옆면에 장치개관도를 나타내었다.



Sub-systems for plating



Photo of Plating Tool

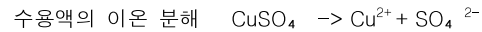
Faraday 법칙에 대해서 시작해보자

도금에 관해서 이야기할 때 항상 페러데이 법칙(Faraday's law) 언급된다. 기본중에 기본이기에 이것을 먼저 설명하고자 한다. 연마의 Preston 법칙과 같이 생각해보자

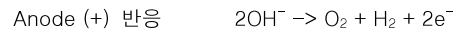
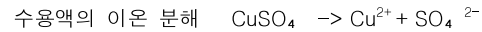
용해 Anode 와 불용해 Anode 와 반응식

Anode 의 종류에 의해 용해 Anode 와 불용해 Anode 가 있다. 그 차이에 대해서는 전문서적을 참조하기 바란다. 여기에서는 반도체 도금기술에서의 필요한 최저한의 것을 CuSO_4 도금을 예로하여 설명하려한다.

용해 Anode 에서는 하기의 식에 의해 공정이 진행된다. 인가하는 압력은 물의 용해 반응압력(1.25V) 이하에서 실시한다.



같은 방식으로 불용해 Anode 에서는 아래의 식에 의해 공정이 진행된다.



페러데이 법칙의 응용

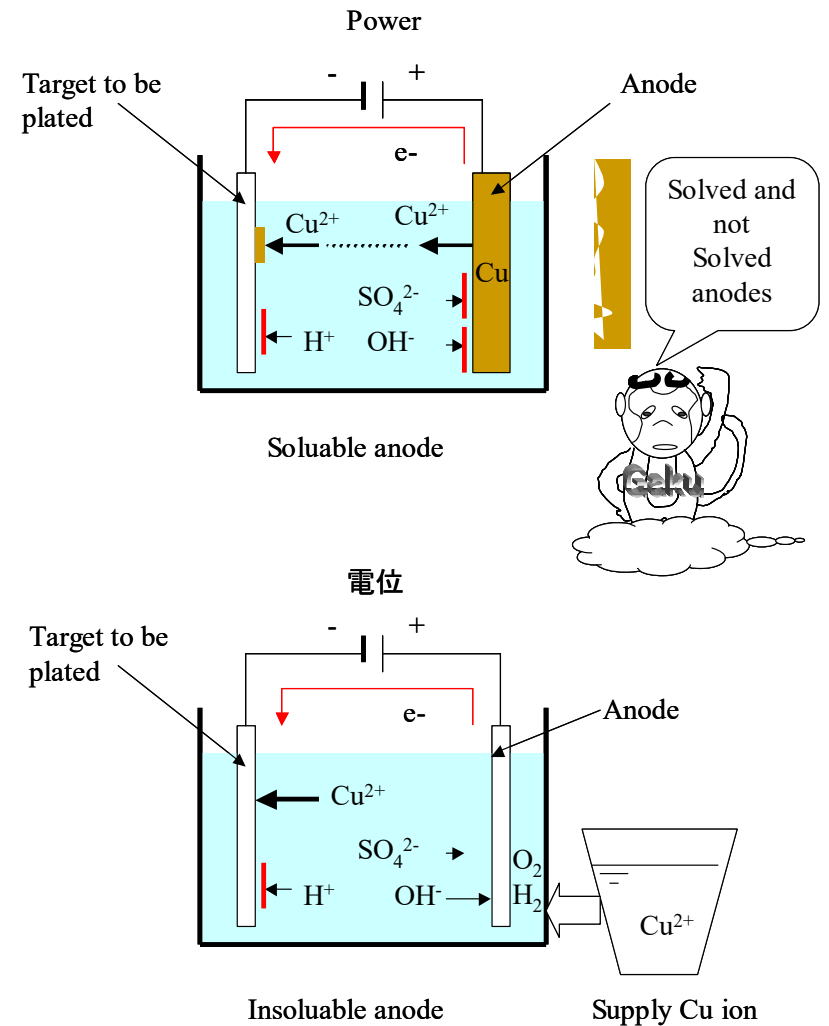
반도체디바이스에 성막시키는 구리의 두께를 구하여 보자. 페러데이 법칙으로부터 구리의 성막량은 흘려진 쿨롱의 량에 비례한다.

따라서 아래의 식으로부터 간단히 웨이퍼 위의 Cu 의 성막속도 성막량을 계산할 수 있다. 편리하기 때문에 생각해보자. 통상의 도금에 사용하는 전류밀도 ($20\text{mA}/\text{cm}^2$)으로 계산하여 보자.

페러데이 법칙에의해

도금의 석출량 = (전류값) x (도금시간) x (Cu 1g 등량)

도금두께는 $0.44 \mu\text{m}/\text{min}$ ($20\text{mA}/\text{cm}^2$)로 계산된다



세가지 비밀약품

다음으로 첨가제의 역할에 대하여 그것도 간단하게 서술하고자 한다. 도금공정은 이러한 첨가제가 노하우이기에 이것들에의해 전체적인 성능이 결정된다말해도 과언이 아니다. 첨가제로는 기본적으로 (1) Suppressors (억제제) (2) Accelerators (촉진제), (3) Levelers(평활제)가 있다. 각각의 역할을 간단히 설명한다.

Suppressor

이 첨가제는 염소를 중개료하여 구리표면에 흡착한다. 흡착된 구리표면은 도금석출이 억제되어 국소적인 석출을 완하여 핵발생밀도를 향상시키는 거동을 한다. 흡착초기시의 Field 부 및 Trench 하부의 흡착량이 달라 결국 Field 부로의 흡착량이 Trench 쪽보다 작기 때문에 Bottom-up 에 영향을 미친다고 여겨진다. 이러한 첨가제로서 계면활성제가 많이 사용되고 있다.

Accelerator

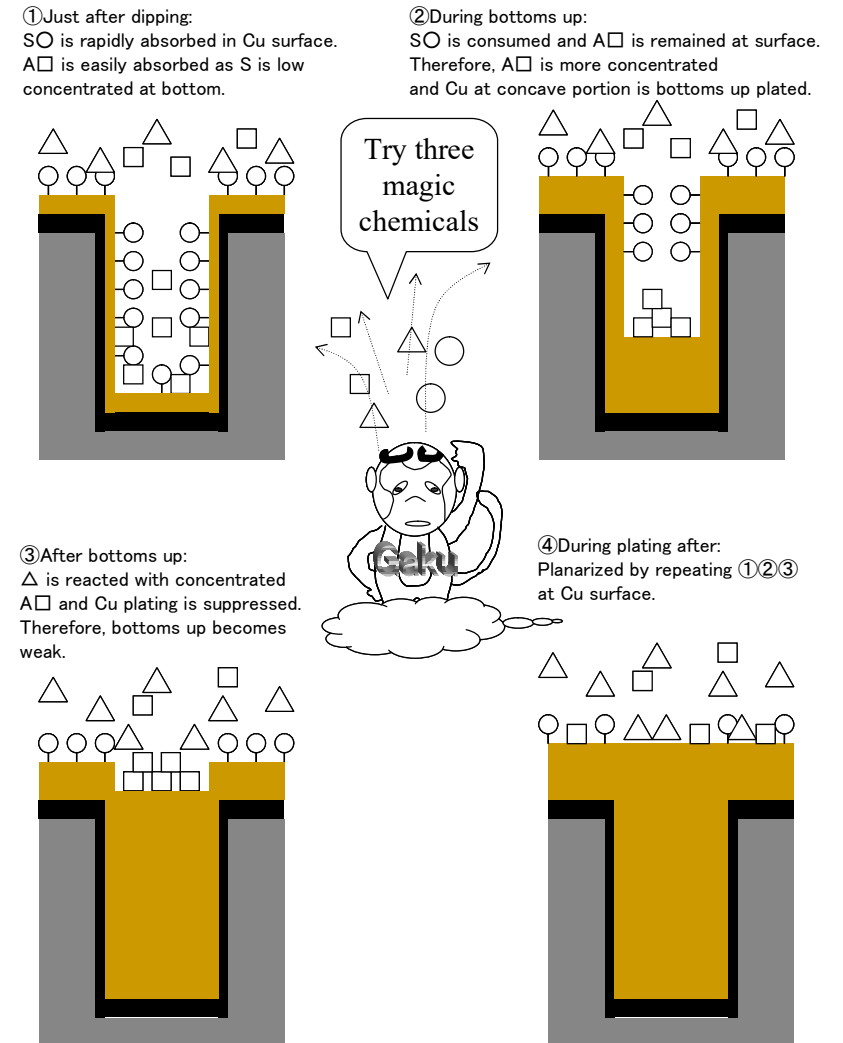
이 첨가제는 Suppressor 과의 경쟁흡착관계가 있어 도금 석출전위를 낮추는 거동이 있다. 도금표면에 잔류하는것에 의해 도금표면형상의 변화에 의한 국소적으로 농도가 높아짐으로 도금촉진의 효과를 갖는것이라 생각되어진다. 결국 요철부의 오목한부분의 도금을 촉진한다. 유기황화합물이 대표적인 예이다.

Leveler

이 첨가제는 도금석출을 억제하는 거동을 한다. 흡착이 용액의 교반에 의존하기 때문에 Trench 아래부분의 액 흐름이 느려 확산층이두꺼운곳에는 흡착하기 어렵다. Accelerator 의 석출촉진효과를 억제하고 막두께의 평탄성을 향상시키는 거동이 있다. 4 가 아민 성분은 전형적인 Leveler 의 예이다.

이상은 대략적인 설명으로 상세한 내용은 전문서적을 참조해주시기 바란다. 경우에 따라 상기 3 종류의 첨가제는 2 종류로 범주로 분류하기도 한다.

Roll of chemical agents for H₂SO₄ plating



반도체공정에 요구되는 도금성능

도금 성능

도금은 (1) 성막속도, (2) 성막의 균일성, (3) 결함, (4) Gap filling 성능, (5) 막의 밀착성, (6) 저항성, (7) 막중불순물 등에 의해서 평가된다.

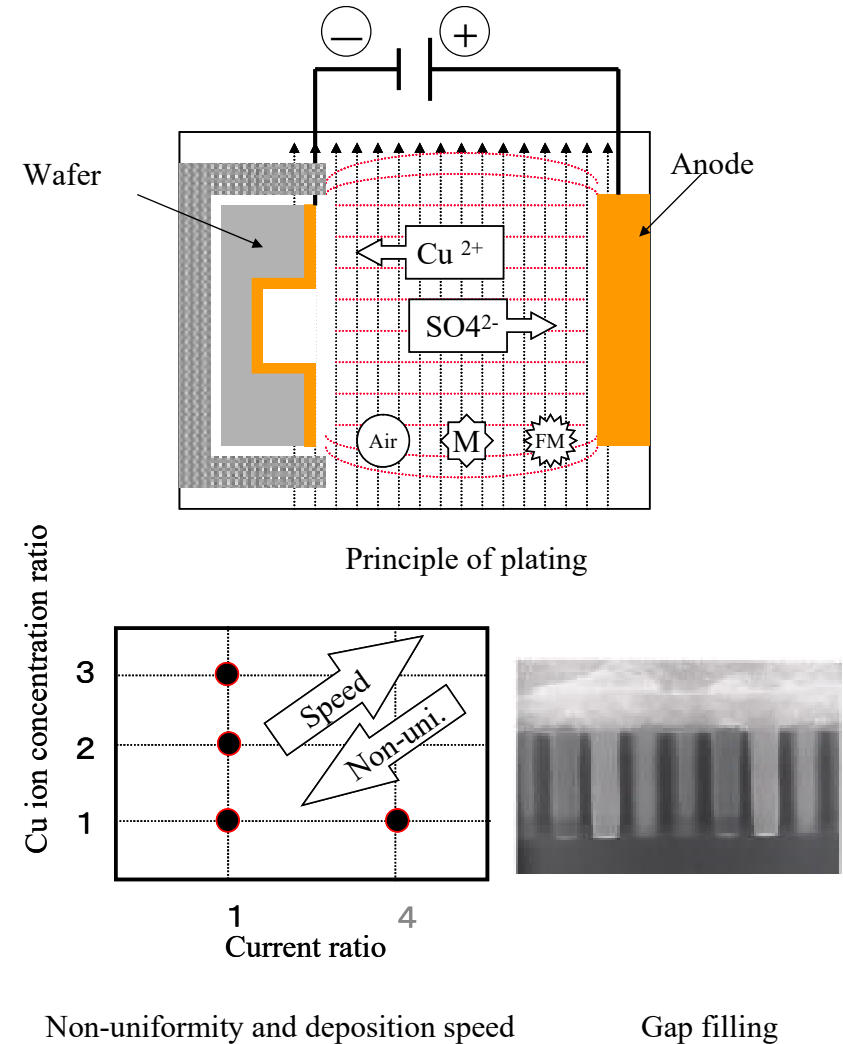
- (1) 성막속도는 페러데이법칙대로 전류밀도와 도금액중의 금속이온농도의 관계를 따른다..
- (2) 성막의 균일성은 웨이퍼전체에 전류밀도를 일정하게 하는것이다. 그렇게하기 위하여 웨이퍼 표면에서의 용액의 흐름을 일정하게하고 전해제어가필요하다.
- (3) Defect 는 Void(공극), Particle, 부식, 침식등의 총 개수에 의해 평가한다.
- (4) Gap filling 성능은 첨가제에 의해서 조정되고있다. 디바이스에 미세화에 의해 Gap-fill 능력은 어렵게되므로 이에 대한 개선은 반드시 필요한 항목이다.
- (5) 베리어막의 밀착성은 Electro migration (EM)특성에 영향을 주기 때문에 중요한 변수이다.
- (6) 동배선의 경우에 있어 낮은 저항은 구리 배선의 목적 중 하나이다
Bulk 에서의 $1.6\mu\Omega\text{cm}$ 저항에 대하여 배선에서의 $2.2\mu\Omega\text{cm}$ 정도가 목표로 된다.
- (7) 순도 : 이것도 우선은 철저히 불순물은 완전히 제거 하여야 한다. 하지만, 제어된 불순물은 EM 성능을 향상시키는데에 있어 필수적이기도 하다.

실제 예의 소개

일반적으로 CuSO_4 도금에서 전류밀도와 구리이온 농도를 Parameter 로 한 Gap-filling 실험예를 나타내었다. 일반적으로 전류밀도나 구리이온농도를 높이면 성막속도를 높이지만 성막의 균일성이 악화하는 경향이 있어 균일성을 고려하면서 조건을 결정할 필요가 있다.

흐름의 시각화

위에서 서술한 것들의 기초가 되는 용액의 균일성은 Hydraulic passage design 설계를 컴퓨터해석과 가시화기술을 이용하여 개발하고 있다.



세정과 오염제어

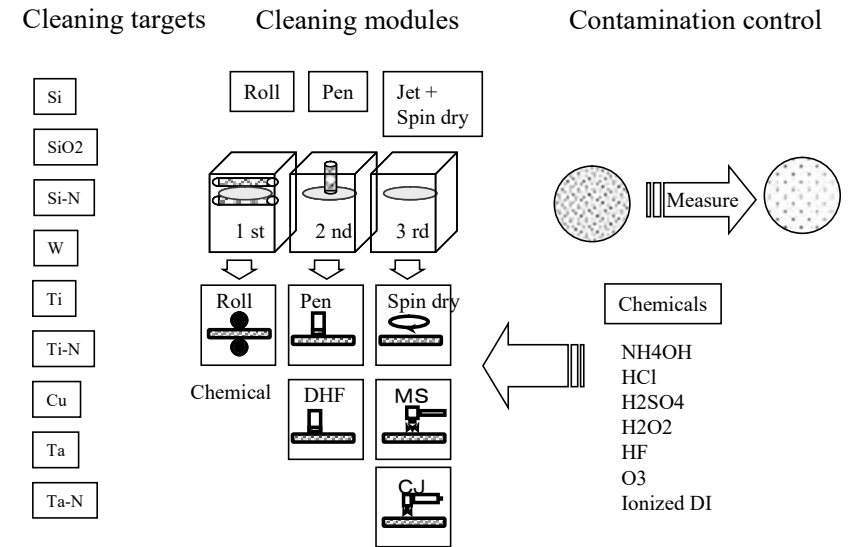
세정

세정면은 반도체 공정에서 사용되는 다양한 재료 (Si, SiO₂, Si-N, Cu, Ta, Ta-N, 등)이며 세정대상은 도금액 및 FM(Foreign material)이다. 이것들이 혼재된 상황에서 세정소재의 침식도 고려하기 위하여 디바이스공정을 잘 이해할 필요가 있다.

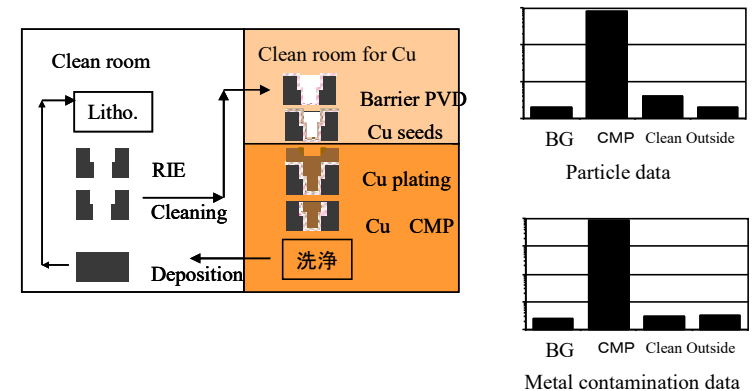
- (1) Roll 형: Roll 부를 수백회 회전시키며 웨이퍼 표면을 동시에 앞,뒤를 세정하는 표준 시스템
- (2) Pencil 형: (1)과 유사하게 수백 rpm 으로 Pencil 부를 돌려 웨이퍼 표면의 앞부분을 세정하는 표준 시스템으로 (1) Roll 과 같이 가장 많이 쓰이는 표준 방식이다.
- (3) Jet 형: 표준 Jet 유형에 첨가하여, 울트라소닉 웨이브와 Cavitation 을 기초로 한 jet 세정이 가능하다. Cavitation jet 은 기존의 유형에 비해 넓은 영역이고 세정의 고효율을 제공한다. 이방법은 Blanket 웨이퍼가 아닌 요철부를 지나는 Pattern 웨이퍼 표면에서는 몇배의 효율을 나타낼 수 있다.
- (4) Spin 건조: 이 공정은 펜 유형(2)이나 jet 유형(3) Module 에 설치되어 최종 건조를 행한다.

오염원 제어

Cu는 반도체디바이스에서는 환영 받지 못하는데 재료로 Cu도금이나 CMP장치를 크린룸에 설치할 때 큰 Issue 가 되었다. Cu 관련 장치는 크린룸의 Cu 오염 조절설계시에 큰 영향을 줄 수 있다. 여러 번의 시행착오 후에, 구리와 관련된 시스템을 특별한 공간에 설치함으로써 안정을 꾀할 수 는 있지만 비용이 많이 든다. Cu 장비를 통상의 크린룸에 설치하면 비용은 적게들지만 위험성이 크게 된다. 적절한 중간채택방식도 고려되고 있지만 이는 전적으로 디바이스 메이커의 엔지니어링선택 사항이다. 또한 기류설계를 확실하게 하여야 하며 외부로의 오염이 없도록 연구되어야 한다 참고로 CMP 에서의 장치 기류설계는 이미 검증된 바 가 있다.



Cleaning modules



Contamination control

Pinch-off 가 있는 작은 구멍에 채워넣기?

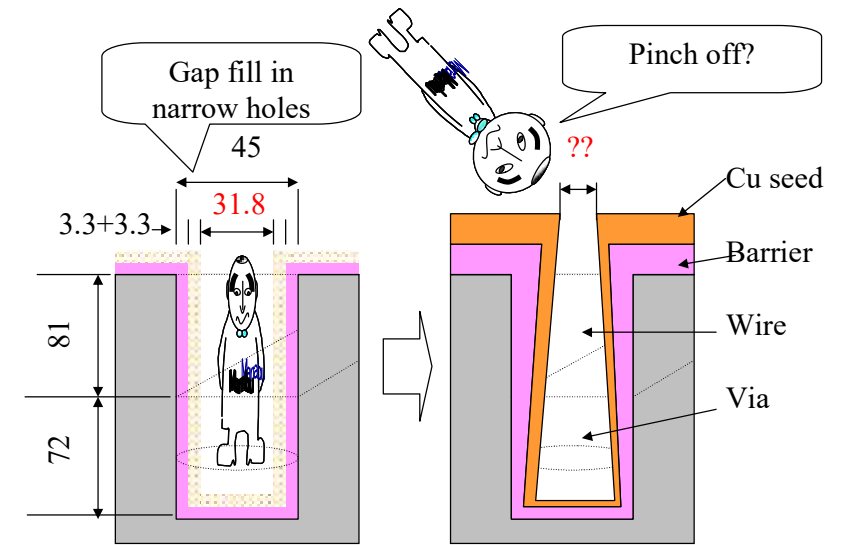
배선 도금의 필요

향후의 배선의 요구가 어찌될까를 조건을 토의하기 위해서, 우선 ITRS 2005 시기에 국제 기술 안내서에서 예상한 2010 년 조건을 보면 도금에 요구되는 Gap-fill 의 Aspect ratio (배선/Via 비율)는 1.8/1.6 이었다. 여기에 Barrier 두께 3.3nm 과 seed layer 두께 3.3nm 을 더하면, 실제 배선/via 의 Aspect ratio 는 2.25/2.6 이다. 특히나 Barrier 공정전에 산화막 Etching 측벽이 영향을 받은 형상을 고려하면 Gapping fill 측면에서 더 큰 어려움을 예상할수도 있다. 또한 3.3nm 의 seed layer 의 저항은 극단적으로 높은 수치로 되어 300mm 반경방향에 불균일은 증대된다. 만약 seed layer 가 제거된다하더라도 Barrier 가 전극으로되기 때문에 이때의 저항치는 더욱더커지게되어 300mm 반경방향의 불균일은 더욱더 증가하게 된다. 결국 미세화 경향의 추세로, 2010 년 45nm 세대에는 높은 seed layer 저항성과 아주 어려운 gap filling 의 형상을 요구받을 수도 있겠다.

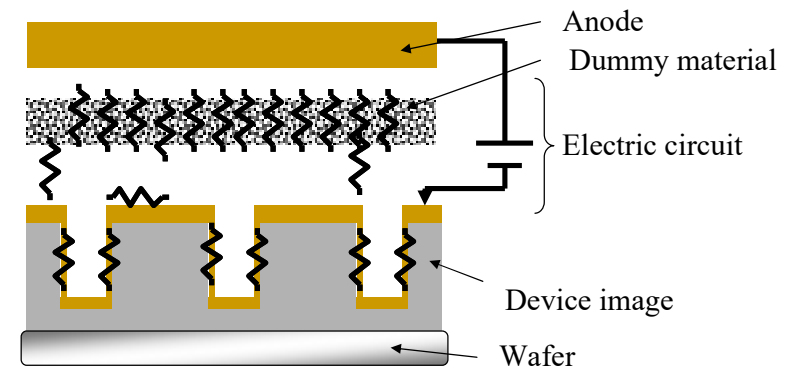
함침재 Dummy 저항에 의한 도금

위의 문제를 개선하는 혁신적인 기술을 소개하겠다. 기존의 도금 방법으로 Seed layer 를 얇게 하면, 웨이퍼 반경 방향의 면내균일도가 악화되는 경향이 있다. 본 방법에서는 Dummy 저항기능을 갖는 함침재를 채움하면 통전용 Seed 막 두께를 박막화하여도 웨이퍼 반경방향의 면내균일도를 악화시키지 않고 현재로서의 세계 최고수준의 도금성능(웨이퍼 면내균일도 3sigma 로 10%, 배선평 0.1 μm 로 Aspect ratio 4.5 의 Contact Hole 의 도금)을 달성할 수 있다.

주의) 기존의 도금 방법의 경우 (Dummy 저항 기능을 가진 함침재료를 사용하지 않음) Seed 층 두께가 60um 정도이면 상기의 성능 (웨이퍼 면내균일도 3sigma 로 10%, 배선평 0.2 μm 로 Aspect ratio 4.5 의 Contact Hole 의 도금)을 달성할 수 있지만 Seed 층 두께가 20nm 정도로 되지 않으면 달성할 수 없다.



Wire and via dimensions for 45 nm device in 2010



Dummy plating tool image

겨우 60cc Bath(조) ?

장치개요

장치의 Anode 헤드구조로서의 장치 Module 구조를 표시하였다.

(1) Anode 헤드구조

웨이퍼는 위방향을 향하여 설치되고 Edge seal 내에 전극접점을 설치한 (Dry Contact 형)을 채용한다. 도금액은 웨이퍼 위에 1mm 이하의 얇은 Pitch 로 한다. Anode 와 웨이퍼사이에 Dummy 저항으로써 다공성세라믹을 배치한다. 도금액은 주입구로부터 상부 Chamber 와 하부 Chamber 에 공급할 수 있다.

(2) 장치 Module 구조

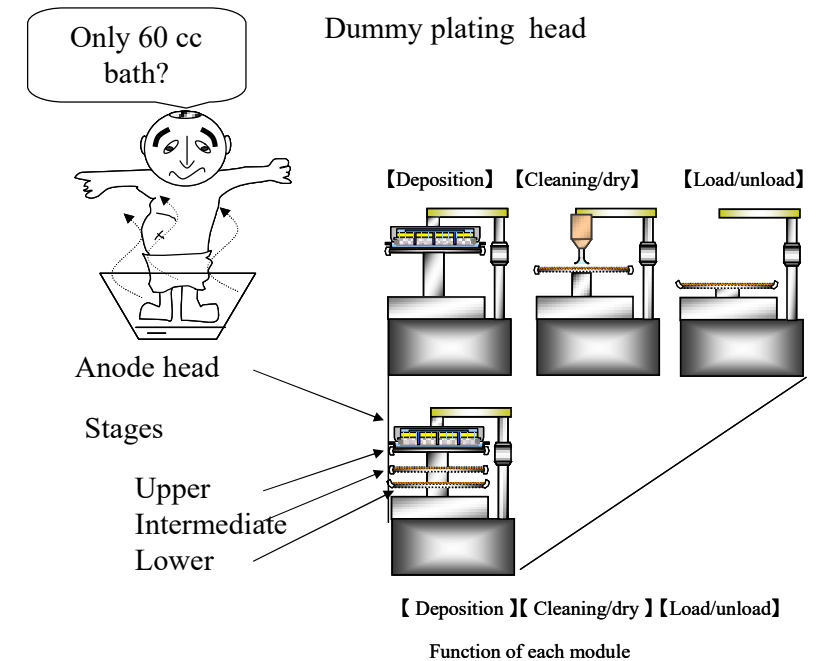
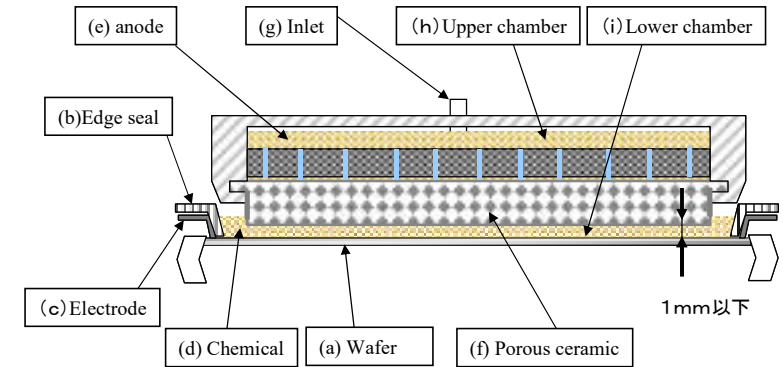
장치 Module 은 주로 Anode 헤드, stage 및 Anode 지지부로 구성된다. 장치 동작 순서는 아래와 같다.

- 하부위치에 웨이퍼를 올려놓는다.
- 상부위치에 이동시키어 전처리와 성막을 실시한다.
- 중간위치에서 세정과건조를 실시한다.
- 하부위치에서 웨이퍼를 돌려보낸다.

각 단계마다 stage 는 상하로 움직인다 : 하층부에서 웨이퍼의 Load/unload, 중간부분에서의 전처리 및 세정/건조, 상층부에서 도금을 실시한다. Anode 부에는 도금용액을 채운 트레이가 설치되어 있고 대기시 Anode 는 도금용액에 침적상태로 유지된다. Anode 헤드는 납동 및 합침재(다공성 세라믹스등)으로 구성된다. 합침재에 의한 Anode 표면의 Blackfilm 의 보호 Anode 이동중의 액이 떨어짐을 방지 전장의제어가 가능하다. 사용 도금용액은 황산동으로 사용액량은 좁은 Pitch 이기 때문에 60cc 로 소량이다. 도금용액은 도금직전에 웨이퍼와 Anode 헤드의 간격에 도입되고 도금종료후에 노즐을 회수시킨다.

합침재는 기공율이 중요

Dummy 저항에 이용된 합침재는 속돌과 같이 구멍이 있는 세라믹이다. 용액이 통과되는 비율을 제한함으로써 저항값을 향상시킬 수 있게 된다.



Dummy plating tool description

유한요소법

도금 용액 흐름과 전기장 분포 분석

도금 성막속도는 주로 전류밀도와 도금 용액의 금속 이온 농도에 의하여 주로 결정된다. 이러한 성막량의 균일성은 도금 용액 흐름과 전기장 분포에 따라 조절할 수 있다. 우선 용액의 흐름과 전기장에 대하여, 함침도금에 의한 좁은 Pitch, 정전기 Bath 도금과 기존의 순환 Bath 도금의 차이점을 설명하겠다.

	기존의 순환 bath 도금	좁은 pitch, 정전기 bath 도금
흐름	균일한 흐름이 되도록 조절	정전기된 상태에서, 완벽하게 균일한 흐름이 되도록 조절
전기장	두께에 따라 조절	두께에 따라 조절

기존의 순환 Bath 도금은 웨이퍼와 양극 사이에 도금용액이 순환되어 도금 용액의 흐름뿐만 아니라 전기장을 조절할 필요가 있다. 반면에, 좁은 Pitch 정전기 bath 도금에서는 용액의 흐름이 정지되어 있기 때문에 흐름량이 웨이퍼 웨이퍼 표면에 Deposition 의 전기장은 완벽하게 균일하다. 좁은 Pitch 정전기 Bath 도금의 Deposition 분배를 조절하기 위해서, 오직 성막표면에 완전히 같은 모양을 지니게 된다. 따라서 성막분포의 제어에는 전기장의 제어만을 조절하게 된다.

좁은 pitch 정전기형 도금의 전기장 제어 분석

옆 장의 그림은 FEM 에 의한 좁은 Pitch 정전기 ECD 의 전기장 분석 결과를 보여준다.

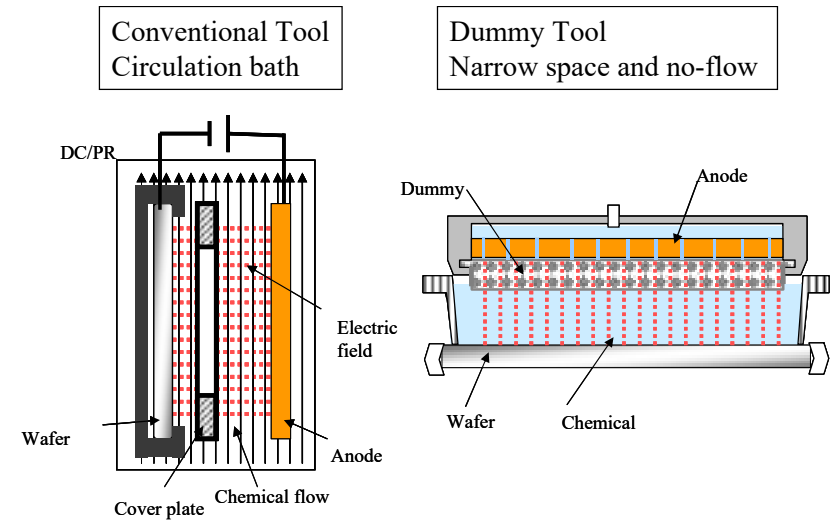
분석조건: Pre/post process : FEMAP

해결: ASTEAN

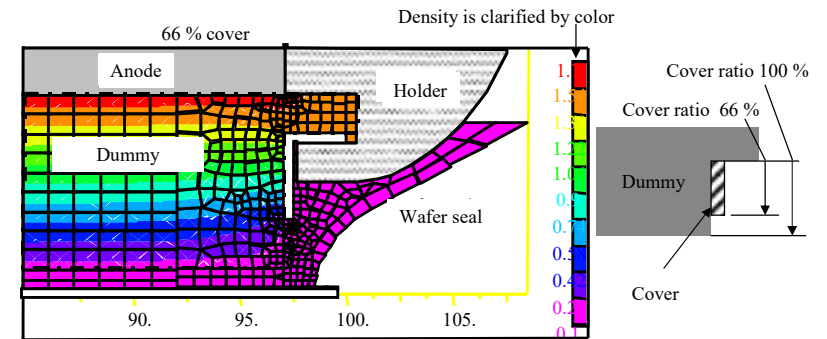
이차원적 축방향으로 대칭적인 모델

FEM 의 해석결과를 그림에 나타냈다. 웨이퍼근접의 전위가 균일하다는 것을 볼 수 있다.

이전장에서 함침재를 속돌과 같다고 서술했지만 이 기공율을 작게하면 할수록 Dummy 로써의 저항이 올라가고 해석결과를 보더라도 Terminal 효과는 작게되는 경향으로된다. 그러나 기공율이 작게 된다고 하는 것은 액체의 흐름이 어렵게되는 것으로 이러한 Trade off 관계를 어디까지 최적화할수 있느냐가 관건이다. 이것을 검토하는데 FEM 가 아주 유용하다



Difference between conventional and Dummy plating tools



Electric field simulation by FEM

Terminal 효과를 최소화하는 합침재가 유효

전도 seed layer 두께만의 영향(Terminal 효과)

Barrier 층이 박막화되면 당연히 Seed 층도 박막화된다. Seed 층의 전기저항값은 웨이퍼위에서는 반경방향거리에 의존하고 있지만 Seed 층이 박막화되면 이 반경 방향의 변화분이 성막의 균일성에 영향을 미치게 된다.

이를 Terminal 효과라 하고 미세화된 배선도금에서 큰 과제로 되어 있다. 통상의 도금에서는 박막 Seed 의 경우 중심만큼 도금두께가 작게되지만 Dummy 저항을 설치시킨 합침도금의 경우 박막의 경우에서도 막두께가 균일하게 성막될수 있다.

박막 두께의 조절

이러한 Dummy 저항재의 기공율을 변화시킨다든지 edge 부분을 덮음으로 인해 박막 두께를 조절할 수 있다. 옆 장의 그림에서 보이는 것과 같이, 저항 재료의 edge 부분의 두께를 증가 혹은 감소시킴으로써 다음공정인 CMP 에 의해 적절한 형상제어가 가능하게 된다.

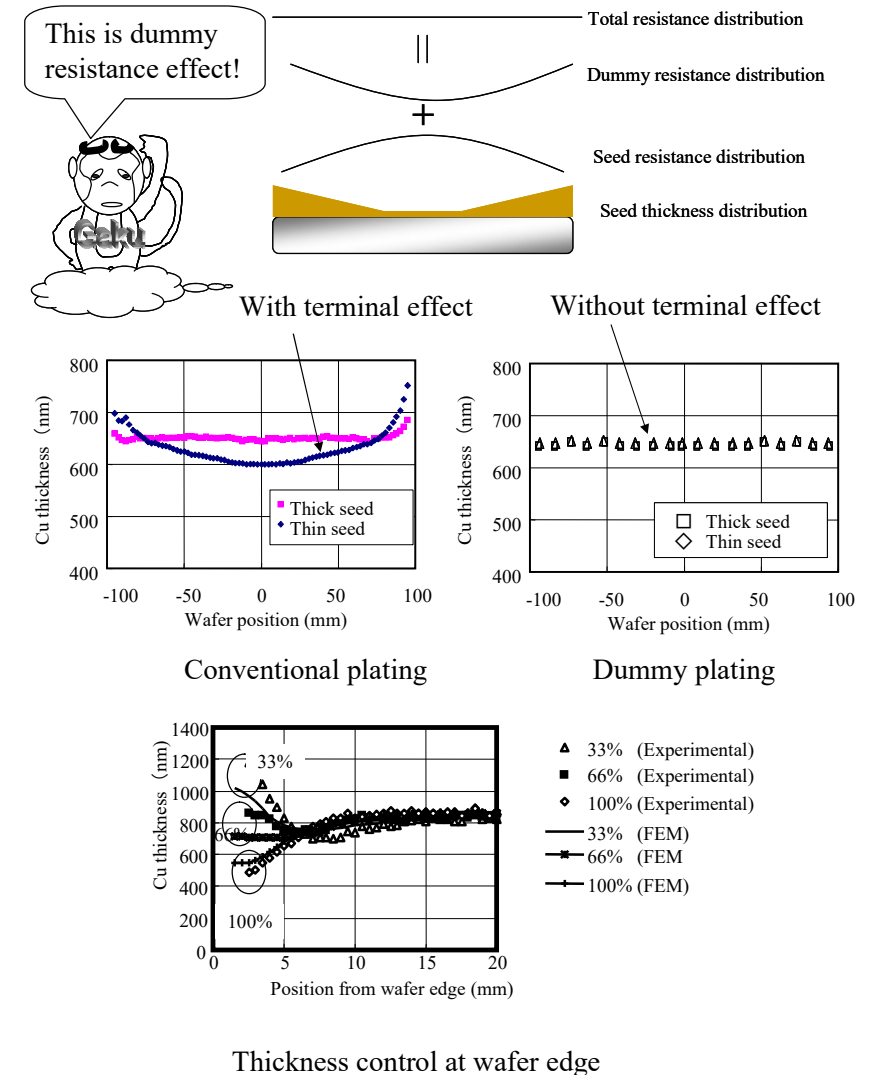
Dummy 저항을 가진 dummy 도금의 효과

Dummy 도금의 효과는 다음과 같이 요약할 수 있다.

- (1) 종래의 (Dummy 저항기능을 가진 합침재를 사용하지 않는) 순환 Bath 도금방법의 경우 Seed 막 두께가 20nm 정도로 얇게 되면 균일성이 악화된다.
- (2) Dummy 저항기능을 갖는 합침재를 이용하는것에 의해 통전용 Seed 층의 두께의 박막화가 가능하다.
- (3) 합침재에의한 박막제어도 가능하게된다.
- (4) 막두께의 웨이퍼면내 균일성은 3σ 3mm EE (Edge exclusion)에서 3%이하를 달성할 수 있다.

Dummy 저항기능을 갖는 합침재료를 채용하여 좁은 Pitch 정전기 Bath 라고하는 개념의 도금장치가 개발되었다. 결과적으로 세계 최소수준의 도금성을 달성하고 통전용 Seed 층의 박막화(Barrier 층이 박막화되면 Seed 층도박막화)에도 대응가능한 것이 검증되었다.

이 방법에 의해 32nm 시대이후의 박막 Seed 에 대한 구리배선도 도금에 의해 달성가능하다는 것을 시사하고 있다.



Porcupine (고슴도치) 공정

성막의 평탄화

이전의 성막의 역사는 평탄화의 역사와 일치한다. 양호한 Gap filling 에 대한 요구와 잘 형성된 막이 평탄도를 갖게하는 요구는 서로 상반되는 것이다. Gap filling 특성 때문에 정상성막되면 반드시 표면에 요철부가 생긴다. 도금의 경우에는 전에도 서술한바처럼 Bottom-up 이 가능하기 때문에 미세기공만의 경우는 Gap-fill 평탄화라고 하는 것이 가능하지만 넓은 Pattern 이 혼재하게 되면 복잡해진다.

잘형성된 도금의 막두께분포가 요철부로 되면 후공정의 CMP 가 큰 부담으로 되기 때문에 될수 있는한 도금 표면을 평탄하게 만들도록 요구하고 있다.

다양한 평탄화 도금공정

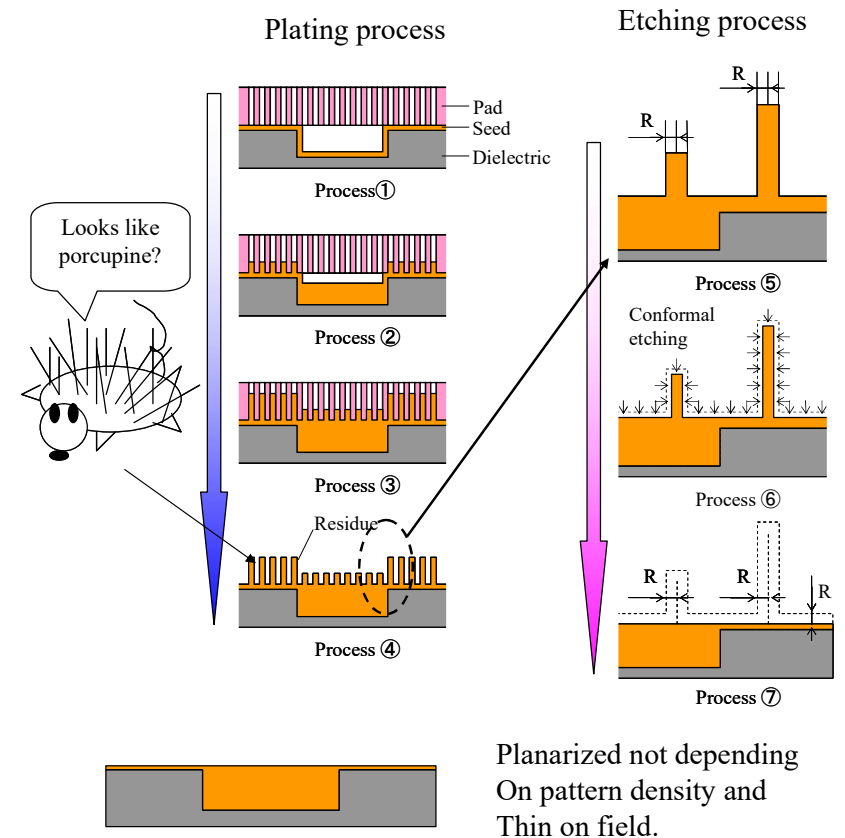
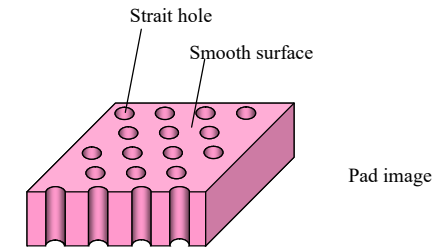
현재까지 각종의 평탄화 도금공정들이 개발되었다. 그러나 아직 한번도 채택되어지지않고 있다. 왜 일까? 이는 평탄화를 하기위하여 여러가지 약제를 이용한다든지, 문질러 제거하는아이디어등이 제안되고 있지만 결국에는 형성되어진 막질에 악영향을 주기 때문이다. (이 결론은 내자신이 실시한 실험에서의 결론으로 타회사 장치의 경우는 언급하지 않겠다) 그러므로, 화학적인 약제도 사용하지 않고 문지르지 않고 평탄화가 되지 않을까를 생각하여 다음과 같은 아이디어나 나오게 되었다)

Porcupine 공정

옆장의 그림은 Porcupine 공정의 과정을 보여주고 있다. 간단히 말하면 도금을 하는 웨이퍼 위에 구멍이 많은 패드는 위치시키고 도금을 한다. 도금은 기공이 없는곳에는 도금이 많이되지 않고 웨이퍼의 기공(도금을 하고싶은 장소) 과 패드의 기공이 있는곳에서만 도금이 진행된다.

이패드기공내에 도금된 침상의 막(이것이 고슴도치와 형상이 비슷하다)은 에칭에 의해 간단히 제거시킬수 있다. 물론 이때에 배선부의 도금을 손상시키지않는 범위내에서 에칭을 한다. 결과적으로 남은 Cu 막은 대단히 얇고 평탄한 막으로 되어진다.

이 기술은 아직 개발 단계이지만, 만약 이것이 성공적으로 개발된다면, 평탄화성능을 현격하게 개선하는 것이 가능하게 되며 32nm 이후의 혁명기술로써 기대될 수 있다.



고용점 금속 Cap 도금

Cap 금속의 목적과 사양

Cap 금속층의 목적과 사양은 아래와 같다.

- (1) 우선 배선의 일부이기 때문에 저저항이어야하는점이 제 1 차 필수조건.
- (2) 유효유전율저감을 목적으로하여 배선부만을 성막한다.
즉, Si-N 과 같은 무기물 Cap 의 사용을 권하지 않는다.
- (3) Cap 금속은 Electro migration(EM)과 Stress migration (SM)을 막아준다. Ta-N barrier layer 는 원래 절연층과의 밀착층이기 때문에 Cu 와의 밀착성이 나쁘다. 따라서 EM 이나 SM 이 여기에서 발생할 가능성이 높다.
- (4) Cu 와의 밀착성이 좋게되면 당연히 표면을 통한 리크가 절감될수 있다.
- (5) 절연막 Etching 시에 보호로 된다.

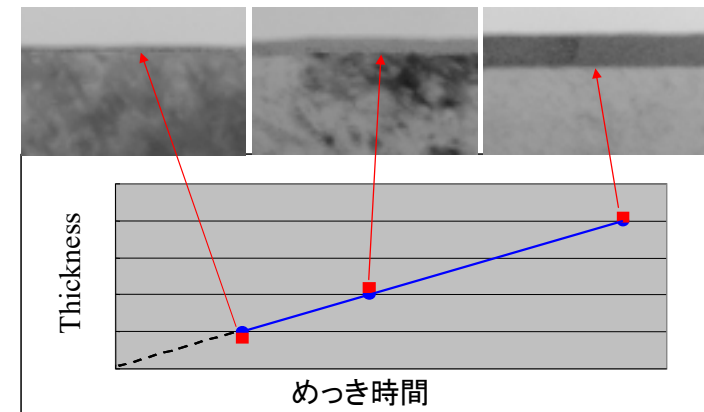
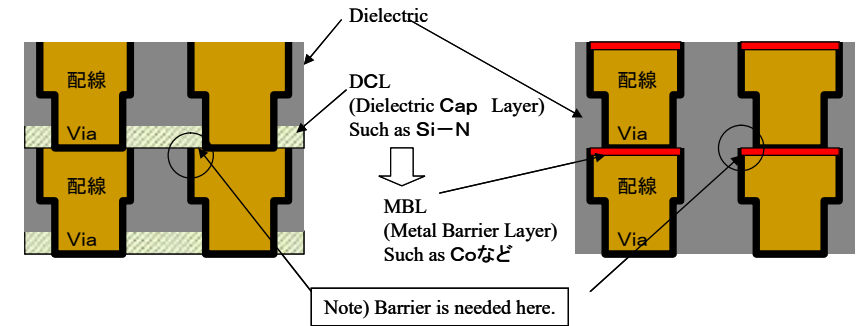
무전해도금에 의한 Co 계 Cap.

최근발표논문에는 EM내성 향상목적의 것들이 많다. EM내성향상에는 Cu 합금이나 장래의 CNT (Carbon nanotubes) 라고하는 제안도 있지만 Co-W Cap 을 이용하여 EM 내성이 100 배 향상된다는 보고도 있다.

Co 는 실제로는 5-10nm 정도의 막을 성막시키지만, 그림에는 2-20 μm 의 성막이 도금시간에 비례하여 제어되고 있는 예를 나타내었다. 무전해도금에서는, Bath 의 온도관리나 용액흐름의 관리를 철저하하면 이 정도의 제어는 가능하게 된다.

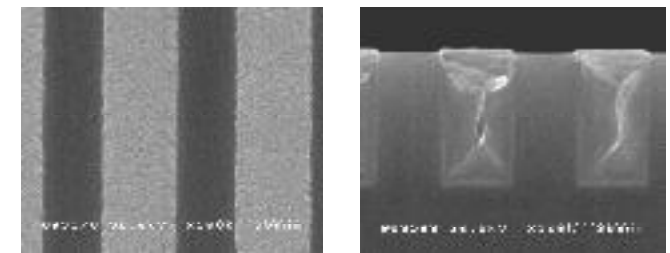
무전해도금하는 기술의 핵심은 선택성(Selectivity)에 있다. Cap metal 은 동배선상에만 성막시키고 싶지만 절연막 위에 남게되면 신뢰성 악화의 원인으로 된다. 무전해도금은 원래 무선택적으로 성막하는 것이 장점이 있는 방식이기 때문에 이 무전해도금에서 선택성을 확보하는 것이 각사의 Know-how로 되어 있다. 다음 장의 SEM 사진에서는 Co 가 Cu 위와 절연막위에 선택적으로 성막되고 있는 모양을 보여주고 있다.

도금액의 종류에 의해 Co-W, Co-B 과 같은 막종류가 있다.



Thickness control

SEM



Bump 도금

Bump 도금

디바이스의 최종부에 외부와의 연결전극을 만드는데 이를 Bump 라고 부른다. 단면 이미지를 옆그림에 나타내었다. Bump 공정흐름도를 그림으로 나타내고 있지만 간단히 말하면 레지스터로 Bump 의 위치를 결정하고 레지스터를 매립하는 형태의 도금을 한다. 그런 후에 레지스터를 제거하고 Reflow 시키면 그림과 같은 Bump 가 형성된다. 사용되는 재료로는 납이나 금이 많이 사용되기에 전기도금으로 성막한다.

Bump 크기는 디바이스 세대에 따라 결정되지만 대략 50~100 μm 범위이다. 향후에는 Bump 크기를 약 10 μm 까지 줄이는 Roadmap 이 제시되고 있다.

Bump 의 경쟁기술도 여러가지가 있어 인쇄방식이나 미리 공모양을 만들고 구멍에 덮어씌운 bump 와 같은 기술들도 있다. 뭐라해도 단위시간당생산량, 정밀도, Cost 의 적정성이 요구되는 현시점에서는 경쟁 및 전쟁과 같은 치열함을 느낄수 있다. 미세화를 위한 수요를 충족시키기 위해서 미세구멍을 채우는 적절한 방법이 미래에 강구되어야 할 것이다.

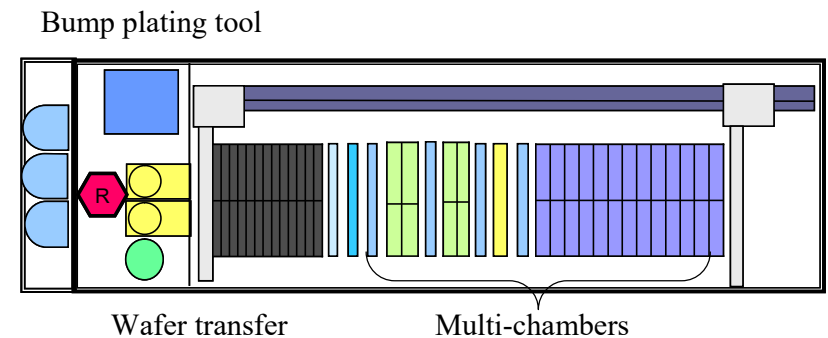
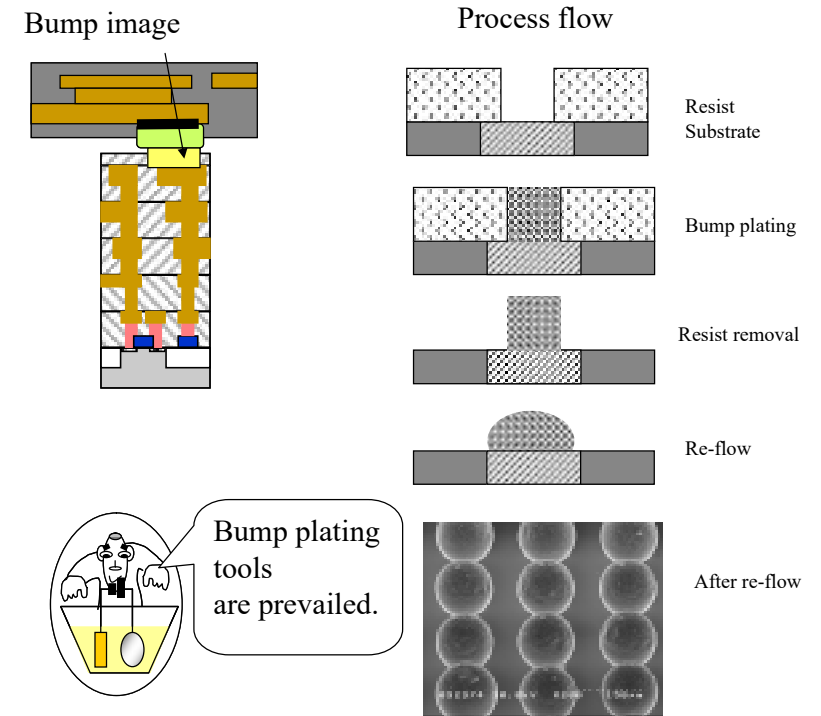
장치이미지

그림은 Multi-chamber 전기도금 장치의 개요표를 옆그림에 나타내었다. 배선 도금에서는 오직 구리 도금 bath 를 요구하지만 Bump 의 경우 제품 웨이퍼의 Clean 도에도 영향을 주기 때문에 (1) 도금전의 표면 처, (2) 린스 (3) 도금 (4) 세정을 하여 종료시킨다. 이때에 도금하는데 시간이 오래 걸리기 때문에, Multi-chamber 장치를 채택하는것이 일반적이고 효과적인 도금 방법으로 된다. 그러므로 bump 도금장비는 크기가 비교적 길게되며 이에 따라 넓고 긴 설치공간이 필요한 경향이 있다.

도금장치, 성막 Maker

자!, 그럼 누가 이러한 도금을 하는걸까? 디바이스메이커 자신이 도금을 실시하는 경우와 Bump-house 에 Bump 만을 외주를 주어 실시하는 회사도 많다. 디바이스 실장에 있어서 도금은 특별한 것은 아니다.

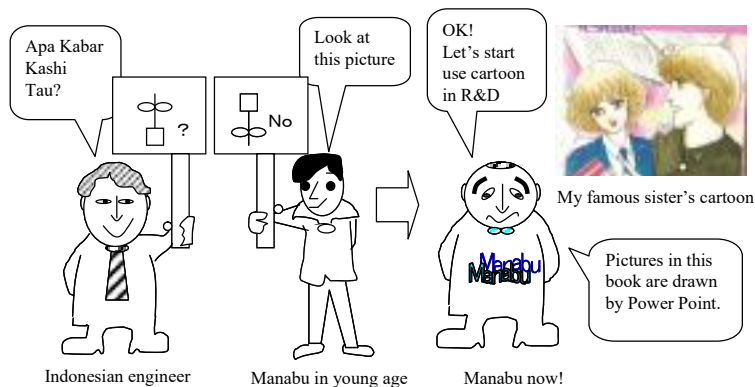
웨이퍼 공정에서의 bump 도금 실장도금과는 다르지만, 다층배선과 같이 복잡하지는 않다. 사실 향후의 10 μm Bump 도금은 실장에서 담당할지 다층배선에서 담당하게 될지는 디바이스메이커라 할지라도 확실해 보이지는 않는다.



◆ 마나부스타일 : Power Pointist

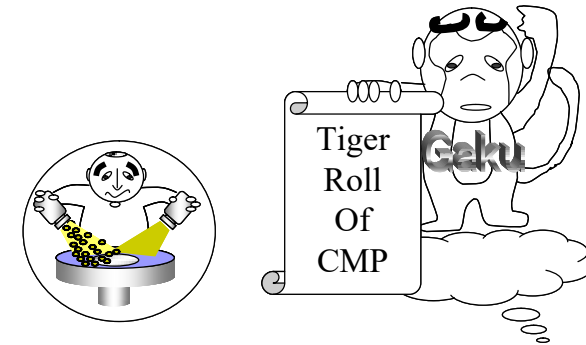
Ebara 회사에 1974 년에 입사했을때 나는 인도네시아의 수력발전소 건설을 담당했었다. 우리와 인도네시아 상대방은 영어를 써가면서 의사소통을 했다. 그때, 나는 오직 “저는 엔지니어이고, 당신은 고객이에요. 이해하겠습니까?” 라는 기초 수준의 영어만을 말했다. 인도네시아 상대는 나보다 영어를 더 못했으니, 그때 당시는 비극적이었고 웃겼다. 이러한 믿을 수 없는 환경 속에서 우리가 발전소를 만들 수 있었다는 것이 참으로 기적이라고 생각한다. 그러나 최근에 나는 시각을 바꾸려한다. 왜 그랬을까? 우선,영어로 거짓말을 하는 것은 불가능하다. 두번째, 당신이 표현하고자 하는 것을 전달하려고 할 때, 당신의 상대방이 이해할 때까지 반복적으로 표현을 할 것이다. 나는 그림을 그리면서 설명함으로써 내가 표현하고자 하는 것을 표현하고 필요한 것들만 뽑아서 말하려 했던 것들을 그냥시 그러한 경험들을 통해서 배웠다.

내가 어떻게 반도체 공정 시스템을 개발할 수 있었을까요? 나는 내가 표현하고자 했던 것들에 대해서 고집어냈다. 그것은 개발의 필수적인 요소를 이해하는데 도움이 되었다. 그것은 마법과도 같았다. 그러한 이유 때문에, 나는 항상 강력한 그림을 그리기 시작해왔다. 나는 내 글 모두에 삽화를 그린다. 내가 아니라 나의 여동생 히로코 쓰지무라는 유명한 만화가이다. 나의 라이벌 여동생 덕분에, 나는 파워포인트를 사용함으로써 나만의 스타일로 삽화를 만들었다. 나는 이 스타일을 Power Pointist 라고 이름 지었다. 누구든, 나에게 이러한 것들을 배운다면 누구나 만화를 곧 그리게 될 수 있을 것이다.



Chapter III

Wet Removal Technology: CMP



돌에서부터 디바이스까지

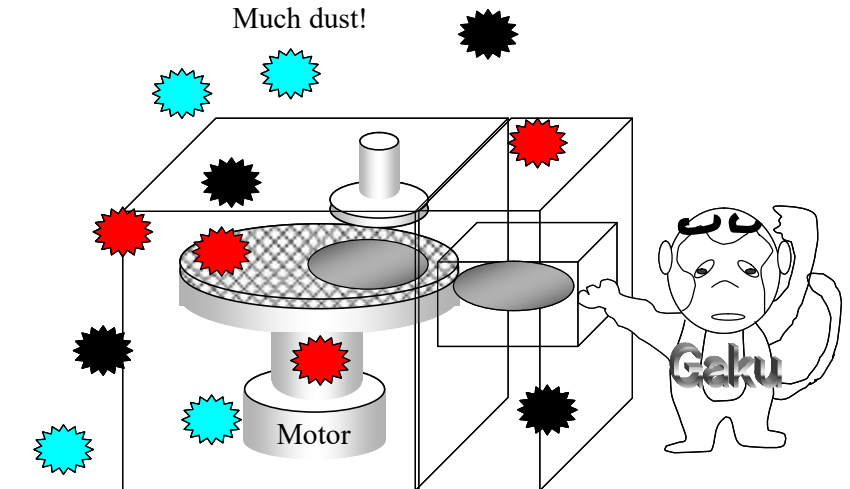
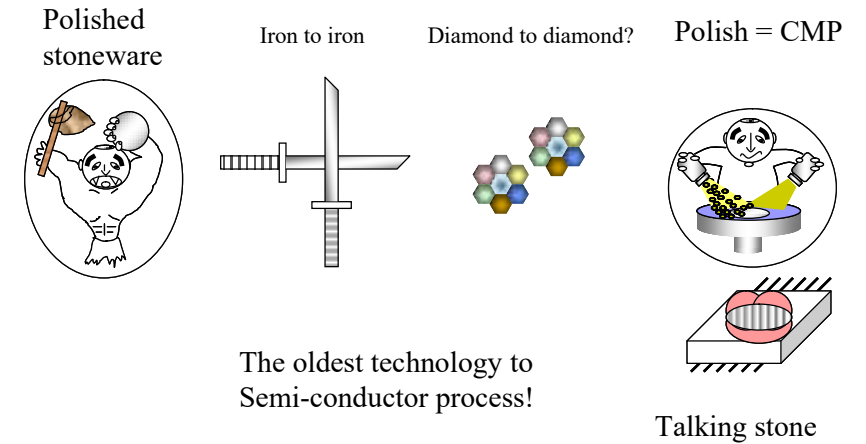
과거의 연마 부터 최근의 연마 까지(CMP)

제 2 장 에서는 도금이 가장 오래된 기술 중 하나라고 언급되었다. 도금이 체스판의 검은 king 이라면, 연마는 하얀 king 이라고 볼 수 있다. 연마기술은 석기를 만들던 시대를 거슬러 올라가, 조몬(신석기)시대에서부터 있었던 기술이다. 기본적으로, 물질을 연마하는 것은 같은 물질을 사용하는 것으로 행해 질 수 있다. 예를 들면, SiO_2 는 SiO_2 로 연마 할 수 있는 것과 같다. 반도체의 디바이스에는 SiO_2 이외에도 텅스텐(W) 이나 구리(Cu)를 연마하는 경우는 있으나. 텅스텐을 텅스텐으로, 구리를 구리로 연마하지는 않는다. 이 점에 대해서는 CMP 는 연마의 경계 밖에 있는 것처럼 보인다. 그럼에도 불구하고, 연마는 여전히 반도체 디바이스 평탄화공정에 주요한 기술이고, 앞으로는 점점 더 다양한 물질을 연마하려는 요구가 나타날 것이다. 또한 반도체 분야에서 개발된 연마 기술은 기존의 연마기술에 응용하는 등, 앞으로의 연마 분야는 희망으로 가득찰 전망이다.

CMP 기술 역사의 개요

CMP 는 Chemical Mechanical Polisher(화학적기계적연마장치)의 약자이고 오늘날의 반도체 디바이스의 평탄화 공정에선 없어서는 안될 장치이다. CMP 는 원래 1980 년도 후반에 IBM 에서 “평탄화 Process for Logic Devices”라는 이름으로 개발되었다. Logic 디바이스는 메모리 디바이스에 비해 더 많은 수의 층(layer) 들을 가지고 있기 때문에 평탄화 공정이 더욱 요구된다.

Logic 디바이스에선 chip 생산 양이 적고 비싸기 때문에, Logic 디바이스의 클린룸 밖에서의 CMP 도 쉽게 사용되어 왔을 것이라 생각된다. 후에 미국의 Intel, Motorola, AMD 등의 회사들이 CMP 를 받아들였다. 그 당시의 일본의 디바이스회사는 주요 생산품이 메모리 였고, Spin-on glass(SOG: method to form dielectric film by coating)이나 Etch-back 같은 다른 평탄화공정으로 평탄도의 요구를 만족시킬수 있었기 때문에 CMP 를 이용하지 않았다. 그 당시의 CMP 는 Bare silicon wafer 연마장비를 응용하고 있었던 탓에, Clean room 내에 설치되도록 디자인되어있지 않았다. 그런 이유로 CMP 만의 특별한 공간이 필요되었던 것을 고려하면, 일본의 디바이스 회사로써는 CMP 시스템을 도입하기란 쉽지않은 선택이었다고 생각되어진다..



Dirty, Hard and Experimental : Three demerits

Dry-in / dry-out 등장

다른 평탄화 기술들.

초창기의 CMP 와 경쟁했던 주요한 평탄화 기술들은 아래와 같다..

[ILD 평탄화]

- (1) Bias CVD method that performs deposition with a RF bias applied to wafers
- (2) TEOS/O₃ flow 를 이용한 Thermal CVD 법
- (3) Spin-coating 에 의한 SOG 법

[Interconnect 평탄화]

- (1) Al deposition 후의 Heating and Fluidization
- (2) W 의 Blanket CVD 후의 Etch-back

어떤방법으로도 1980 년대 부터 1990 년 초반까지의 기술들은 350nm 에서 250nm 까지의 기술적 교점에 이용되었다. 하지만 이러한 기술들은 다마신 (Damascene) 공정의 출현으로 인해 CMP 로 대체되었다.

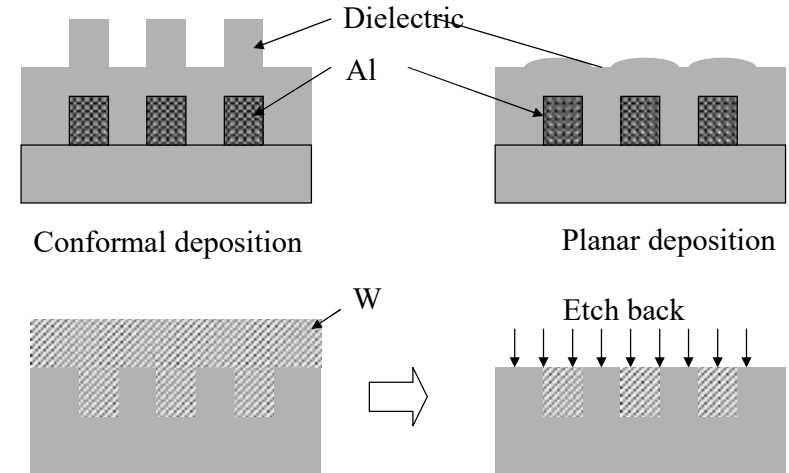
Dry-in / dry-out

1990 년대에 들어서 반도체의 Scaling 요구가 더 엄격해 짐에 따라, 일본에서도 CMP 기술이 주목받게 되었다. 이 시기에 CMP Design concept 에 큰 혁신이 있었다. 이것이 Dry-in/dry-out Concept 이다.

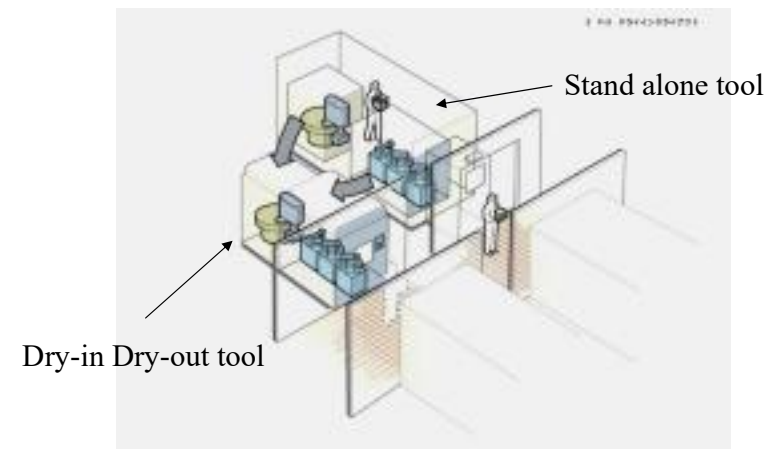
이 Concept 을 사용한 설계에 의해, CMP 가 다른 Dry process system 과 같은 크린룸 안에서 사용된 것이 기초가 되어, CMP 사용이 가속화 되었다. CMP 는 ILD 평탄화 공정을 중심으로 200 mm (Wafer diameter)/250 nm (Technical node)세대에 정착해, 드디어 새로운 300mm/130nm 세대를 맞이하게 되었다.

이 새로운 세대의 주요한 특징은 두가지로 생각할 수 있는데, 기계적인 측면으로는 300mm 세대에 Dry-in/dry-out Concept 의 완전도입에 있고, 공정으로는 130nm 세대 이후의 STI(Shallow Trench Isolation), Damascene Cu interconnect, low-k material, 등에 의한 공정의 다양화로 볼 수 있다. CMP 를 특별히 취급하던 시대가 끝남과 동시에, Process 와 Mechanical performance 에 다른 Dry process 이상에 대한 요구가 더해질 것으로 보인다. ITRS (Global standard for the development of semiconductor devices/systems) 중에서도 CMP 는 차세대의 디바이스에 필수적인 기술이라고 기재되어, CMP 는 전세계적으로 인식되기 시작하였다.

Other planarization technologies



Dry-in and Dry-out technology



마약과 같은 CMP

미세화, 대구경화의 요구에 직면한 CMP

다음 페이지의 그림은 CMP 가 미세화와 웨이퍼 크기의 대구경화의 변화의 과정에서 어떻게 사용되었는지를 보여준다. 200mm 웨이퍼시대에서, CMP 는 350nm 세대의 디바이스들에 부분적으로 사용되기 시작해, 250nm 세대의 디바이스들에게도 널리 보급되었다. 그 후 CMP 는 디바이스의 미세화에서는 필수적인 기술로 고려되어졌다. 200mm 웨이퍼 공정은 300mm 웨이퍼에 쓰이는 것과 같기 때문에, CMP 는 130nm 세대의 디바이스들에게 사용되어졌다.

현재, CMP 는 층간절연막의 평탄화, 텅스텐 contact (via), STI, Polysilicon 평탄화, 그리고 다마신공정을 포함하여 45nm 시대 또는 그 이후 세대의 다양한 프로세스에 사용되어진다. 이것은 최첨단의 디바이스 생산에 없어서는 안될 기술이 되었다.

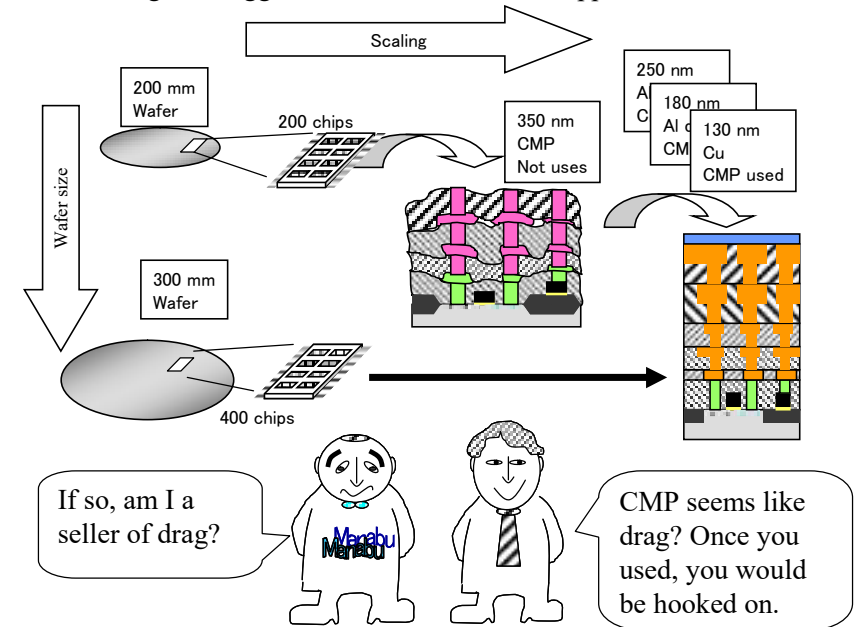
평탄화 효과 그리고 CMP 의 또 다른 활용법들

밑의 그림은 두 디바이스의 평탄도를 비교한 것이다, 하나는 CMP 공정이 들어간 것이고, 또다른 하나는 CMP 없이 되어진 것이다. Multilayer Interconnect 들에는 각 층의 평탄화가 갈수록 더 중요해진다. CMP 는 또한 Surface modification 에 유용하다. 연마 또는 D.I. water 만을 사용한 연마 세정효과의 향상과정에 의해 표면에 남아있는 혹(nodules)을 제거하는 등 CMP 의 다양한 활용이 가능하다.

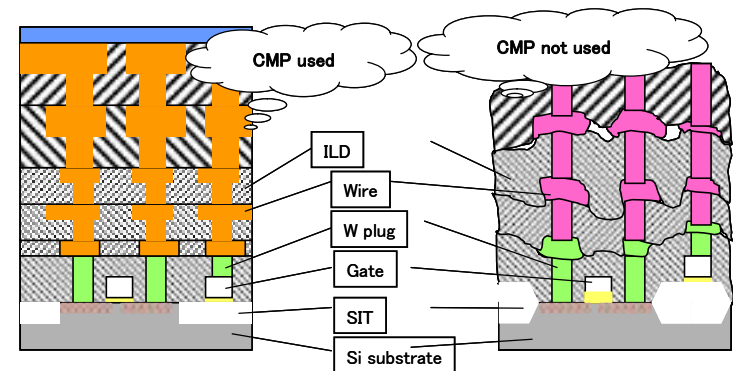
CMP 는 마약이다 ?!

마약이라는 용어는 CMP 를 표현하기엔 조금 부적절해 보일지 모른다. 하지만, 위의 구절은 CMP 를 사용하는 엔지니어에겐 가치있는 문장이다. 이것은 사람들이 “CMP? 그 더러운 공정?”이라고 말하며, CMP 로부터 거리를 두던의 1990 년 초의 이야기이다. 그 당시엔 CMP 가 널리 이용되리라곤 아무도 생각하지 않았다. 처음에는 어떤 엔지니어가 확신에 차지 않아하며 CMP 를 시도했었다. 하지만 한번 CMP 를 사용하자 그는 그의 CMP 에 대한 관점을 바꾸었다. 그는 비록 디바이스의 표면이 오염되더라도 그 오염은 디바이스의 안쪽까지 도달하지 않으며, 평탄화의 효과가 매우 좋다는 것을 발견했다. 1 년후에, 그는 CMP 계에서 최고의 엔지니어가 되었다. 최근엔, 그는 CMP 없이는 디바이스도 존재하지 않는다고 단언했다. 동시에 그는 이 본문의 제목과 같이 CMP 는 마약과 같다고 말하였고, 그의 말은 아직까지도 내 가슴속에 남아있다.

Scaling and Bigger wafer trends and CMP application



Planarization image by CMP



Preston 으로 부터의 시작

Preston 의 식(Equation)

CMP 의 이론이 밑에 설명되어 있다. CMP 는 평범한 연마 과정을 Bare silicon 웨이퍼에 적용시킨 것이다. 밑의 설명은 일반적으로 사용되고 있는 Rotary CMP 를 예로 든 것이다.

웨이퍼를 윗면이 아래쪽을 보도록 하여 웨이퍼캐리어에 지탱한다. 슬러리(실리카와 같은 수%의 Abrasives 들을 포함함)는 Rotary table 의 패드위에 흩어져있다. 물은 Backing 필름과 패스 사이에 끼여있어, 웨이퍼캐리어에 의해 연마가 된다. 이 과정 동안, Rotary table 과 웨이퍼캐리어 둘다 같은 방향과 거의 같은 속도로 돌며, 연마 속도는 웨이퍼에 가하는 하중과 상대속도에 비례한다.

연마는 아래의 Preston 의 식을 따른다

$$PR = kPV$$

PR: 연마속도 (m/s), k: Constant (Pa^{-1}), P: 연마압력 (Pa)

V: 상대속도 (m/s)

안정적인 연마 압력은 헤드 디자인에 의해 결정되어 진다. 만약 Rotary table 과 웨이퍼의 회전이 같은 방향과 같은 속도라면 연마속도는 웨이퍼 어디에서든지 일정하게 된다.

PVT 의존과 PVTQ 의존

만약 화학적으로 활성화된 슬러리가 사용되면, 연마 속도는 온도에도 영향을 받을 것이다. 이런 경우엔, 아래의 수정된 식이 사용된다.

$$PR = kPVT^\alpha$$

T: 연마시의 온도 ($^{\circ}\text{C}$), α : 온도지수

게다가 최근에는 CoC(Cost of Consumable)를 감소시킬 목적으로 슬러리의 양을 줄이는 경향이 있어, 이러한 경우엔, 연마의 속도는 슬러리의 양에 좌우된다.

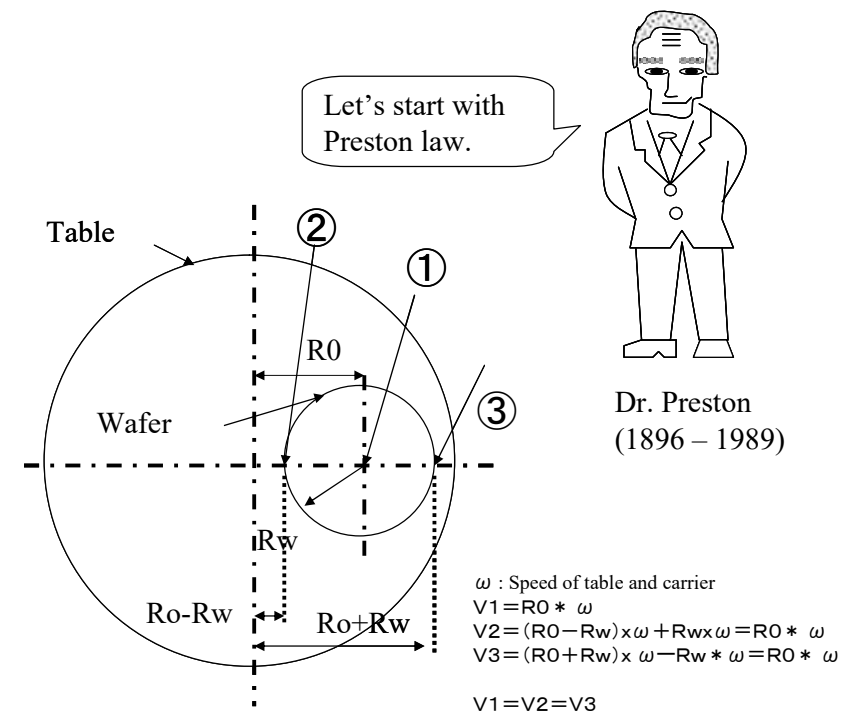
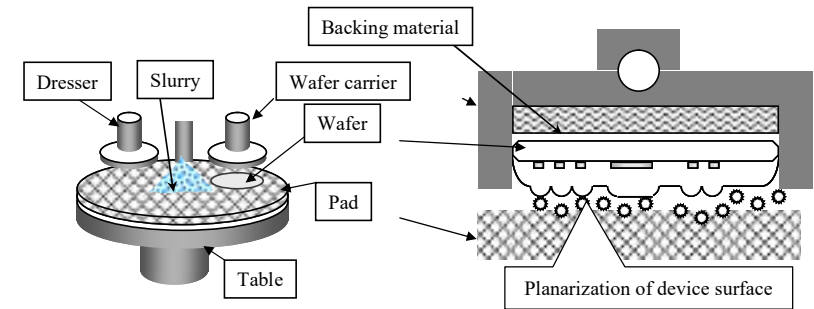
이 경우에는 아래의 수정된 식을 사용한다.

$$PR = kPVT^\alpha Q^\beta$$

Q: 슬러리유량 (m^3/s), β : 유량지수

이렇듯 원래의 Preston 식과 그것의 응용된 식이 실제의 연마에 사용되고 있다.

CMP Principle



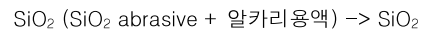
이것이 CMP 다 !

간단한 평탄화 원리의 설명

이 부분의 설명은 CMP 는 간단한 방법이란 것이다. 엄격히 말하자면 다르지만, 이렇게 생각하는 편이 처음에는 이해하기 쉬울 것이다. CMP 는 화학적 요소와 기계적 요소가 합쳐진 연마 가공이다. 그럼 화학적 요소와 기계적 요소가 무엇인지 알아보자.

(1) 산화막

Si 산화막은 SiO_2 (Si di-oxide film)로 표기되며, 이것은 연마입자로 같은 재료들로 가공하는 것이 기본이며, 같은 재료들끼리이므로 흠집이 나기 어려울 것이라 생각된다. 알카리로 표면을 개질시키며(화학적), 그 표면층을 연마입자로 제거(기계적)하는 것이다.



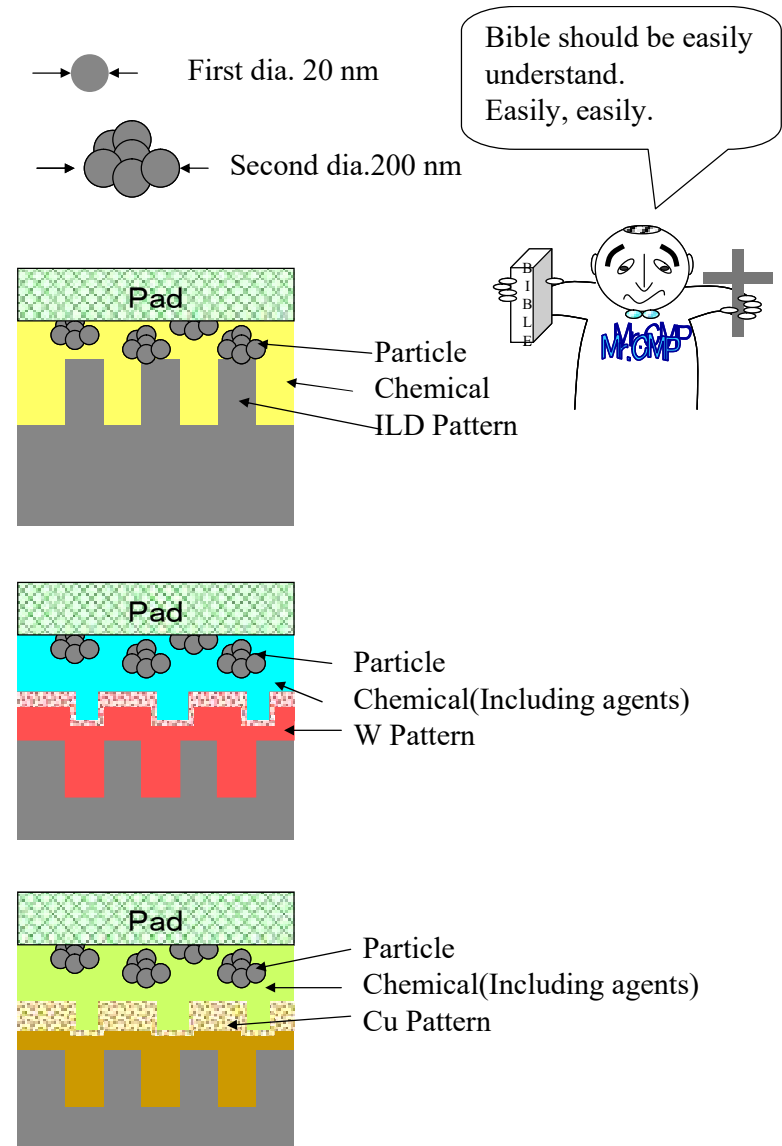
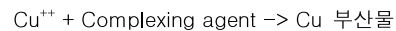
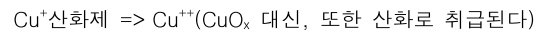
(2) 금속(텅스텐)

텅스텐과 같은 순금속을 연마입자로 가공하면 흠집이 나기 쉽다. (금속의 무르고 끈적스러운 표면성질에 의해). 여기서 W 의 표면을 산화 시켜가며 이것을 SiO_2 을 연마하는 것과 같이 기계가공을 한다. 이 산화를 화학적, 가공을 기계적이라고 한다.



(3) 구리(Cu)

기본적으로 과정은 텅스텐과 동일하지만, 구리는 텅스텐과 달라 생성되는 산화막이 강하진 않다. 점점 부식되어가는 느낌으로 이해하면 쉽다. 여기서 구리는 산화막을 만드는 것이 아니라, Cu 부산물로 된 이후에 기계가공을 한다. 그 때에 Cu 는 산화하면서 Cu 부산물로 된다. 이 작용을 화학적, 생성되어지는 부산물을 가공하는 것이 기계적 요소라 할 수 있겠다..



Preston's Law 에 반대?

Preston 영역과 Non-preston 영역

Preston 식에의해 컨트롤되는 연마를 Preston 영역이라 불리어지는데, 최근에 이 이론적인 식에서 동떨어진 연마가 발명되었다. 이것은 Non-preston 영역이라고 하며, 주로 화학적으로 강한 슬러리에서 사용된다. 이것은 Etching 이 높다고 생각하여도 좋다.

연마는 이렇게 화학적 요소와 기계적 요소가 관여하고 있다. 어느쪽이 지배적일까? 그리고 그 화학반응과 기계가공을 웨이퍼전체에 걸쳐서, Chip 내에서 균일하게 진행할 것인가를 생각하는 것이 CMP 기술인 것이다.

성능을 간단하게

일반적으로 반도체제조장비의 성능은 공정성능과 기계성능이지만, 공정성능은,

- 가공속도
- 웨이퍼 전체의 균일성
- Chip 내의 균일성 (막을 키우거나 제거할때의 패턴의존성)
- Defects (파티클이나 Scratch 등)

기계적 성능은, (상기 공정성능을 기반으로)

- 처리성능 Throughput (whp)나 Tact time(min)
- 신뢰성(Reliability)
- 생산성 지수(Productivity index)

로 평가된다. CMP 도 이런 일반적 상식에 기초해서,CMP 에 특수한 요구를 추가해가면서 생각해보자.

평가항목

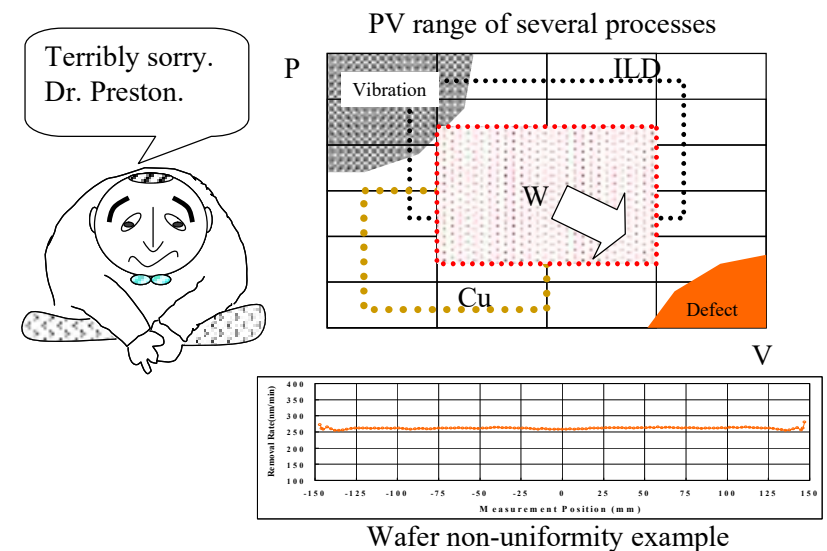
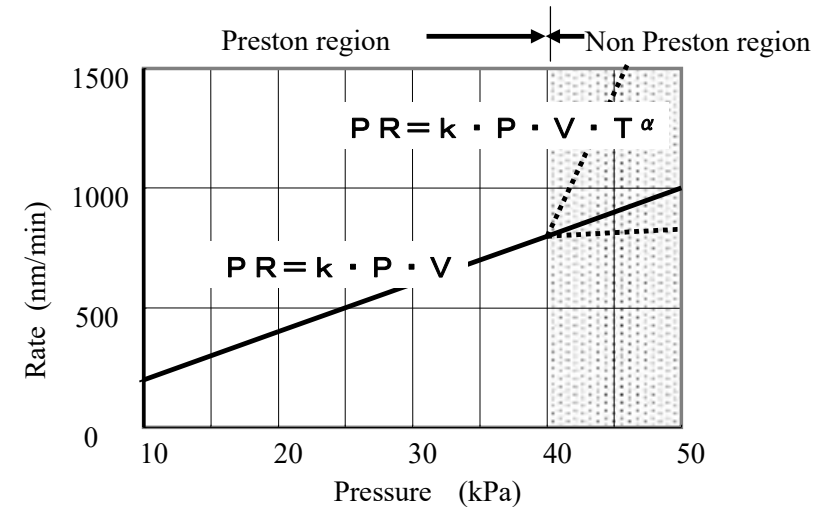
(1) 연마 속도: 빠를수록 좋으나, 한가지 기준은 1 분을 Process 로 한다. 만약 막의 두께 연마되는 분당이 1 μm 이라면, 연마 속도는 1 $\mu\text{m}/\text{min}$ 이다. 일반적인 가이드라인이 밑에 있다.

- ILD > 500 nm/min (1000 nm/min 인 경우도 있음)
- STI 200 nm/min
- W 500nm/min
- Cu > 500min

(2) 균일성 (웨이퍼내) : Blanket 웨이퍼로 검증한 3 (2) mm EE 로 3 σ 3%.

기계적 요소가 큰 산화막 연마에서는 헤드의 성능이 더큰 공정효과를 나타내게 되고 화학적 요소가 큰 금속연마에서는 얼마나 산화반응을 균일하게 하는가가

관건이 된다.



CMP 의 비밀

연마 특징?

여기서 주의! 연마는 균일하게 압력을 증가시켜도 균일하게 가공할 수 없다?!

이유 1: 연마는 피가공물의 웨이퍼 패턴형상과 슬러리 패드에 의해 기본가공형상이 다르다. 이 기본가공형상을 [연마의 특징] 이라고 부르며, 그 연마의 특징을 수정하기위해서 연마 압력을 제어(변화)시켜 일정한 연마형상을 만들어내는 것이 연마의 궁극적인 비밀이다.

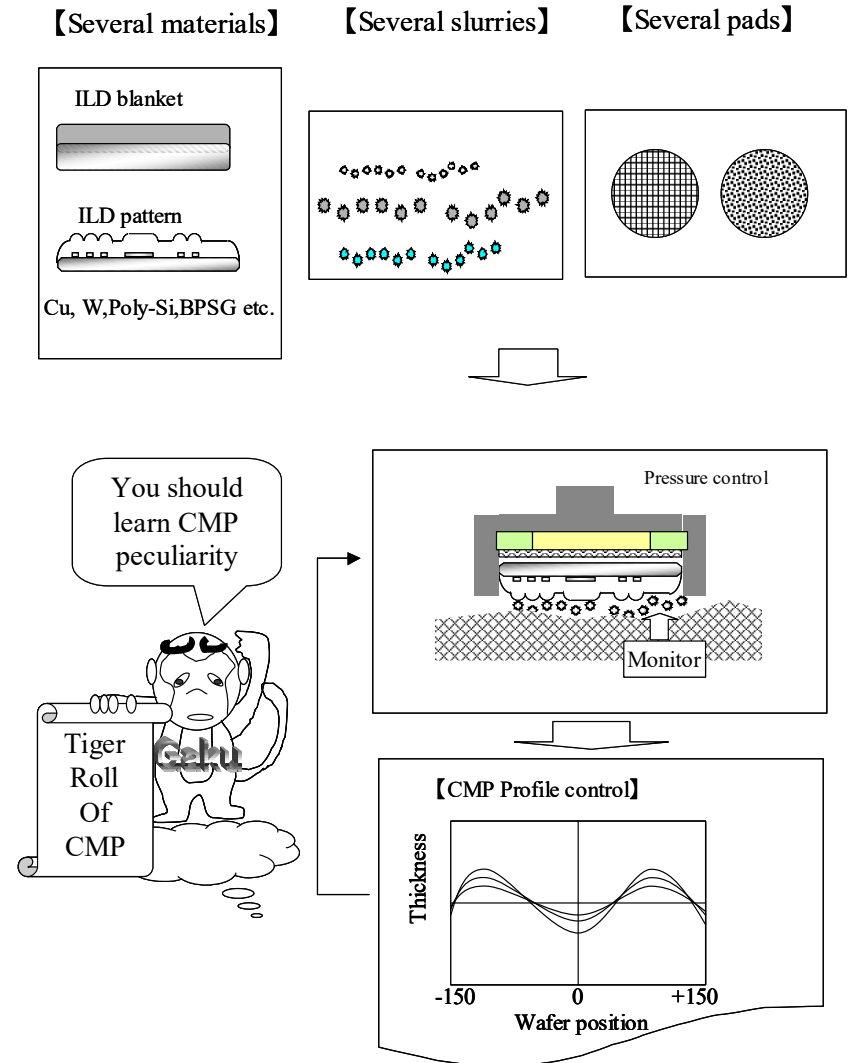
이유 2: Incoming 웨이퍼의 형상이 다른 경우가 많아, 그 형상을 제어하는 요구가 나오기 시작했다. 이것을 연마의 프로파일 컨트롤이라고 하는데, 연마는 상기[이유-1]에서 언급했듯이 원래의 프로파일 컨트롤을 하고있기 때문에 Incoming 웨이퍼의 형상이 조금 바뀌더라도 조절이 가능하다.

따라서 CMP 에서는 보통, 그 디바이스의 패턴, 슬러리, 패드의 종류등에 의해 적절한 연마압력을 제어하고 성능을 얻는 것이 현재의 상황이다.

다른 다양한 요소들.

상기의 연마의 특징 중에는, 원래 연마의 여러가지 변동요인도 포함되어 있으므로 주의해야한다. 여기서 그 변동요인이 무엇인지 간단하게 서술하고자 한다.

예를들면, Dresser 의 경우, Dresser 의 타입이나, Dressing 방법등에 의해 연마속도와 프로파일은 크게 변동한다. 또한 디바이스막의 질에 의해서 크게 달라진다. 예를 들면 예전에는 BPSG 막의 B 과 P 의 농도등이 다를 경우나 Cu 의 anneal 온도, 최근에는 에칭 데미지에 의해서도 크게 변화하기 때문에 주의해야 한다.



영원한과제 : 패턴의존성

평탄화 성능 (Dishing, Erosion)

Chip 내에는 배선패턴에 의해 울퉁불퉁하고 정밀하게 되어있어, 그 패턴위에 성막을 만들면 반드시 어떤 성막 방법에도 패턴의존성이 있다. 이것을 성막의 패턴의존성이라고 하며, 게다가 그 형상을 연마하게되면 그 의존성도 있어, 이것을 연마의 패턴의존성이라고 한다.

다음 그림에서 보여지는대로, 폭넓고 정교하고 정밀한 패턴 위에 Plating 을 한 경우, (1) Plating 공정에서 발생하는 Dishing, (2) 조밀한 패턴지역의 Mounding 등이 특징적이다.

게다가 그 상태에서 CMP 한 경우, (1) 폭넓은 패턴에서는 CMP 에서 발생하는 Dishing, (2) 조밀한 패턴에서 발생하기 쉬운 산화막의 Erosion, (3) 전체적으로 과연마된 Recess 등이 발생한다.

주) 성막, 연마, 표면처리에서도 같은 과제가 있다. 그것이 패턴의존이다. 디바이스에는 다양한 패턴이 존재해, 패턴의존이 있는 공정에서는 어떻게 해도 개선할 수 없다. 할 수 있는한 패턴의존이 적은 공정을 개발하고 싶다.

Defects - FM(파티클), PS(Scratch), PR(Residue) 등으로 분류

Defect 검사에는 무엇을 어떤 검사기로 측정했는가가 중요하다. 현재, 검사기에는 아래와 같은 것들이 있다.

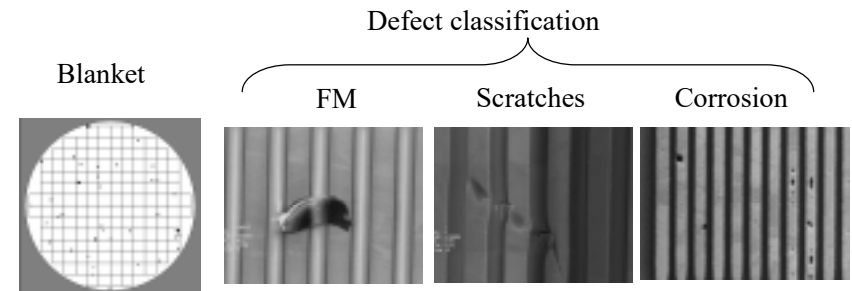
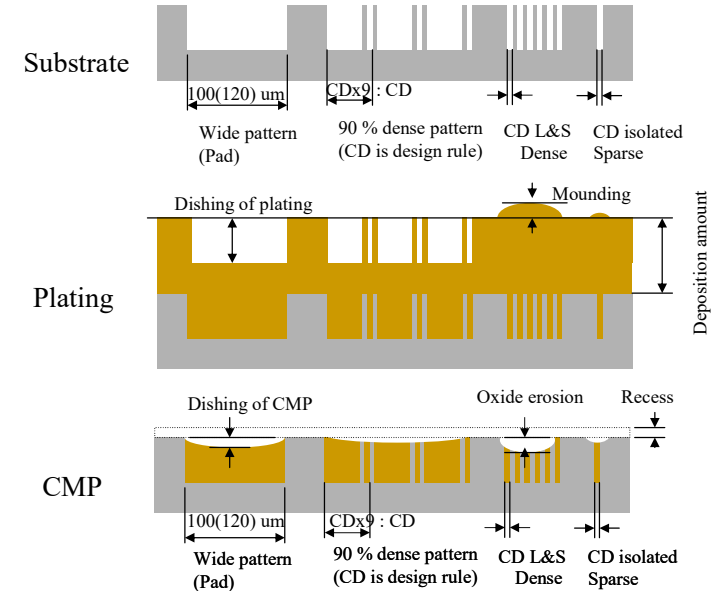
- 1) Blanket 막상의 FM 검사기
- 2) 패턴막위의 Defect 검사기-> 상기와 같은 파티클, Scratch, 부식등으로 나누어진다. Dark-field 와 Bright-field 로 나뉘어지지만 본래는 양쪽다 요구되어 진다.

일반적으로 Defect 들은 다음과 같이 분류되어 있다.

- FM (Freign materials)
- PS(Polish scraches)
- 연마 Residue
- 부식(Corrosion)
- Erosion

등이 있고, 각사 특유의 이름으로도 불리기도 한다.

Planarization performances of plating and CMP



디바이스들은 어디에 쓰이는가?

CMP의 적용부문

다음 페이지의 사진은 CMP의 사용부분을 보여준다. STI, ILD, W 플러그, 그리고 메탈 레이어가 그것이다. 이것을 CMP 입장에서는 CMP의 정지영역이 없는 [Blind CMP 공정]과 정지지점이 있는 [Trench CMP 공정]으로 크게 나뉜다. ILD의 연마는 균질막의 Blind CMP 공정이며, 주로 단차를 줄여주는 성능이 요구된다. STI는 Si-N 등의 연마정지막이 있는 Trench CMP 공정으로, 연마정지막내의 균일성의 향상이나 Dishing 저감이 요구되어 진다. 배선은 Barrier를 포함한 Trench CMP 공정으로, Dishing이나 Oxide Erosion이 적게되기를 요구된다. Dishing이라는 것은 배선부분이 오목하게 되며 과연마되는 현상이며, Oxide erosion이라는 것은 배선간의 산화막이 과연마되는 현상이다.

CMP의 4 단계

이와 같이 CMP에는 산화막(ILD와 STI)과 메탈(W와 AL, Cu), 그 외의 Poly Si나 다른 재료용도가 있으나, 여기에서는 대표적인 Blind CMP로써의 ILD, Recess CMP로써의 STI, W, Cu를 연마성질로 나눠서 일반화해 본다.

CMP-1: 단차저감영역 (ILD) 피가공재와 동질 = 단차성능이 중요

CMP-2: 벌크연마영역 피가공재와 동질 = 웨이퍼균일성이 중요

CMP-3: 이질재영역 (Recess의 정지막 또는 Barrier) = 선택비가 중요

CMP-4: 하지재영역 = Defect가 중요

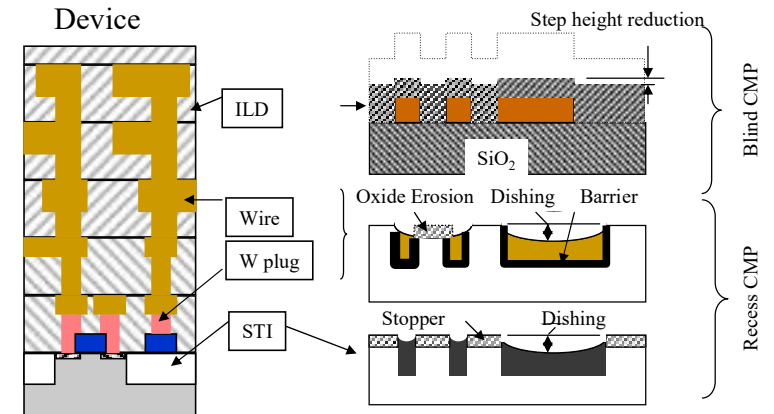
실제 연마에서는 CMP-0라고 하는 과정도 존재한다. 초기에 피가공재의 산화막을 연마할 때에 문제가 발생하여, Cu에서는 Cu 전에 CuO_x 를 연마할 필요가 있다.

CMP공정의 다른점 (Bare Silicon 웨이퍼와 디바이스용 CMP의 차이점)

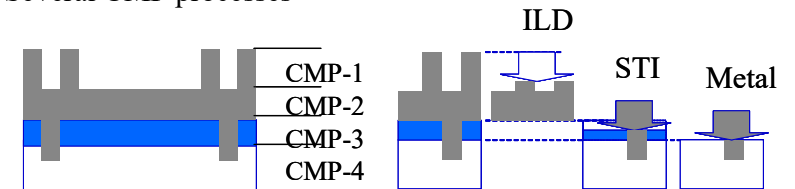
참고로 Bare silicon 웨이퍼의 연마와 반도체 디바이스용의 CMP의 큰 차이점을 나타내었다. Bare silicon 웨이퍼의 연마는 웨이퍼의 양면을 $20\mu\text{m}$ 정도 연마하여 웨이퍼의 두께를 일정하게 하는 것과 표면의 거칠기를 저감시키는 목적이다. 당연히 연마대상은 Silicon 막이 된다.

반도체 디바이스용 CMP는 위에서 서술한바와 같이 한쪽면만을 $2\mu\text{m}$ 정도 연마하여 20nm 의 막두께를 정밀하게 관리하는 것과 각종 불순물재료를 연마하는 것으로 Bare silicon용 연마공정과 반도체 디바이스용 CMP공정은 비슷하지만 크게 다른 공정이다.

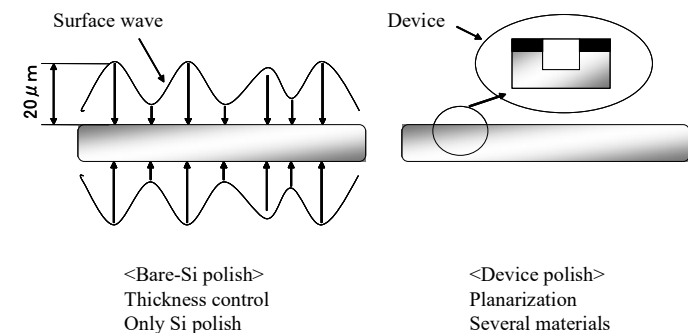
CMP application



Several CMP processes



Difference between bare-Si polish and device polish



연마부, 세정부

CMP 시스템이란 연마와 세정, 건조, 모니터, 슬러리공급, 폐액처리, 패드, 슬러리 등 여타의 관리기술, 자동화기술 등을 포함하는 것을 말하지만, 여기서는 주로 연마, 세정, 모니터기술을 알아보자.

연마부

80 년대의 Bare silicon 연마를 시작으로, 거의 대부분이 Rotary 식을 사용하고 있다. 당시엔 성능은 물론, Throught 을 중시하여 멀티 헤드나 멀티 테이블의 장비가 다양하게 개발되었다. 90 년대에는 디바이스의 미세화와 더불어 평탄화 요구가 더욱 엄격하게 되어 제어가 쉬운 싱글 헤드장비가 선호되었다. 또한 모든 종류의 프로토타입 연마 시스템이 등장하기 시작한것도 이 시대이다.

(1) 작은 테이블 타입 : 작은 Space 를 목적으로 회전 테이블의 중심을 벗어나 웨이퍼를 연마하는 것이다. 기하학적으로는 테이블의 중심을 벗어나도 웨이퍼위의 이동속도는 동일하게 할 수 있다.

(2) 작은 헤드 타입 : 웨이퍼를 위를 향하게 하여 웨이퍼보다 작은 헤드로 연마한다.

(3) Linear type : 웨이퍼측을 회전시키는 것이 아니라, 직선운동에 의한 것

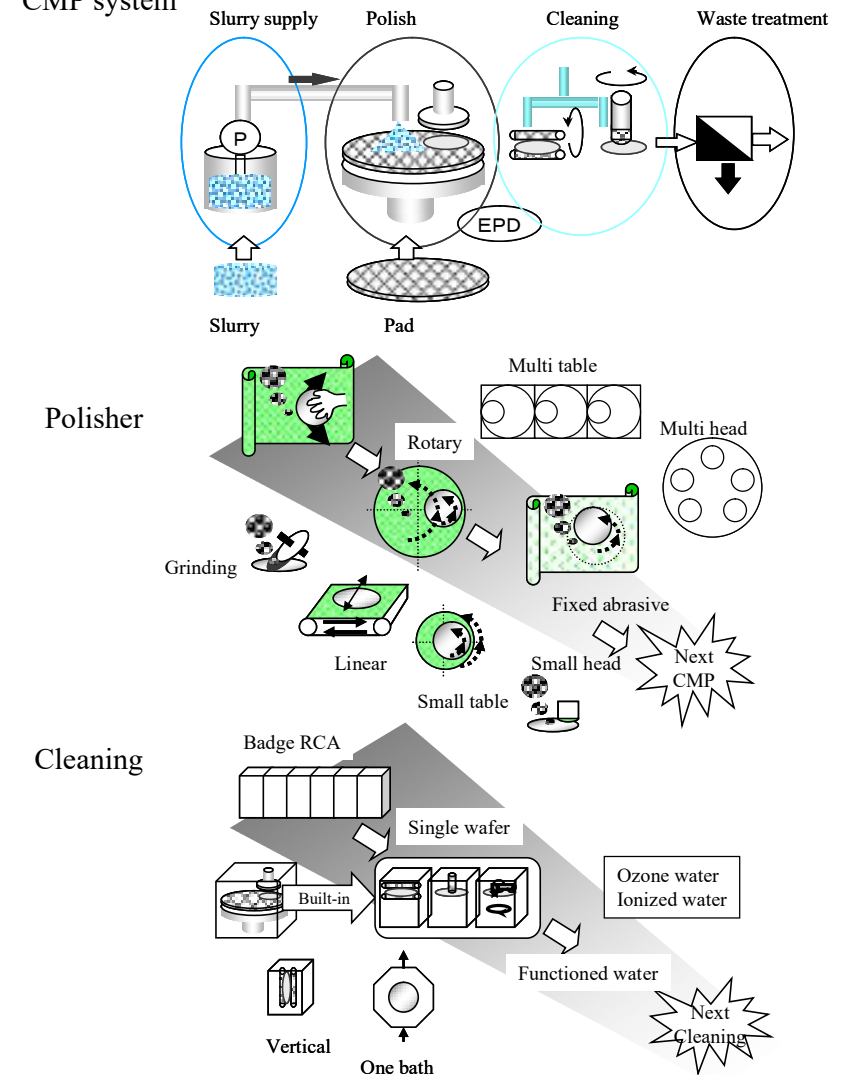
(4) 연삭 type: 연마가 아니라 연삭(Grinding)함으로써 평탄화를 구현한다.

(5) 고정지립 타입: 움직이는 지립이 아니고 고정지립을 이용하는 방식

세정부

80 년대 아니, 1990 년대에 들어와서조차 CMP 시스템에 세정장치를 붙여넣으려는 생각은 없었다. 연마를 하면 먼지가 많이 발생된다. 반면에 세정기는 반도체 제조장비 중에서 가장 깨끗함을 요구하는 장비이며, 먼지가 많이 발생하는 CMP 와 세정장비를 같이 장비안에 배치한다는 것은 말도 안된다고 하는 시기가 있었다. 사실 10^{15} 의 파티클을 10^9 까지 줄이는 분리 공정은 화학공학공정에는 없다. 그리고 기존의 Batch 식 RCA 세정을 바라고 있었다. 나중에 CMP 사용횟수가 늘어남에 따라, CMP 도 다른 건조장비와 같은 대우를 받고싶다고 생각한 것은 당연한 결과이며, 90 년대 [드라이인/드라이아웃 컨셉]이 등장하였다. 그 후에는 이것에 기초하여 수직타입이나 One Bath 타입 세정장비가 개발되었고, 오존수나 이온수 같은 공정에 필요한 기능수를 응용한 것 역시 나타났다.

CMP system



모니터부

모니터의 종류

연마는 크게 나누어 2 가지로 나누어 진다. ILD 과 같은 균질막을 연마하는 Blind 공정과 W 나 Cu, STI 와 같은 비균질막을 없애는 Trench 공정이 있다. 이러한 공정에 맞는 여러가지 모니터가 개발되어 왔다.

(1) 마찰감지방식: 테이블이나 헤드에 설치된 토크감지에 의해, 비균질막의 경계에서 발생하는 토크변화를 감지해 내는 방법이다. W Process 등에서 이용되며, 모터전류식은 이것에 포함된다.

(2) 진동감지방식: 헤드에 설치된 진동감지속도모터에 의해 비균질막의 경계에서 발생하는 진동가속도 변화를 감지하는 방법이다.

(3) 과전류감지방식: 메탈막의 두께에 의해 변화하는 과전류에 의한 막 두께의 변화를 모니터링하는 방법이다. 메탈 Trench CMP에 사용되고 있다.

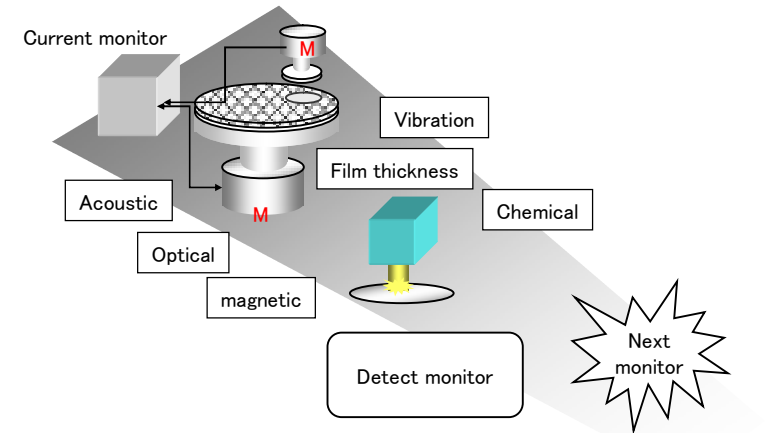
(4) 광학감지방법: 광학식 막 두께 모니터와 같은 원리이며, In-line방식과 In-situ 방식이 있다.

(5) 그 외: 비균질막을 연마할 때에 발생하는 특별한 화학물을 감지하는 방법이나 음향변화를 감지하는 방법등 여러가지 방법이 개발되고 있다.

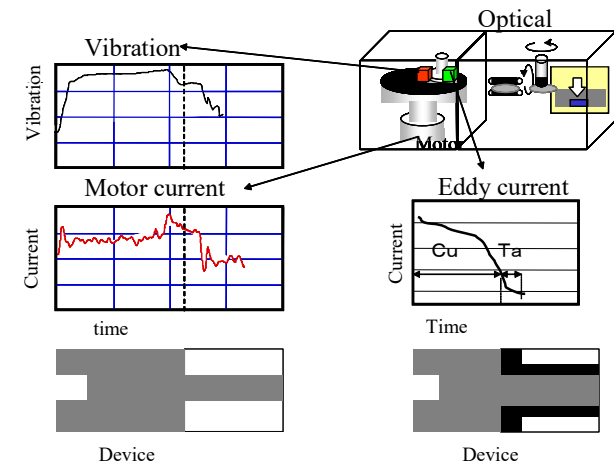
실제 데이터와의 비교

아래의 그림은 실제 사용되고 있는 모터 전류식과 진동식과 과전류식의 예를 보여준다. 모터 전류식은 가장 옛날부터 사용되고있는 방법으로, 비균일막질간에서 발생하는 마찰력을 회전토크로 검출한 것이다. 진동식은 헤드에 설치된 진동센서에 의해 같은 비균일막질간에서 발생각 진동 패턴의 차이를 감지한 것이다. 그림에는 같은 디바이스패턴을 모터 전류식과 진동식으로 감지한 예를 비교해 놓았다. 과전류식은 금속내에 발생하는 과전류의 큰 금속의 두께로 변하는 원리를 이용한 것이다. 다음 그림은 Cu 와 Ta 를 연마했을때의 예를 보여준다.

Monitor



Comparisons



공정시간

Raw process 시간의 개선

In-process Monitor 의 목적은 연마정지정보와 막 두께 컨트롤정보가 주이지만, 그 외에 고장진단, 수명예측이나 Raw process 시간(실제 공정 시간)의 단축 등을 들 수 있다. 또한, 연마 시스템으로서 In-process Monitor 는 하기와 같다.

(1)연마정지정보 (End point): 앞에서 말한바와 같이 CMP 는 대략적인 가공 기계이어서 End point 와 관련된 기술이 요구된다. 한가지는 기계적으로 멈추는 방법과 자동정지가 되는 슬러리나 패드를 개발하는 방향도 있다. 어찌되었든 네가지 CMP 영역에 잘 맞는 End point 개발이 필요하다.

(2)막두께관리정보: ILD에서는 그 막 두께가 디바이스 성능에 큰 영향을 끼친다. Low-K 시대가 되면서 점점 더 그 관리폭이 어려워질 것이다. 그리하여 간단한 End Point에서 막 두께 컨트롤을 목표로 하는 것은 당연히 되고 있다.

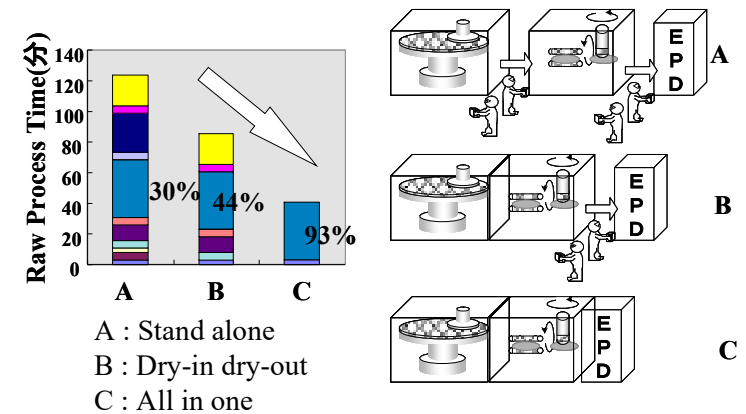
(3)고장 진단/수명 감지: CMP는 신뢰성이나 재현성이 안좋은 공정이라는 이유로 End Point의 개발이 급속도로 높아졌으나, 실제로는 그 신뢰성이나 재현성에도 어떤 경향이 있는것으로 알고 있다. 이것들은 연마정지정보나 막 두께 컨트롤 정보를 조사하는 것에 의해 얻을 수 있고, 예를 들면 보통 연마정지 정보나 막 두께 컨트롤 정보와의 비교에 의해 고장진단이나 수명예측에 적용하는 것이 가능하다.

(4)Raw process시간단축: 오른쪽 위의 그림은 연마, 세정, End point Monitor (EPD)가 각 Stand alone설비의 경우와, 세정이나 EPD가 각각 Built-in 되면 Raw process 시간이 얼마나 단축되는가를 보여주고 있다. 현재 올인원 타입과 기존의 Stand alone 타입을 비교하면 Raw process 시간이 약 1/3로 단축되고 있다. 또한 총공정 시간내의 연마 비율이 높아지기 때문에, 이후 생략시키고자하는 Test 웨이퍼도 사용하기 쉬워진다.

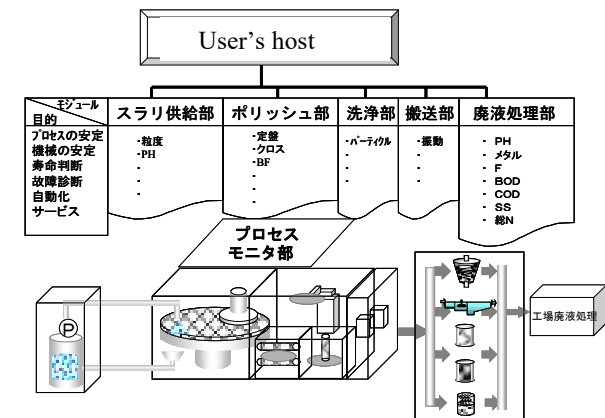
이외의 관리정보

또한 아래의 그림은 CMP 시스템으로써 연마, 세정, 반송, 슬러리 공급, 폐액처리를 포함한 관리방법의 예를 보여주고 있다. 이것들은 상위통신을 통하여 공장운영에 크게 관여하는 중요한 항목이다. In-process Monitor 는 연마공정만 필요한 것은 아니다. 예를들면, Scratch 는 슬러리 공급장비의 완성도에 크게 관여하고, 파티클주는 세정장비나 반송장비에 관여하고, 소모재에 의해서도 연마특성이 크게 변화한다. 또한 향후 신물질의 연마시에는 폐액처리를 포함한 환경부하저감은 필수 항목의 테마이다.

Raw Process Time improvement



Communication to host



슬러리의 재활용과 폐액처리

슬러리

슬러리의 성능은 “Abrasive 와 Abrasive 용액의 피연마막과의 기계가공성, 화학반응성”으로 결정된다. 산화막에는 주로 KOH 계 또는 암모니아계의 실리카 슬러리, 그 외 세리아, 망간계의 슬러리가 사용되고 있다. 평가항목으로는 연마율, Scratch, 세정성등이 있다. 금속막에는 과산화수소, 초산철, 요산화칼륨계의 알루미나 실리카나 망간계 슬러리가 사용되고 있으나, 평가항목은 상기 슬러리에 Dishing, Oxide erosion, Corrosion 가 포함되어 있다.

과제로는 금속막용의 각종막, Barrier 막, 하지막에 필요한 선택비를 확보하면서 상기평가항목을 만족시키는 새로운 슬러리를 얼마나 빠르고 저렴하게 제공할 수 있는 가에 있다.

슬러리 공급 시스템

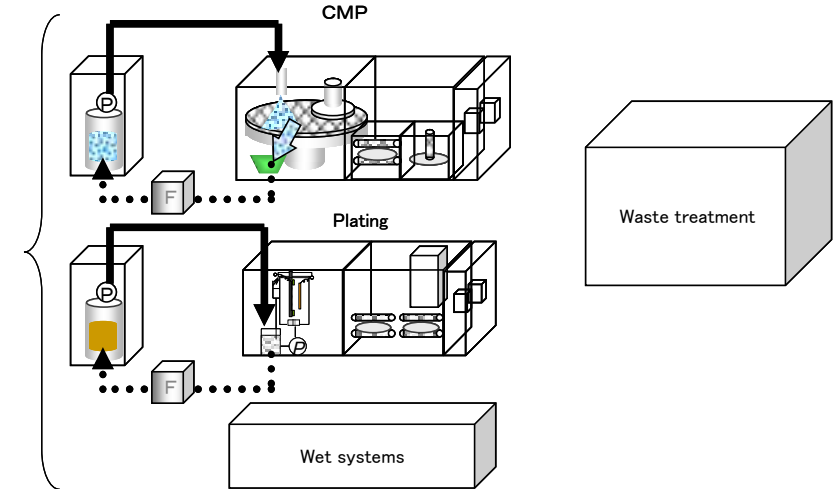
슬러리 공급시스템은 On-site 개별방식과 집중방식으로 나뉜다. 실험수준이나 슬러리를 자주 교환할때 On-site 개별방식이 적당하지만, 실제 양산공장에서는 집중방식을 사용하고있는 경우가 많다. 또한 슬러리만이 아닌, 도금장비등 다른 Wet Process 장비의 약액 화학물질도 같이 방식으로 다루어지는 것이 가능하다.

슬러리의 재사용

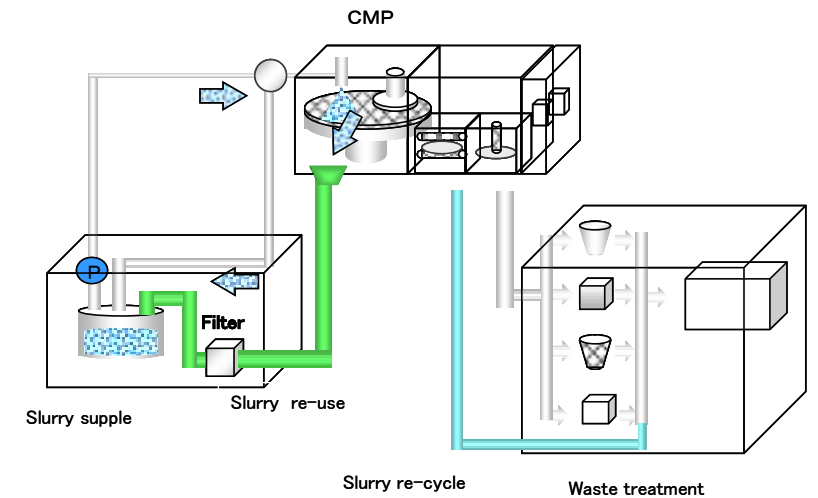
현재는 슬러리의 비용은 매우 비싸다. 그래서 슬러리의 재활용이나 재생이 고려되어져 왔다. 재활용이란, 그림과 같이 한번 사용된 몹지않은 슬러리를 필터를 통과시켜 순환하는 방법이다. Bare Silicon 연마에서는 일반적으로 사용되고 있는 방법이다.

재생이라는 것은 기존의 슬러리 상태로 돌리는 것을 말한다. 반도체용 일반 약액에서는 On-site 로 재생에 성공한 실적이 있으나, 슬러리에서는 상당히 어렵다. 현재, 환경적인 문제를 생각한다면 꼭 이루어 졌으면 좋겠다고 생각한다.

Chemical supply systems for plating and CMP



Slurry re-use / re-cycle system



층간절연막(ILD)부터 시작해보자

용도와 평탄화 성능의 정의

층간절연막 CMP 는 CMP 가 사용된 최초의 공정으로 CMP 의 대표 격이다. 다음 그림과 같이 알루미늄 배선의 경우에는 알루미늄 위에 CVD 로 산화막을 성막하기 때문에 산화막에 단차가 발생한다. 성막시의 평탄화 기술에 관해서는 앞에서도 말하였지만, 거기서도 단차가 발생한다. 이것을 초기단차라고 정의한다. 이 초기단차를 연마하고, 평탄화하는 것인데, 그 마지막에 남는 단사를 최종단차라고 하는 것이다. 이 초기단차에서 최종단차까지 어느정도 양을 연마하는 좋을까? 이것이 평탄화 성능이고, 식은 다음과 같다.

$$\text{평탄화 성능} = (\text{초기단차} - \text{최종단차}) / (\text{연마량}) \quad (\text{만약 } \% \text{로 표기한다면 } \times 100)$$

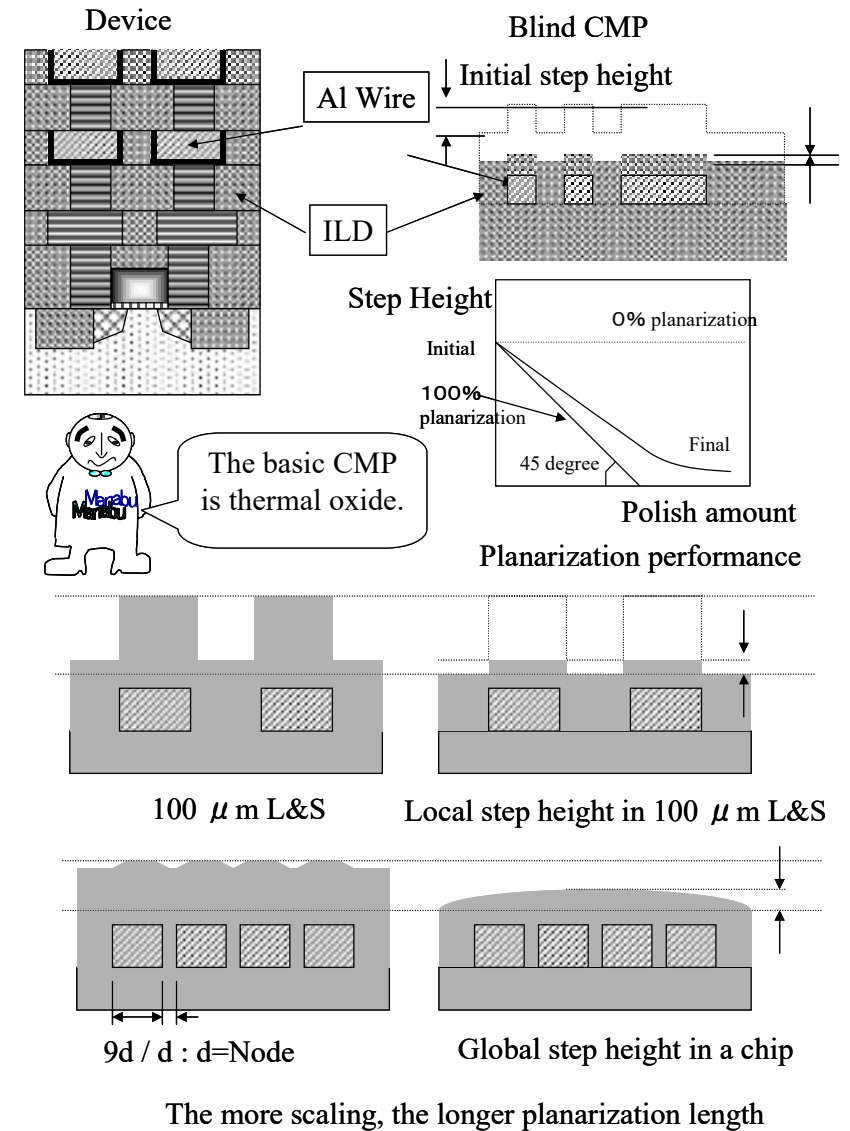
그래프에서 보여지는 45 도의 기울기는, [연마한 만큼 단차가 감소한다]를 가리키며, 이것을 이론평탄화 100%라 한다. 그림의 평행선에서 가리키는 라인은 [아무리 연마해도 단차라 줄지않는다]는 것을 나타내며, 이것은 평탄화성능 0%라고 한다. Wet 에칭등을 연상해보아도 좋다. 당연한 정의지만, 전해연마나 다른 평탄화기술을 의논할때에 중요한 정의이므로 꼭 기억해 두자.

평탄화 길이의 증가.

그런데, Gap-fill 성을 향상시킨점이 단점을 발생시켰다. 배선 Line&Space(L&S)가 넓을때엔 Gap-fill 성이 아무리 좋아도 산화막은 어느정도 배선판턴에 따라 막이 입혀지지만, L&S 가 더욱 좁아지면 절연막은 배선판턴에 따르지 않고 배선판턴이 전부 덮혀져 버리게 된다.

이러한 점이 CMP 에 있어서 큰 문제를 야기시켰다. 낮게 되어버린 단차의 폭이 너무 넓어져 예를 들어 Chip 면적에 해당하는 10mm 정도로 되어 버렸다.

이것은 연마에 있어서는 상당히 어려운 영역에 돌입했다고 말해도 좋다. 이것을 전문용어로는 PL (Planarization length)의 증대라고 한다. 해결방법은 다음 내용으로 넘어가 보자.



균일성에는 Profile 의 조절

Deplating 의 원리

산화막 SiO_2 연마의 원리는 다음과 같다

[화학적]표면에 있는 수산기 $-\text{OH}$ 가 알칼리에 의해 공격을 받아, 겔층이 형성된다.

[기계적]다음에 이 겔층은 기계적으로 제거된다.

연마 속도와 평탄화 성능

산화막의 연마는 CMP 에 기초하고 있어, 여기서 다시한번 Preston 식을 도출하여 보자.

$$\text{Preston's equation} \quad PR = kPV$$

실제 여기에 온도의 작용 (아레니우스의 식)을 가하면

$$\text{수정된 Preston's equation} \quad PR = kPVT^a$$

로 하여, 각종 슬러리나 패드의 데이터는 PVT 의존도를 확인할 필요가 있다라는 것은 이전에도 서술하였다.

평탄화성능은 전향에서 나타낸바와 같이

$$\text{평탄화성능} = (\text{초기단차} - \text{최종단차}) / (\text{연마량})$$

웨이퍼의 균일성

웨이퍼내의 균일성에 관여하는 인자와 제어방법을 나타내었다. 그림에서 나타내는바와 같이 본래 웨이퍼의 균일성에 관여하는 인자는

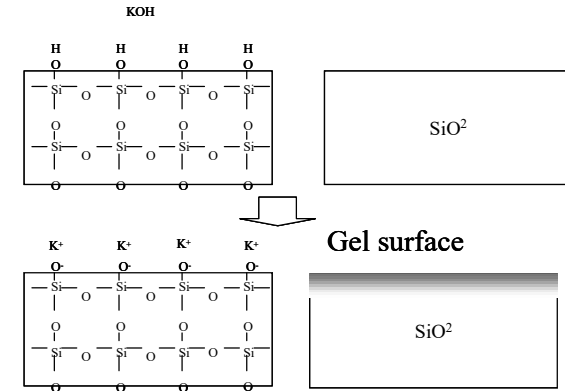
- 1) 누르는 하중
- 2) 상대 속도
- 3) 온도
- 4) 슬러리와 패드의 종류
- 5) 테이블 작동의 정밀도.

등이 관여하지만, 여기에서 2)부터 5)까지는 전부 일정하게 하고 1)의 누르는 하중에 의한 제어방법을 소개한다. 이 방법에는

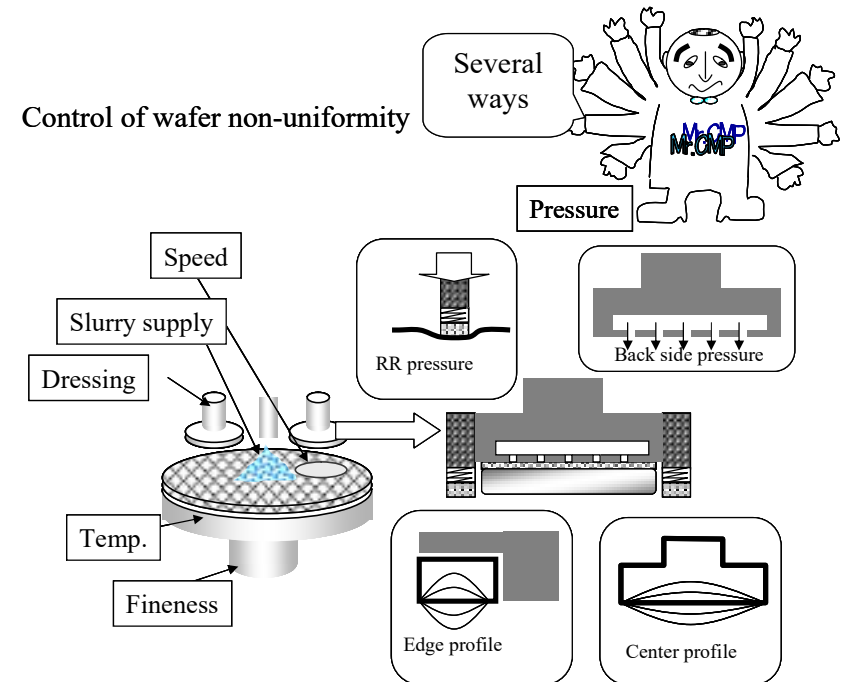
- 1) 백사이드 압력제어
- 2) 리테이너링 하중제어
- 3) 헤드의 모서리나 중앙의 형상제어

등을 고려 할 수 있다. 좀 더 상세하게는 다음 페이지부터.

Principle of oxide CMP



Control of wafer non-uniformity



Backside 압력, Edge 압력 그리고 회전속도

대표적인 세개의 연마 속도 Profile 제어의 방법을 나타내었다.

백사이드 압력에 의한 Profile 제어

다음페이지의 그림에는 웨이퍼 Backside 압력제어에 의한 프로파일제어의 예를 가리키고 있다. 이것은 CMP 의 초기 실시되었던 방법이다. Wafer 캐리어에 여러 개의 구멍을 뚫어, Wafer 캐리어의 뒷편부터 유체압력에 의한 무게조정을 하는 방법이다. 간편하지만, 효과가 있어, 지금까지도 실험기 등에서 사용되고 있다.

단지, 그다지 CMP 균일성을 많이 이요구를 하지 않았던 시대에는 이 방법이 통용되었었다. 하지만 균일성요구가 엄격해지고 장비성능이 좋아지면서 이 방법으로는 해결되지 않게 되었다. 패드나 슬러리등에 의하여 연마특성에 영향을 준다는 것은 앞에서도 언급했던 것이다. 이러한 패드나 슬러리의 영향을 해결하기 위하여 단지 이러한 구멍만을 조정하는 것으로는 어렵되 되었다. 필요는 발명의 어머니, 이로써 다양한 공정이 개발되었다. 아래는 그 예를 들은 것이다.

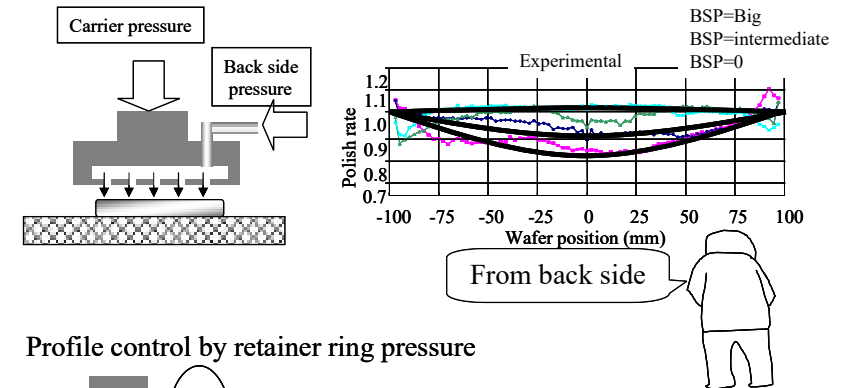
리테이너링 하중(荷重) 제어

웨이퍼의 주변에 외부의 힘이 주어지도록 설계된 링이다. 패드에서의 리바운드를 조정하고, 웨이퍼 모서리의 연마속도를 제어할 수 있다. 이것은 현재 최신 CMP 에서도 사용되는 방법으로, 패드의 리바운드를 고려하지않으면 안되는 것을 세상에 알린 최초의 예이다. 패드의 강성과 두께에 의한 제어는 더욱 복잡하게 되어져 있다. 그림에는 그 제어를 FEM 으로 분석한 결과와 실제로 제어된 예를 나타내었다.

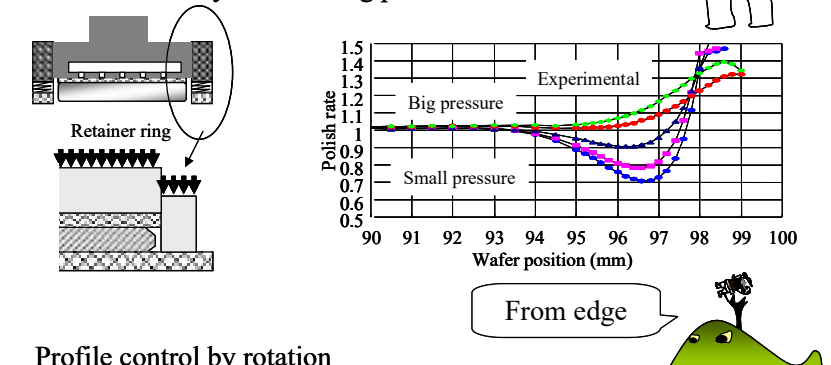
회전속도에 의한 연마속도 제어

다음 그림은 회전수에 따른 연마속도의 제어를 나타낸다. 보통은 테이블 회전속도와 헤드의 회전속도를 같게 하여, 웨이퍼와 패드간의 상대속도를 같게할 수 있다. 그림의 중심이 그 경우의 Vector 이다. 테이블의 속도를 헤드보다 크게한 경우를 왼쪽, 그반대가 오른쪽이다. 이것으로 웨이퍼의 주변과 중앙의 연마속도를 바꾸는 것이 가능하다.

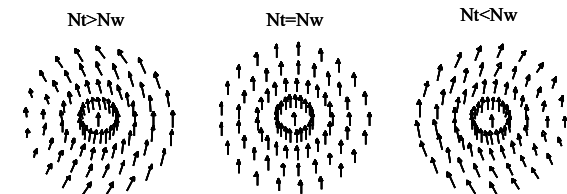
Profile control by back side pressure



Profile control by retainer ring pressure



Profile control by rotation



注) N_T : Table rotation N_W : Wafer rotation

Dress, 유량 그리고 진동

다음에는 웨이퍼내의 균일성을 악화시키는 여러가지 요인과 그 대책에 대해서 설명하였다.

패드 드레서에 의한 개선

패드 표면상태를 드레서로 제어하지않으면 균일성이 악화된다. 다음 그림에는 다양한 드레서로 만든 패드표면을 나타낸다. 드레서의 종류와 드레싱방법으로 패드표면을 제어할 수 있다. 평탄한것이 좋은가, 조금 볼록하거나 오목한 것은 그때의 프로세스에 의해 조정된다.

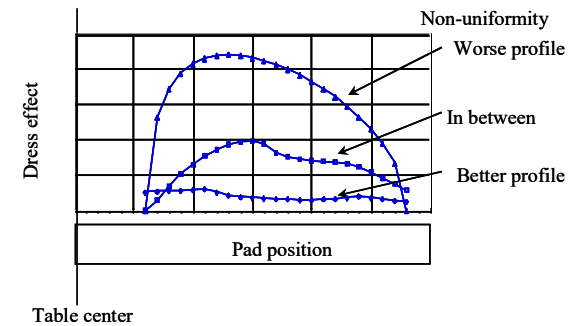
슬러리 유량제어

슬러리의 유량은 될수 있는한 줄이고 싶지만, 그래도 감소의 한계는 정의 되어야 한다. 실제 CMP 를 사용하기 시작했을 때는, 슬러리는 다음 그림에 표시된 것과 같은 범위내에서 사용되어 있었다. 예를들면 200mm 웨이퍼에서는 200cc/m 정도가 표준이었다. 300mm 웨이퍼에서는 원래는 400cc/m 정도가 필요하지만, 슬러리 단가가 높아서 이것을 가능한한 최소화시키는 것을 연구해왔다. 그림에는 슬러리 유량현상에 의한 연마속도의 허용범위를 확인한 실험이다.

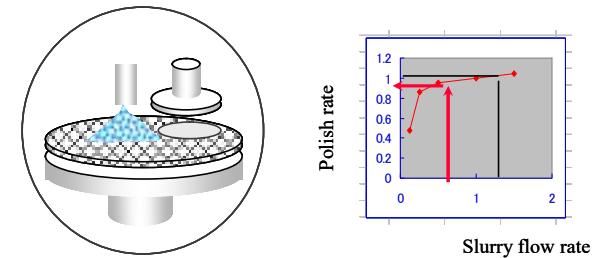
Stick-slip

연마의 운전조건은 웨이퍼나 슬러리, 패드의 종류에 의해 크게 달라지는 경우가 있다. 예를 들면 비교적 고착되기 쉬운 (마찰력이 높은) 조건으로 연마를 할 경우, 장비가 진동하는 경우가 있다. 이 원인의 하나로 Stick-slip 를 들 수 있다. Stick-slip 라는 것은 마찰력에 의해 웨이퍼가 [걸리는]것과 같은 이미지가 떠오른다면 좋다. 그 경우에는 진동대책을 실시하는 것에 의해, 보다 넓은 조건에서 연마가 가능하게 된다.

Improvement by pad dresser

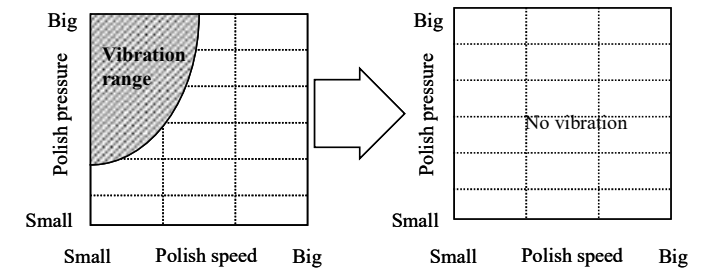


Slurry flow control



Stick slip

After countermeasure



이것이 ILD 의 스펙이다

그러면 이것이 층간절연막 ILD CMP 의 스펙 이라는 예를 소개하겠다.

사양

다음 그림에 일반적인 사양(스펙)을 보여준다.

연마속도, 웨이퍼 내의 균일성, 평탄화성능, 디펙의 숫자는 기본이고, 그 외에도 Profile 제어성등의 User 특유의 요구도 추가된다.

웨이퍼내 균일성

일반적인 웨이퍼내의 균일성을 그림에 나타내었다.

막종류 : PE-TEOS

패드 : IC1000™-050 (K)/S400

슬러리 : SS-25 (1:1)

Table/carrier 회전수 : 70/70 [rpm]

실제로는 연속 테스트로 안정성을 증명할 필요가 있다.

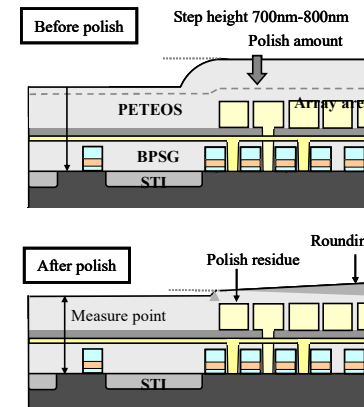
연마 Profile 제어성

연마 전의 성막공정 형상을 보정할 필요도 있다. 이 경우에 대비하여 연마는 Profile 제어성을 필요로 할 경우가 있다. 프로파일 제어방법은 앞서말한 것과 같다.

단차감소성능

대표적인 실리카 슬러리와 세리아 슬러리의 단차저감성능을 그림으로 나타내었다. 이 단차성능은 디바이스의 패턴에 크게 의존한다. 어느 부분이 평탄화하기 어려운가는 디바이스에 따라 다르기 때문에, 연마 결과를 보다 잘 체크하는 것이 필요하다.

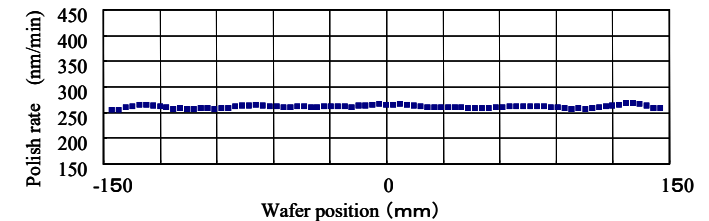
Specification



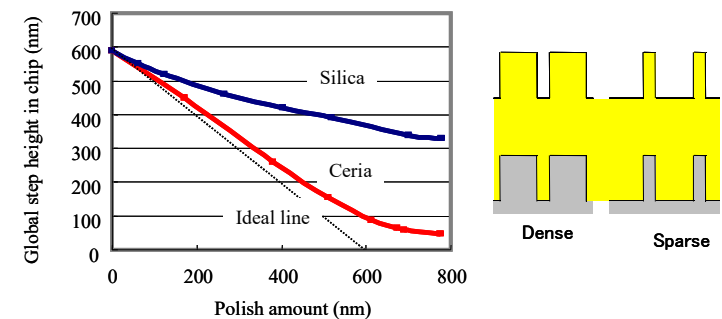
Performance (300mm wafer)

Items	Requirements
Polish rate	$\geq 300\text{nm/min}$
Non-uniformity(WIW)	$\leq 3\% (1\sigma)$ EE:3mm
Defect (Surfscan6420)	$\leq 30 \text{ pcs}(\geq 0.2\mu)$

Example of wafer non-uniformity



Example of step height reduction



STI CMP

용도와 문제

용도와 성능은 그림에 표시한 것과 같다. 문제는 Stopper 막(Si-N)내에서의 Range 와 결함을 줄이는 것에 있다. 사진은 연마전과 연마후를 나타낸다.

원리

STI (Shallow Trench Isolation) 연마에는 특별히 실리카 슬러리와 세리아 슬러리를 사용한 연마가 있다. 실리카 슬러리를 사용한 연마의 원리는 층간 절연막의 연마와 같다.

Chip 내 균일성

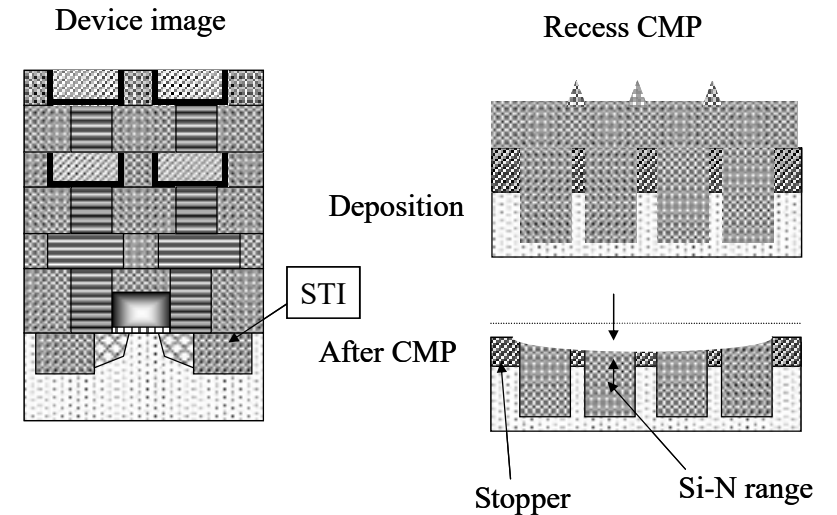
STI 에서의 독특한 요구는, Stopper 로써의 사용될 수 있는 Si-N 내에서의 Range 가 논의되고 있다. 통상적으로 SiO₂ 막과 Si-N 막과의 선택비를 높게 가져가서, Si-N 를 되도록 연마하지 않고 Si-N 의 Range 를 적게하는 방법을 취한다. Si-N 의 선택비를 높게 가져간다는 것은 SiO₂ 의 연마속도가 Si-N 의 연마속도보다 빠르다고 말 할 수 있으므로, 통상 (SiO₂ 의) Dishing 양이 크게 된다고 말하는 이율배반이 된다. 이것을 해결하기 위해서는, 과 연마성능이 중요하게 된다. STI 연마의 요령은 (1) Si-N : SiO₂ 의 선택비를 높게, 예를들어 1 : 30, (2) 과도 연마하더라도 SiO₂의 Dishing 을 적게하는 것이다.

결함

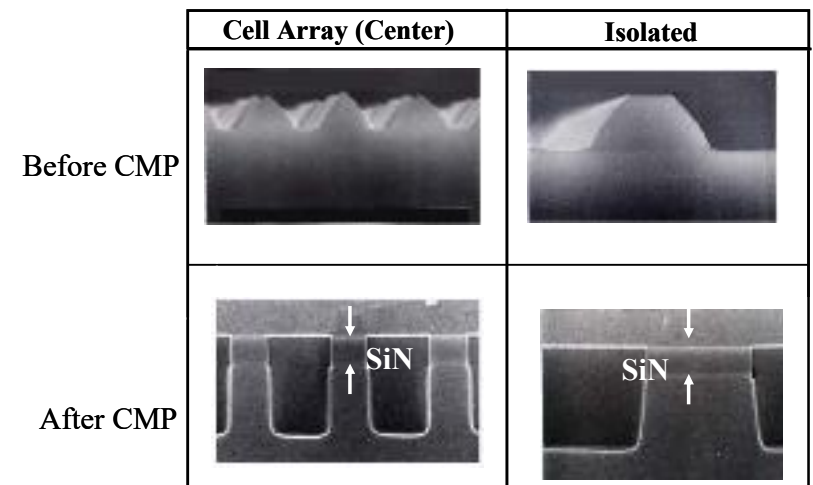
STI 연마에서는 Scratch (PS)가 전부라고 말해도 과언이 아니다. Si-N 의 아래까지 관통하는 Scratch는 Killer로 NG가 되지만, 관통하지 않아도 SiO₂에 생긴 Scratch 도 그다지 좋지는 않다. 또한 Si-N 에 도착하기 전에 발생한 Scratch 의 폭과 깊이가 문제이다. 예를들어 폭이 10 μm 의 깊이가 1 μm 의 Scratch 가 그 이후 최종단까지 도달하게 될까? 아니면 없어질까? 가 중요하다. 최종까지 도달한다면 Out! 즉 10 : 1 μm 의 Scratch 가 이후 평탄화가 가능할 수 있을지를 결정 짓는다.

Monitor

고 선택비를 가진 세리아의 연마에서는 마찰력에 따라 최종 검지가 가능하다.



Example of STI



여러가지 STI의 공략법

다음은 여러가지 STI 연마방법을 나타낸다. 어떻게 STI의 공략이 가능할까?

Reverse Etching 법과 Direct 연마

통상 아무런 생각도 없이 Direct CMP를 실시하면, Field 부의 넓이가 넓은 곳은 평탄화 되지않고, Stopper 막까지 결함을 발생 시킬 가능성이 있다. 거기서 생각할 수 있는 한가지 방법이 Reverse etching 법이다. 이것은 오른쪽 그림에 나타난 것과 같이, 평탄화하기 어려운 Field 부를 전 공정에서 Etching으로 없애는 연마 방법이다. 이렇게 함으로써 더욱더 쉽게 평탄화하는 거리가 짧아지기 때문에 쉽게 평탄화가 가능하다.

Dummy patterning 법

Dummy patterning 법이라고 하면 Dishing이 쉽게생기는 Pattern에 Dummy로 문턱을 만들고 연마를 하는 방법이다. 이 Dummy의 배치나 설계는 Device Maker의 노하우 및 특화가 되기 때문에 이 Chapter에서는 간단한 설명만으로 한다. 현재의 최첨단 Device에서는 이러한 Dummy를 많이 사용한다는 것만은 덧붙여 두고 싶다.

세리아 연마법

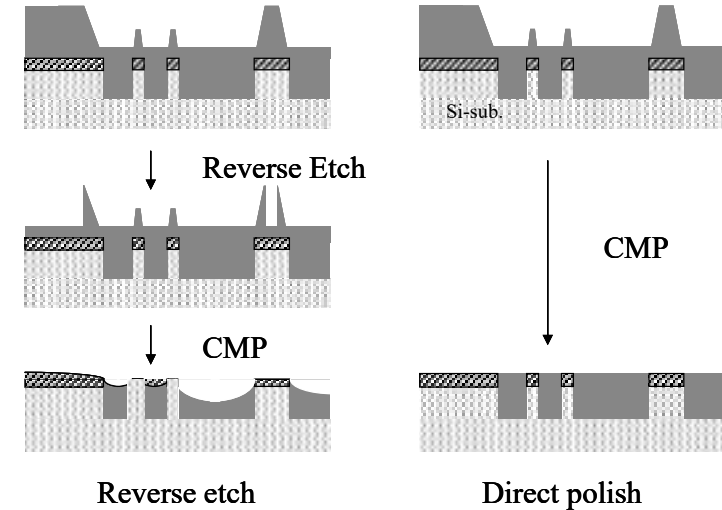
그러면, 위와 같은 생각외에 CMP로만 이렇게 긴 평탄화 거리를 어떻게든 할 수 없나? 패드의 강성을 높이던지, 연마 속도를 빨리하여 실효적인 패드 강성을 높일수 있는 아이디어도 있다. 하지만 그것만으로 부족하기 때문에 세리아 슬러리로의 평탄화가 생각되어 왔다. 현재로써는 이 세리아에 의한 방법이 일반적이다.

고정 연마법

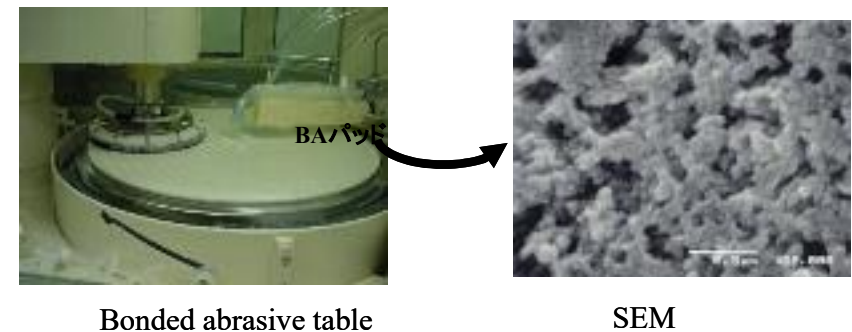
패드의 강성을 높이는 방법으로는 고정 연마라고 부르는 방법도 있다. 고정 연마란 3M사에서 통상의 패드위에 피라미드 모양의 세리아를 고정시키는 방법으로, 세리아를 Fixed한 패드를 만드는 방법이다. 오른쪽 사진은 이 방법이다.

고정연마의 문제는 결함을 낮추는 것에 있다.

Reverse etching and direct CMP



Example of bonded abrasive



텅스텐 (W) CMP

용도와 문제

텅스텐 Contact 이나 Via 의 Image 를 그림으로 나타냈다. 절연막은 산화막이고, Barrier 에는 통상 Ti/Ti-N 을 이용한다. 따라서, CMP 는 W→Barrier(Ti/Ti-N)의 이중 연마가 되고, 그 위에 Single Wafer CMP Process 가 있다.

요구사항은 아래와 같다 (세대에 따라 요구치가 달라진다)

- Oxide Recess : <10nm
- Oxide Erosion : <20nm
- Dishing : <10nm

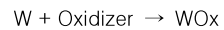
문제는 이러한 요구치를 적게하는 것은 당연하지만, Process 로써는 텅스텐 연마와 Barrier (산화막 하부) 연마의 슬러리를 나누는 2 단계 CMP 공정 그리고 한번에 전부를 연마해버리는 1 단계 공정이 있다.

생산성으로부터는 1 단 Process 가 앞서지만, 공정성능으로는 당연히 2 단계가 우위에 서 있다. 세대 요구와 함께 이 1 단계인지, 2 단계인지를 적절히 골라 사용하는 것 이라고 생각할 수 있다.

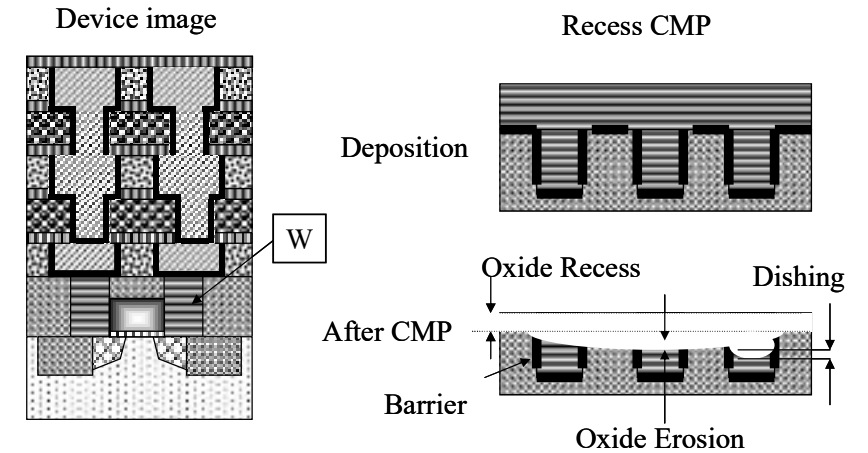
원리

텅스텐 CMP 의 원리를 아래에 나타낸다.

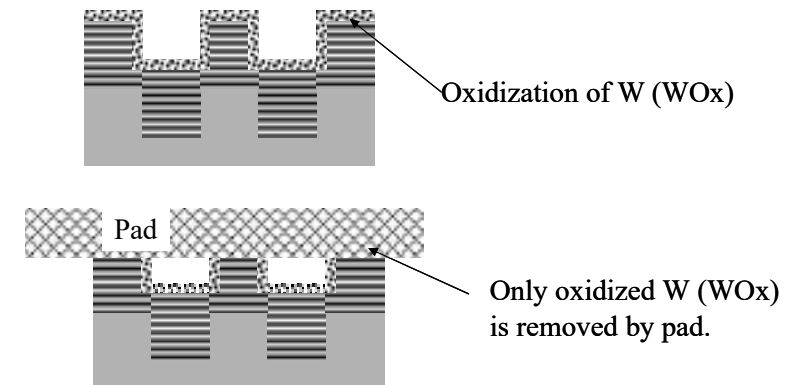
(1) 우선 텅스텐 표면을 산화제로 산화시킨다. 그리고 산화제에는 과산화수계나 질산철 등이 이용될 수 있다.



(2) 다음은 텅스텐 산화막을 기계적으로 제거한다. 이 방법은 패드의 강성으로 돌출부만을 선택적으로 제거하는 것으로 평탄화가 이루어진다.



The principle of W-CMP



Cu 잔류물도 하층의 텅스텐으로 부터?

텅스텐 CMP 에서 최근 문제가 되고 있는 2 가지 예를 최근 화두로 하여 소개한다.

Erosion 기인으로 인한 Cu short 예

텅스텐 Contact CMP 평탄화의 결과로, 그 상층의 Cu 배선에 short 가 발생하는 경우가 있어, 최근에는 이 텅스텐 CMP 에 대해 평탄성 요구가 엄격하게 되고 있다. 이 Mechanism 을 오른쪽 그림에서 설명하고 있다.

- ① 텅스텐을 Contact 구멍을 매우듯이 Deposition 한 상태에서 시작한다.
텅스텐 Deposition 은 CVD 로 실시하기 때문에, 비교적 Conformal 하게 Deposition 이 된다.
- ② 텅스텐 CMP 로 Oxide Erosion 이 발생한 Image 그림을 나타냈다.
- ③ 다음으로 그 Erosion 형상에 Conformal 한 산화막이 생성된다.
- ④ 다음으로 Etching 의 높이도 같다면, Etching 형상도 Erosion 형상에 Conformal 하게 된다.
- ⑤ 그 위에 도금으로 막을 성장시킨다. 이 경우, 도금의 Mounding 등은 무시하고 생각하면 도금막도 Erosion 형상에 Conformal 이 된다.
- ⑥ Cu 연마도 Erosion 형상에 Conformal 하게 깎인다.
- ⑦ 결과적으로, 위에서부터 보면 Erosion 된 부분에 Cu 가 남는다.

이것이 텅스텐 CMP 에 의한 영향이되고, 상층의 Cu 또는 Metal 잔류물의 Mechanism 이다. 이것을 해결하기 위해서는 가능한한 텅스텐 CMP 의 Erosion 을 최소화 하는것과, 발생해버린 잔류물은 과도연마로 제거하는 것이 있다.

EoE(Edge over Erosion)

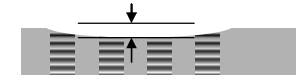
다른 종류의 재료에 대해서 선택성을 크게 취하면, EoE 라고 부를 수 있는 Edge 부근의 큰 Spike 현상을 볼 수있는 경우도 있으나, 이것도 선택성을 조정 하므로써 해결될 수 있다.

Mechanism of Cu residue

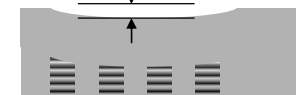
①W deposition



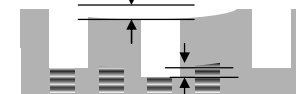
②W-CMP Erosion



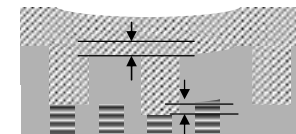
③Oxide deposition



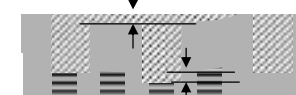
④Oxide etching



⑤Cu depositon



⑥Cu CMP



⑦Cu residue (upper view)



Edge over erosion (EOE)



Cu 배선 CMP

Cu CMP 는 텅스텐 CMP 와 비슷하게 설명하겠다. 같은 배선의 형성이므로 비교하는 것에 대해 그 차이가 명확하다.

용도와 문제

Cu 배선의 Image 를 그림으로 나타냈다. 절연막은 산화막 혹은 Low-k 그리고 Barrier 로는 통상 Ta/Ta-N 혹은 Ti/Ti-N 을 이용한다. 따라서 CMP 는 Cu → Barrier Ta/Ta-N 의 다른 종류의 연마이자, Single Wafer CMP Process 이다.

요구사항은 아래와 같다 (세대에 따라 요구치가 달라진다)

- Oxide Recess : <10nm
- Oxide Erosion : <20nm
- Dishing : <30nm 주)넓은 패드위로 크다

텅스텐과 같이, 문제로는 이러한 요구치를 적게하는 것이 당연하지만, Cu 의 경우에는 2 단계 아니면 3 단계 연마가 주류를 이룬다. Low-k 의 적용에 따라 Damage 를 갖게 되는 평탄성의 요구는 더욱더 엄격하게 되고있다. Low-k 를 포함한 성능 요구는 뒤에 설명 하도록 한다.

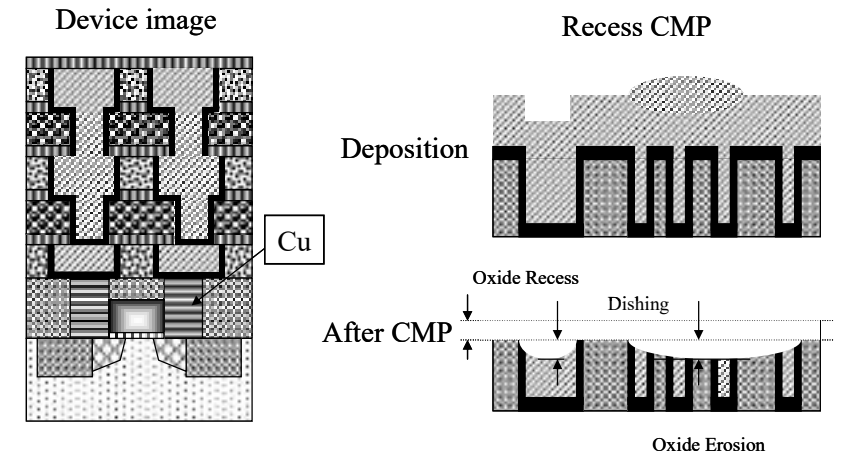
원리

Cu CMP 의 원리는 이하와 같다.

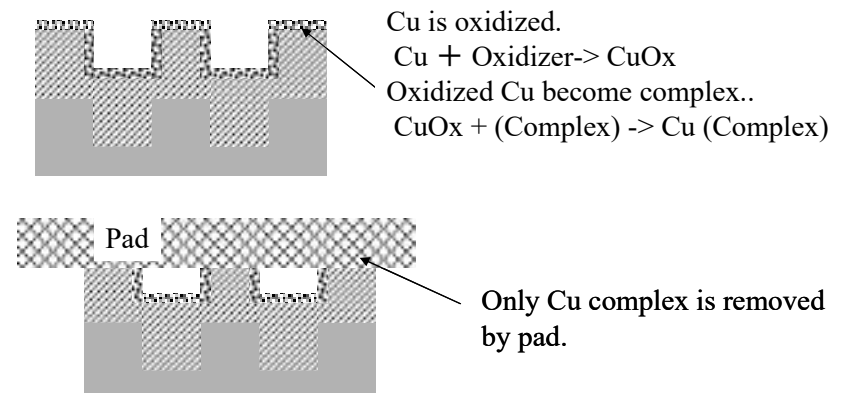
- (1) 우선 Cu 표면을 산화제로 산화시킨다
- (2) 다음은 산화된 Cu 표면이 Complex 제로 Complex 화 된다.
- (3) Cu Complex 가 기계적으로 제거된다. 이 단계에서 패드의 강성에 의해 돌출부가 선택적으로 제거된다.

- $\text{Cu} \rightarrow \text{Cu}_2^+ + 2\text{e}^-$
- $\text{O}_2 + 2\text{H}_2\text{O} + 4\text{e}^- \rightarrow 4\text{OH}^-$
- $\text{Cu} + \text{Complex} \rightarrow \text{Cu (Complex)}$
- Cu (Complex)

Cu CMP 의 상세는 이후의 평탄화 통일론 참조.



The principle of Cu CMP



평탄화 통일론

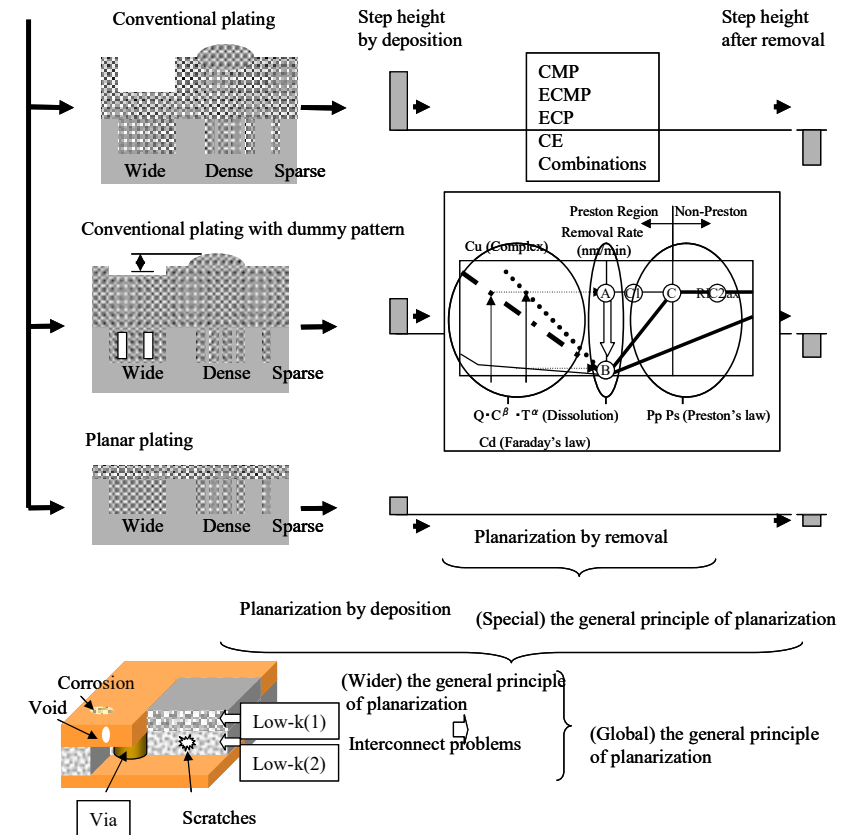
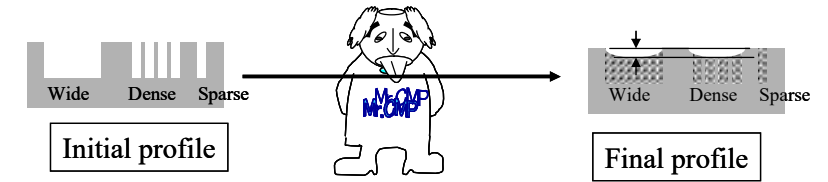
여기에서는 45nm 세대 이후의 Damascene 배선 평탄화 기술의 최첨단 기술을 소개한다. 내용은 연마 (막 제거) 기술만으로 '특수' 평탄화 통일론과, 도금 (막 성장) 기술까지를 아울러 포함한다. '일반' 평탄화 통일론을 소개하고 싶다. 이 결과로 태어난 기술에는 mC2 Process 라고 하는 것이 있다. 무엇인가 장대한 이야기가 되었으나, 알고있는 Einstein 박사의 상대성 이론으로부터 참고했지만, 다소의 장난을 용서해 달라. 그러면 지금부터 학생들에게 큰 인기인 Damascene 기술의 평탄화 통일론을 전개하겠다.

평탄화 기술 백화요란

1980 년대 후반에 평탄화 혁명기술로 연마가 등장했다. 시작은 층간 절연막에 있는 SiO_2 의 평탄화 용도로 적용되었지만, 이후 STI(Shallow Trench Isolation) · 텅스텐 Via · Al Damascene · Cu Damascene 등으로 용도가 증가하여, 최근에는 Metal Gate 용 연마까지 생각하고 있다. 또한 연마 그것의 상태도 진화해 왔다. 특히 층간 절연막이 SiO_2 에서 저 유전율화 목적으로 경도가 약한 low-k 라고 불리는 재료로 변경된 이후로, 연마 Down Pressure 의 저압화 목적으로 각양각색의 기술이 소개되어왔다. 통상의 연마, CMP (Chemical Mechanical Polisher)이외에, 전해를 응용한 ECMP(Electro-Chemical Mechanical), ECP(Electro-Chemical Polisher), 그리고 CE(Chemical Etching)을 응용한 방식, 마지막으로 이들의 종합한 기술이 있다.

최근 이러한 평탄화 기술이 이렇게 갑자기 한꺼번에 등장하게 되어 「어떤 기술이 가장유력 할까?」 라고하는 의문이 나오기도 있다. 더욱이 전해 응용에서는 용어가 통일이 되어있지 않기 때문에, 지금도 역시 「전해 연마라고 하면 연마 입자를 사용하지 않는 것일까?」 라는 질문을 받는다. 누군가에게 일본어로 ECP (연마입자는 사용하지않는) · ECMP (연마입자를 사용하는), 그리고 ECP 와 ECMP 등을 뒤죽박죽으로 사용하고 있는 기사나 논문을 발견할 수 있다. 글을 쓰는이가 틀렸다면 읽는 사람들이 혼란을 겪는 것은 당연하다.

우선 최초로, 저압 연마의 요구 배경 · 목적을 설명하고, 각양각색의 저압 연마를 함께 소개하고, 대체적으로의 평탄화 기술을 하나의 이론으로 통일하여 설명하는 것을 시도해보겠다. 각양각색의 기술을 지배하는 평탄화 원리를 명확하게 하는 것으로서, 각양각색의 기술을 통일적으로 이해하기 쉽도록 간추린 것으로 이해해 주기를 바란다. 실제로 학생들에게는 이 통일이론(?)에 대한 요청을 많이 받고 있다. 또한 실제로 혼란을 겪고있는 User 들에게도 좋은 학습자료가 되면 기쁘겠다.



적게 · 적게 · 그렇게나 적게?

지금, 왜 저압화인가?

아시겠지만 반도체 RC Delay 의 저감목적으로 배선의 R(Resistance)은 Al 에서 Cu 로 바뀌었다. 절연막의 C(Capacitance)를 낮추기 위한 목적으로 여러가지의 저 유전율을 재질이 후보로 올라왔다. 절연막은 유전율을 낮출수록, 그 강도 · 경도도 대략 비례하여 낮아진다. 더욱이 하부막과의 밀착성을 고려하여, 이것들을 전부 해결하는 방법으로 저압연마가 제기되고 있다. Device 의 변천으로 Cu / low-k 를 적용한 Damascene 구조의 예를 오른쪽 그림에 나타냈다. Low-k 재질은 기본이 Plasma 에 의한 SiO₂ 로, F 계를 투입한 SiOF 막, 그리고 메틸계(-CH₃)등으로 시작된 SiCHO 막, 더욱이 그 것들을 Porous 한 막 등이 일반적으로 사용된다. 그림에서는 배선과 Via 의 low-k 재질을 바꾸고 있으나, 이것을 같은것으로 한 형태도 있다. ES(Etch Stopper)가 불 필요한 경우도 있다. DCL(Dielectric Cap Layer)은 Si-N, Si-C, Si-CN 등이 적용될 수 있다.

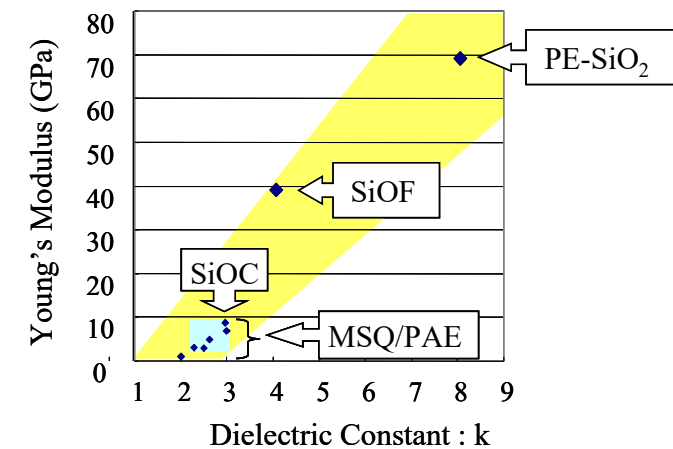
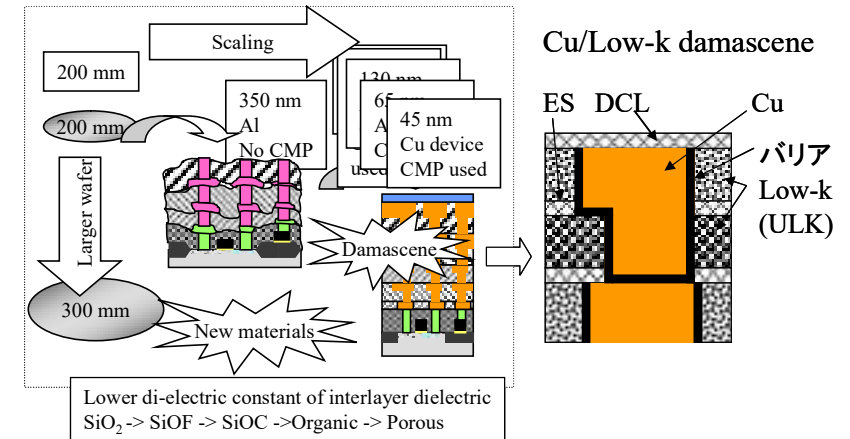
어느정도 낮출 것인가?

그렇다면 어느정도 낮출것이 요구되나? 우선 low-k 의 물리적 특성치부터 보자. 그림에는 유전율과 Young's Modulus 을 상대적으로 나타내었다. SiO₂ 의 경우에는 70GPa 정도의 강도를 가지고 있다. SiOF 막에서도 40GPa 정도를 가지고 있다. 하지만, 흔히말하는 low-k 재질에서는 대부분의 재료 강도는 10GPa 이하이다. 물론 막 Stress 를 고려하여 Device Process 는 연마만 하지 않는다. 오히려 열 Cycle 이나 실제 장치에서의 Bonding 이 보다 많은 막 Stress 를 가하는 것은 알려져있다. 단지 막 Stress 라고 하는 것은 1 회의 Stress 로 파괴되는 것은 아니고(이것은 논외), 조금씩 축적되는 피로와 같다. 그러한 이유로 대부분의 Process 에서의 Stress 를 적게하려고 하고, 이것이 좋은것은 당연하다. 그래서 연마도 그 의미에서 저압화가 요구된다.

물론 low-k 재질도 그대로 좋다는 것은 아니다. 강도의 세기가 높은 low-k 도 개발되고 있다(10GPa 이상). 더욱이 5GPa 정도의 강도에서도 UV 나 전자 Beam 을 이용한 Curing 에 따라 강도의 향상 등을 시키는 Process 도 개발되고 있다.

강도를 나타내는 Young's Modulus 는 Cu/Low-k Damascene 구조의 결함이나 파괴강도의 기준이 되고 있다. 경도는 연마의 속적이고 결점의 기준이 되나, 일반적인 Young's Modulus 가 낮은 것은 경도도 낮다. 또한 연마에서는 벗겨지는 것이 문제가 되므로 밀착성이 중요하다. 일반적으로 밀착성은 4 점 정도로 측정된 측정치로, 5~10J/m² 정도의 것이 많으나 10J/m² 이상은 필요하다. 밀착성 향상에 대해서도 Process 개발이 발전하고 있다.

Scaling and damascene integration



Di-electric constant vs young modulus

그렇다면 해석으로 실증

여기에서도 활약하는 것은 유한요소법이다. 얼마만큼의 압력을 가하면 Damascene 구조는 도대체 어떻게 되나? 그것을 알고 싶다. 해석에는 여기서 소개하는 응력 해석법 이외에, 저 유전율처럼 재료를 조사하기 위해서는 파괴역학의 응용이 필요하다. 응력장의 해석은 그대로 사용할 수 있으나, 판단기준으로서 응력으로 판단할까, 파괴 에너지로 생각할까의 차이에 있다.

응력 해석 예

여기 강도 · 밀착성에 대해서는 유한소수법으로 해석하는 것이 유력하다. 우선은 Damascene 부분의 해석도를 나타냈다. 해석은 배선 부분과 저 유전율 부분으로 나누어서 실행한다. 어느 것이나 전부를 결과로 하면 Via 의 접합부의 응력이 가장 높게되어 있다.

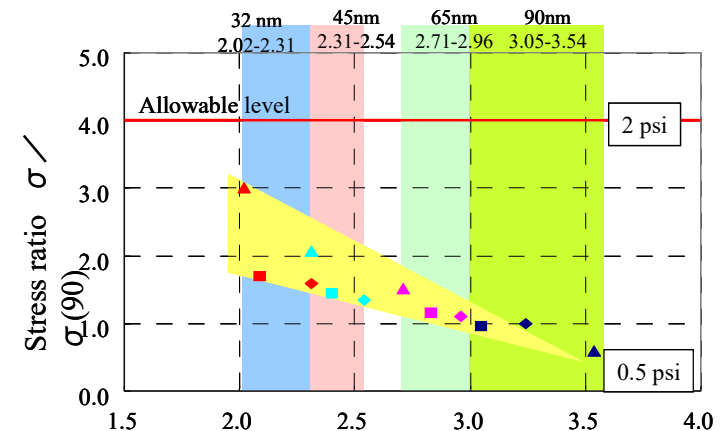
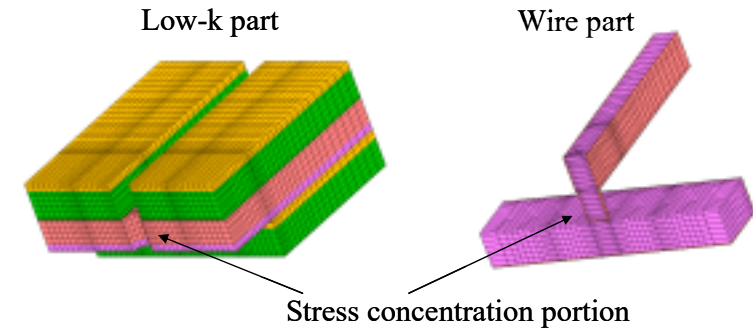
해석 결과 예

예를들어 ITRS(국제 Device Roadmap)에서 이후에 추정 되는 Damascene 구조를 사용할 때, 그 응력을 해석하는 결과를 나타낸다. 가로축은 추정되는 각종 low-k 의 유전율로부터 계산한 실효 유전율, 세로축은 Cu 배선과 low-k 재질 내부의 응력비 $\sigma / \sigma(90)$ 이다. $\sigma(90)$ 은 90nm 세대 Damascene 구조를 0.5PSI 로 연마하는 경우의 응력이고, $\sigma / \sigma(90)$ 은 각 세대 Damascene 구조의 응력을 비교한 것이다. 90nm 세대에서 2PSI 로 연마한 경우의 응력 값을 허용치로 참고하라. Cu 배선부분 · low-k 부분과 같이 Via 의 접촉부 근처가 최대 응력이 되어, 그 값을 σ 로 한다. 각 세대의 Damascene 구조에 대해 연마압력을 추정하기 위하여 중요한 역할이 되는 자료가 된다.

이처럼 low-k 강도가 약하게 될 때, 연마에 따라 벗겨짐 · 틀어짐 · Scratch 이 걱정이 되어 저압이 요구가 되었다. 단지, 연마를 저압으로 하면 당연히 연마 속도가 감소하여 CoC(소모재 Cost)가 증가하기 때문에, 적절한 계산 방법이 있을 것이다.

참고로는 파괴 역학 응용의 결과도 말할 것이다. 파괴 역학로는 저 유전율 재질의 강도도 문제이지만, 그것보다도 위 아래에 위치 하고있는 서로 다른 재료의 Matching 이 문제가 된다. 이 Matching 은 극단적인 차이를 일으키기보다는, 결과적으로 본 해석과 같은 결과를 가지고 있다.

FEM analysis of damascene structure



Effective di-electric constant k_{eff}

Di-electric constant vs CMP stress

다양한 가공방법

종래의 평탄화 기술

우선 종래의 여러가지의 평탄화 기술을 소개한다.

① Grinding

Wafer 의 표면 Grinding 에 응용되고 있으나, 반도체 Device 적 측면으로는 채용되지 않았다.

이유는, Defect 가 많은 것이다.

② 고정 연마입자 (Fixed Abrasive 혹은 Bonded Abrasive)

Grinding 과 연마의 중간 정도의 원리이다. 고정된 연마입자가 자유롭게되면서, 막 제거 하는 원리로 따로 떨어진 연마입자 즉 연마와 같다고 생각할 수 있다.

평탄화 성능이 좋기 때문에 STI 에 일부 채용되어 있으나, Defect 저감이 문제가 된다.

③ 연마(CMP)

Cu 연마의 원리는, (1)산화제에 의한 Cu 의 산화, (2)착화제에 의한 Cu 의 착제화, (3)기계적 Cu 의 착화된 Complex 제거로 진행한다라고 말할 수 있다.

그리고, 확실히 저압화 요구에 따라 다음 세대기술이 개발된다.

전해응용 · Etching 응용 그리고 복합기술

④ 복합 전해 연마 (ECMP)

Cu 의 복합 전해 연마의 원리는, (1)전기 에너지 및 일부 산화제에 의한 Cu 의 산화, (2) 제화제에 의한 Cu 의 Complex 화, (3)기계적 Cu Complex 제거로 진행된다고 말할 수 있다. 즉, (1)의 산화방법 이외는 연마와 같다. 그리고 평탄화 성능도 연마와 유사하다. 전해 설계와 평탄화 설계를 양립시키는 패드의 개발 등의 문제도 많이 있다.

⑤ 전해연마 (ECP)

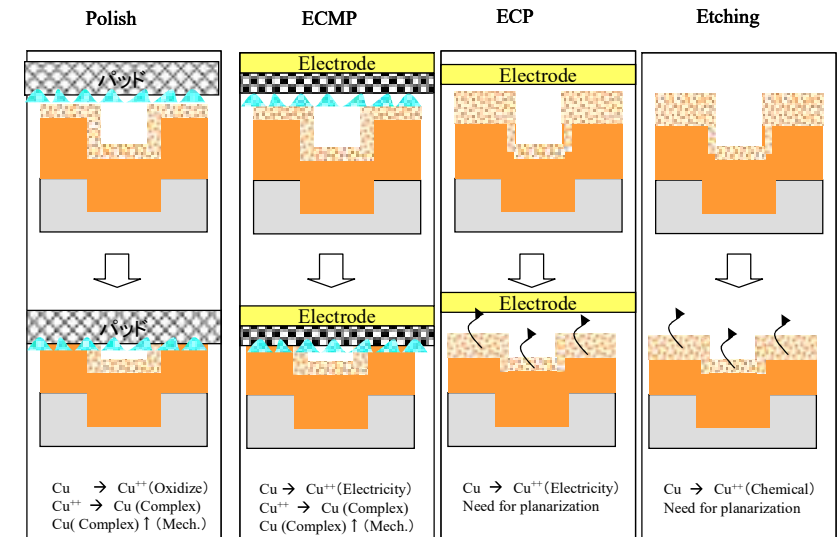
도금의 역으로 Plating 에 대해 Di-Plating 이라고 말해지는 경우도 있다. 전해집중이 발생하는 부분으로부터 연마 (Etching)가 시작되는 평활화가 가능하다. 단지 연마처럼 평탄화 저감 성능은 기대할 수 없다. 전해 집중에는 어떤 Pattern 이 있기 때문이다. 이러한 것은 ECP 에 대해 기대가 많고, 이후에 여러가지 숙명적 기술을 상기시킬 가능성이 있다. 예를들어 초순수에 Ion 교환체가 접촉한 부분만 막이 제거되는 특수한 전해 연마도 개발되고 있다.

⑥ Etching (CE)

등방성과 이방성 Etching 은 Dry 공정에는 상식적이지만, 웨이퍼 Etching 에서도 이방성을 달성할 수 있도록 기술이 있다. MEMS 에서는 Wet 에서도 채용되고 있으나 재료가 정해져 있다. 반도체 Device 에서는 문제가 많다.

Comparison of several planarization technologies

Process	Planarization length (mm)	Pressure (PSI)	Roughness
Grinding	>20	Big	Big
Fixed abrasive	~20	intermediate	intermediate
Polish	~2	0. 25~10	Small
ECMP	~2	0. 25~10	Small to intermediate
ECP	~2	0	Small to intermediate
Etching	0(~?)	0	Small to intermediate



CMP / ECMP / ECP / CE : 이것은 무엇입니까?

(특수)평탄화 통일론

Cu 연마에 대해서 저압연마로는 여기 CMP · ECMP · ECP · CE 및 그 종합기술을 생각해 볼 수 있다. 오른쪽 그림에서 그 원리를 나타낸다. 이러한 것들을 기술하는 원리를 중심으로 각 기술의 특징을 설명한다.

CMP 원리(Preston's Law)

우선 그래프부터. 그림의 가로축 좌측은 막 제거의 원동력 그리고 평탄화의 Mechanism 을 나타내고, 가로축 우측은 CMP 에서 보아 온 Down Pressure P_p (kPa)와 상대 속도의 P_s (m/s)가 있다. 세로축은 연마속도 (nm/min)을 나타낸다. A 점은 막 제거의 원동력 예를 표시하고, B 점은 원동력이 억제된 상태 예를 표시한 것이다. CMP 의 경우에는, 우선 산화제에 따라 Cu 는 Cu^{++} 로 산화된다(A 점). Cu^{++} 은 재화제에 의해 Cu(Cu Complex)로 변화한다(B 점).

이 Cu(Cu Complex)를 기계적으로 제거하지만, 그 속도가 연마 압력 (P_p)과 상대 속도(P_s)에 비례한다. 이것은 Preston's Law 로, Cu(Cu Complex)의 종류에 따라 연마 속도가 다르다.

ECP (Faraday's Law)

가로축 좌측은 전류 밀도 C_d (A/cm²)로, 막 제거의 원동력은 ECP 와 같이 Faraday's Law 를 따르는 것으로 한다. 도금은 막 성장의 반대이다. 전해집중 등 돌출부를 선택적으로 제거하는 본래의 전해 연마의 원리 원칙에 더하여, 실제로는 더욱더 연구가 필요하다.

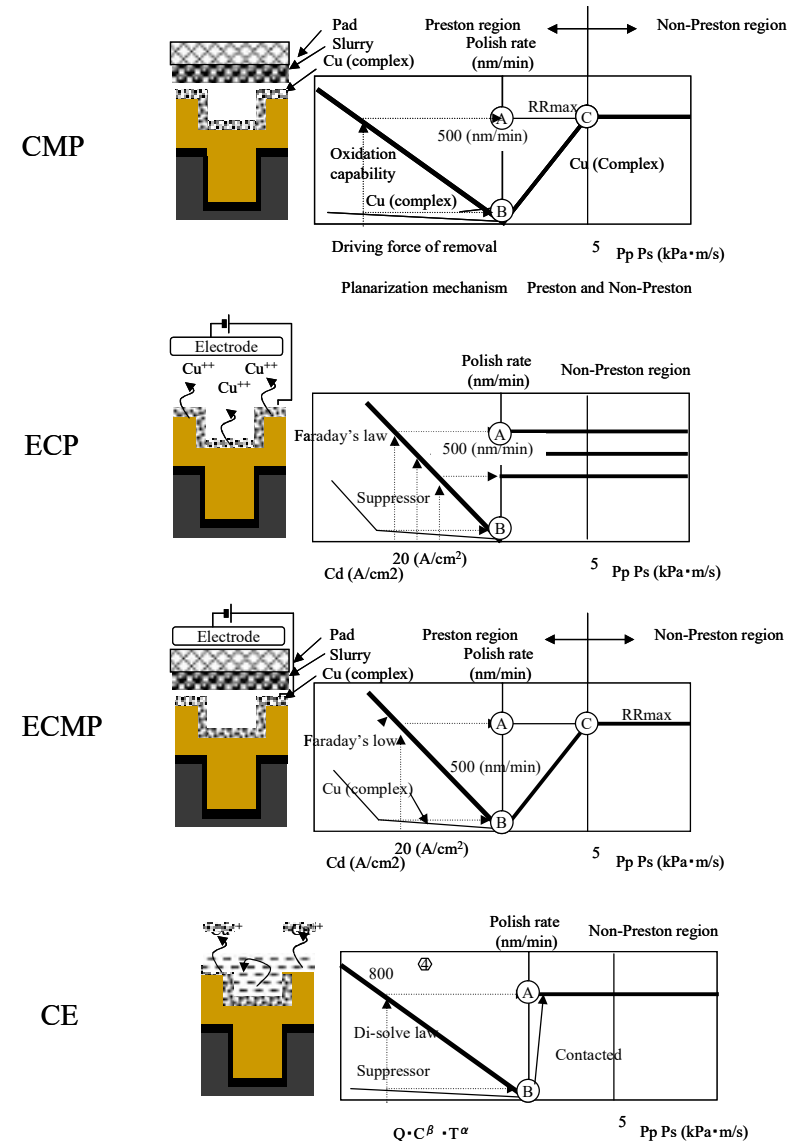
ECMP 원리(Faraday's Law & Preston's Law)

가로축 우측은 전류 밀도 C_d (A/cm²)로, 막 제거의 원동력은 ECP 와 같이 Faraday's Law 를 따르는 것으로 한다. 우선 전기 에너지에서 Cu 는 Cu^{++} 로 산화(A 점)되지만, 이후 CMP 와 전체적으로 같은 과정을 따른다. Cu^{++} 는 재화제에 의해 Cu(Cu Complex)로 변화(B 점)하고, 이 Cu(Cu Complex)를 기계적으로 제거한다. 이 최신의 Process 에서 산화가 Faraday's Law, 막 제거 속도가 Preston's Law 를 따른다. 즉 산화 Process 가 다르게 된 후는 CMP 와 같으므로, 평탄화 Mechanism 은 CMP 와 같다고 말할 수 있다.

CE (용해법)

가로축 좌측은 Etchant 속도 Q, 농도 C, 그리고 온도 T 의 $Q \cdot C^\beta \cdot T^\alpha$ 를 나타낸다. 막 제거의 원동력은 용해법을 따르는 것으로 한다. 억제효과는 첨가제에 의한다.

Etching 액에서 전면을 용해시키기 위한 것으로, 기본적으로는 평탄화 능력은 아니다. 돌출부를 선택적으로 용해시키는 것의 연구는 첨가제 등으로 실시하고 있다.



‘특수’ 평탄화 통일론부터

‘특수’ 평탄화 통일론

오른쪽 그림에 각종 기술의 그 기술법칙을 통일적으로 표시했다.

우선 CMP 는 Preston's Law 이라고하는, 연마 속도는 Down Pressure 와 상대속도에 비례한다는 법칙, ECP 는 Faraday's Law 라고하는, 연마속도(양)는 전기 양에 비례한다는 법칙, CE 는 연마(용해)속도가 유량, 농도, 온도에 비례한다는 용해법으로 기술 되어 있다. 가로축의 좌측은 막 제거의 막 제거 원동력을 나타낸다. 예를들어 CMP 라면 산화제에 의해 산화력(Cu 에서 Cu^{++} 까지), ECMP 나 ECP 라면 전기 에너지에 의한 산화력, CE 라면 용해력을 나타낸다. 가로축의 우측은 연마에서 비교하기 위한 Preston's Law 의 Parameter 로 연마압력(P_p)과 상대속도(P_s)를 나타낸다. 세로축은 연마속도이다. 이 세로축에 표시된 A 점과 B 점의 연마 Rate 의 차가 평탄화 성능을 나타내고 있다.

설명도와의 비교

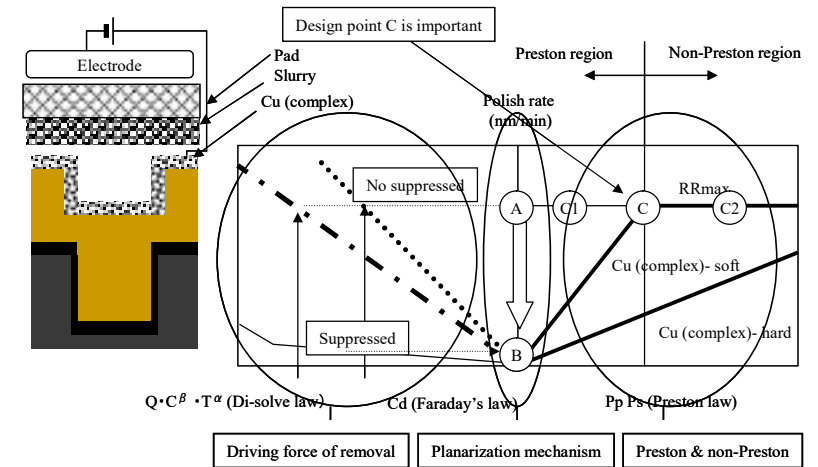
이전 Chapter 에 나열한 설명도와의 비교를 해주기를 바란다. 보다 이해하기 쉬울 것이라고 생각한다.

이처럼 여러 기본 기술을 이해하면 응용이 보인다. 현재 Market 에 소개된 Cu 평탄화 기술은 이러한 기술들의 응용이다. 잘 생각해 보라. 일반 분야의 Cu 가공 기술은 원래 Etching 과 전해 연마다. 반도체에서 차용되고 있는연마가 오히려 특이한 기술이다. 그래서 Etching 이나 전해 응용이 Cu 가공 기술에 응용되는 것은 당연하다. 단지 반도체 Device 의 평탄화를 위해 각각 연구가 되지않으면 안된다. 연마에서는 그것을 위한 연구가 있으므로, 이미 성숙한 기술이다. 일반 분야에서 성숙한 Etching 이나 전해 연마 기술 그리고 반도체에서 성숙한 연마 기술의 변천이고, 이들의 협주가 있어도 좋다고 생각한다.

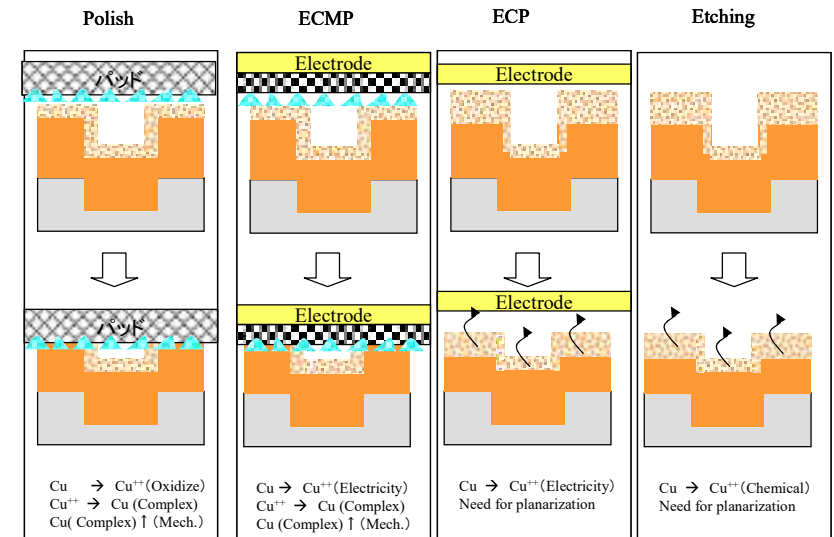
더욱이 연마후의 표면 상태가 다음 공정의 세정 결과에 큰 영향이 있고, 세정 후 표면 상태가 그 것 혹은 다음 공정의 건조 결과에 큰 영향을 미치는 것은 자명한 일이다.

그러면 드디어 막 성장을 포함하여 ‘일반’ 평탄화 통일론으로 들어가고 싶다.

(Special) the general principle of planarization



Please compare



‘일반’ 평탄화 통일론

막 성장 기술을 포함한 ‘일반’ 평탄화 통일론

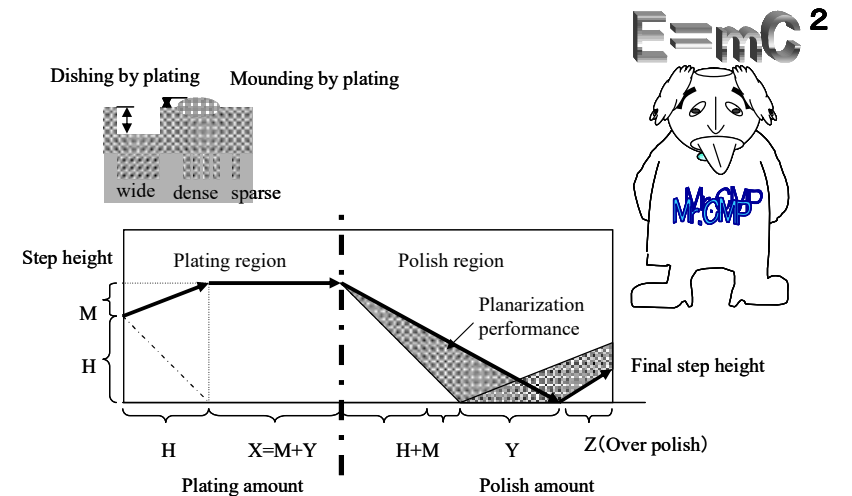
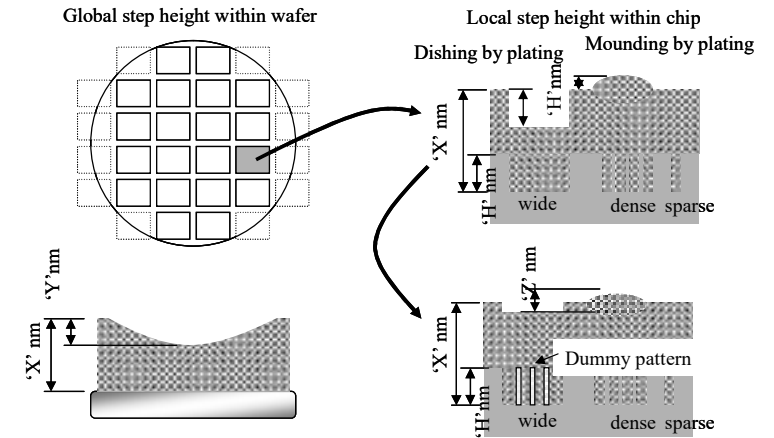
우선 Global 단차와 Local 단차에 대해 이야기해 보자. 오른쪽 그림과 같이, 도금에서 Cu 의 막을 성장 시키면 Wafer Level 에서의 불 균일이 발생하고, 이것을 도금의 Global 단차라고 부른다. 더욱이 Chip Level 에서는 배선의 조밀정도에 의해 생기는 단차가 있어, 그것을 도금의 Local 단차라고 부른다. 도금의 Global 단차는 도금 기술의 향상에 따라, 현재에는 도금량의 5%(3 σ) 정도가 된다. Local 단차의 도금 Dishing 은 배선 높이 그 것 이므로, 도금에서는 해결되지 않고, Dummy Pattern 등의 Device 설계에 의존한다. 도금의 Mounding 은 Device 설계와 도금액 설계의 Combination 으로 해결을 할 수 있다.

막 성장과 막 제거를 동시에 실시하는 평탄화의 Approach 를 재 검토 해보자. 통상의 도금에서는 Dummy Pattern 의 유무에 따라, 도금의 Dishing 크기가 달라진다. 평탄화 도금이 가능하다면 초기 단차는 거의 없게도 할 수 있다. Global 단차에 Local 단차가 있는 것이 다음 공정의 막 제거에서의 평탄화 해야 할 초기 단차가 된다. 이 양이 많고, 다음 공정의 막 제거 기술의 평탄화 성능에 나쁜 영향이 있다면, 평탄화가 충분히 가능하도록 막 성장율을 많이 없애지 않으면 안된다. 당연히 CoC 는 필요하게 된다.

이 막 성장 Process 에서의 초기 단차와 막 제거 기술의 평탄화 성능을 고려하여 최적의 성막율(막 성장율)과 제막율(막 제거율)을 결정하는 것이(일반화 되어) 평탄화 통일론이다. 실제로는 막 성장 Process Data 와 막 제거 Data 를 컴퓨터에 입력하여, 가장 CoC 가 최소가 되는 Best Process 를 결정하는 것이 가능하다.

이것을 저자는, 막 제거만의 ‘특수’ 평탄화 기술 통일론에 대해서, 막 성장부터 막 제거까지 일관적인 ‘일반’ 평탄화 기술 통일론이라고 부르고 있다. 이미 기술했듯이, (말할 것도 없이) 이 것들의 통일론은 학술적으로 말하는 것은 아니나, Damascene Process 의 평탄화를 이해하려고 하는 것이 많게 성립된다고 생각하며, 학생들이 받아 들일 수 있을 것이다. 독자의 참고가 된다면 기쁘다.

Let's check for deposition process



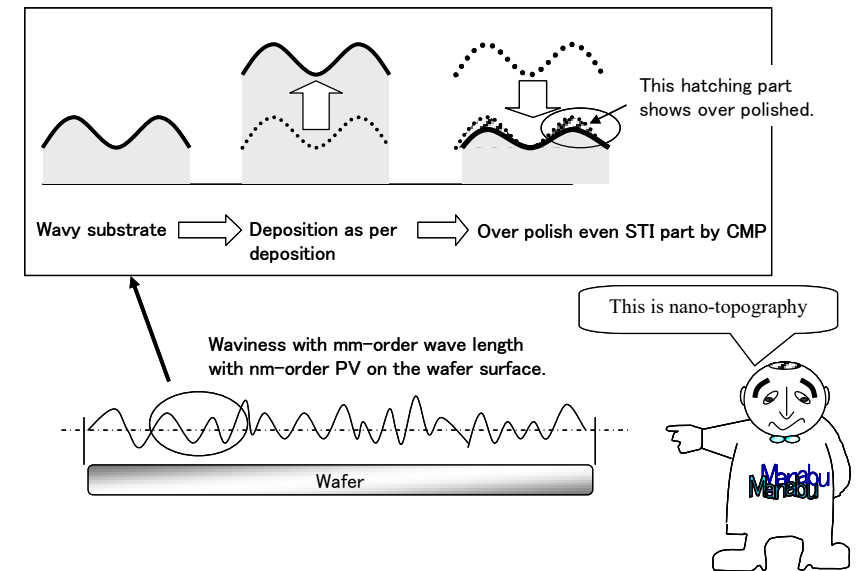
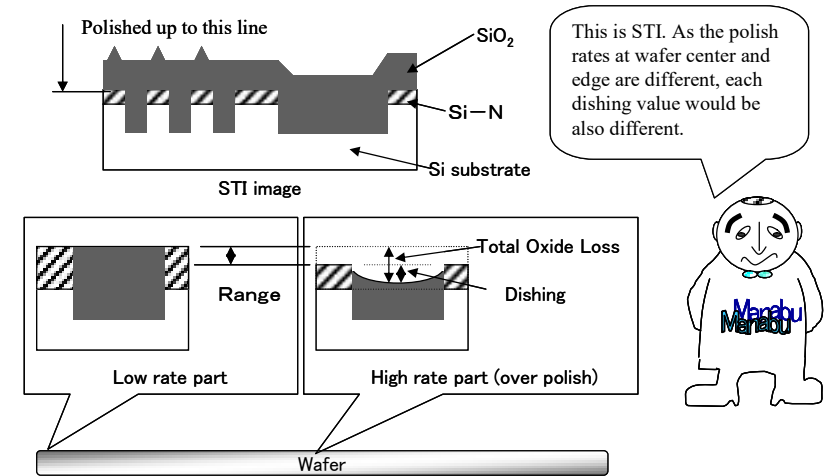
Nonotopography : STI 의 수율 데미지

STI 의 수율

STI 용 CMP 에서 이상한 말이 나오고 있다. 최근 Wafer 의 Waviness(표면 거칠기)에 따라서 CMP 후의 수율에 악영향을 미치는 경우가 있다는 것이다. CMP는 본래 Waviness 에는 따라가고, 작은 Waviness 에는 따르지 않고 평탄화하는 특징을 가지고 있는 공정이다. 이 Waviness 의 크기는 패드나 슬러리혹은 CMP 자체의 조건으로 Control 할 수 있고, 이 방법은 반도체 Device 의 평탄화에서 성공하고 있다. 그렇지만 CMP의 평탄화 성능을 향상시키기 위해, Wafer의 Waviness의 형태 · 크기에 의해 오히려 반대로 STI Process 에 악 영향을 미치는 경우가 두려운 것이다. FEM 에 의한 단차 특성 해석은 알려져 있지만, 여기에서는 Device 막 구조를 CMP 의 입장에서 4 개의 종류로 나누고, STI CMP 특성을 이 FEM 수법을 사용해 분석하고, 보다 더 Wafer 의 Waviness 가 STI 에 미치는 영향을 분석하여 소개한다.

Wafer 에 Waviness 의 영향

Wafer 는 현재 상태, 그림에 나타난 것과 같이, 수 mm 부터 수십 mm 의 주기(λ)에서 수십 nm 높이(PV 값)의 Waviness가 있다. 최근 이와 같은 Waviness가 STI 용 CMP Process 시 수율에 영향이 있다고 보고되고, Nanotopography 로의 논의가 필요하다. 이후 이 Waviness 를 Nanotopography 라고 정의한다. STI는 우선 오른쪽 그림에 표시한 Nanotopography 에서와 같이 산화막이 성장하고, 더욱 더 막 성장 표면의 거칠기에 대해서 CMP 로 연마하는 것이 되지만, 이 막 성장 표면에 따라서 연마되는 경우와 그렇게 하지않고 돌출 부분을 Over 연마해버리는 경우가 있다. 이처럼 초기 Wafer 의 Nanotopography 가, 막 성장 Process 를 하고, 심지어는 STI Process CMP 에 어떻게 영향을 미칠까, 혹은 어떻게 회피할수 있을까를 분석하는 예를 다음 Chapter 에서 설명하겠다.



Waviness 가 없는 연마가 !

Wafer 의 Waviness 의 영향 분석 예

분석 그림은 옆 페이지 그림에서 볼 수 있다. 막 성장 후 움푹 들어간 곳을 연마량 V_v 로 이것만 연마한 경우, 돌출된 부분의 연마량 V_p 와 V_v 의 차 ΔV 가 허용치 이하가 되는 조건을, Nanotopography 가 STI CMP Process 에 약 영향을 미치지 않는 조건이라고 정의한다. Stopper 막과 STI 막 사이의 슬러리 선택비를 1 이라고 하면 STI는 ΔV 만 Over 연마가 되는 경우가 된다.

$$\Delta V = (V_p - V_v) < V_{al} \text{ at } V_v$$

여기서, ΔV : 돌출부의 연마량 차이 (과 연마량)

V_p : 돌출부 연마량

V_v : 움푹 들어간 곳의 연마량

V_{al} : 허용 과 연마량

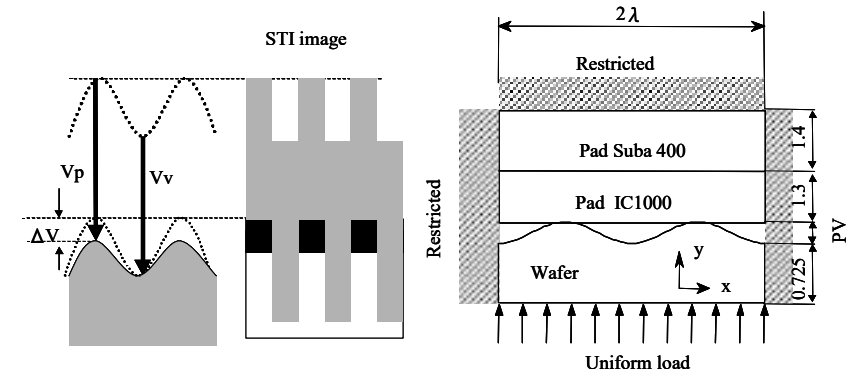
이다.

분석 결과와 대책

그림은 Nanotopography 의 특성치이고 주기 λ 와 높이 PV 와 Device 의 Over 연마 Amount, ΔV 의 관계를 필요로 하게된다 (패드는 IC1000 + Suba400, $\Delta V=20\text{nm}$ 의 경우). 그림의 좌측 위는 PV 가 크고 λ 가 작기 때문에, 20nm 이상의 Over 연마가 발생하는 영역이고, 오른쪽 아래는 반대로 PV 가 작고 λ 가 크기 때문에, 20nm 이상의 Over 연마가 발생하지 않는 영역이다. 또한 패드의 강성을 변경한 경우도 있다. 강성이 크면 허용 영역이 감소하지만, 이것은, Nanotopography 에서 Suba 와 같이 강성이 작은 패드를 사용하면 여유도가 크고, IC1000 과 같이 강성이 높은 패드는 여유도가 작은 것을 나타내고 있다.

대책

다음은 CMP Process 에 의한 구체조치를 기술한다. 선택비를 1 보다 크게하면, Wafer 의 Waviness 기인에 의해 Over 연마는 선택비에 반비례해 저감된다. 단지 슬러리의 선택비를 크게 하면 일반적으로는 Dishing 이 크게 되어 버리므로 함부로 크게 할 수 없다. 통상 선택비를 30 정도로 하는 것은 가능하다. 사용하는 Wafer 의 Nanotopography 허용치와 반도체 Device 설계의 Stopper 막 두께내의 Range 나 Dishing 의 허용치에 의한 적절한 CMP Process 를 결정하는 것이 필수적이다.



STI on nanotopography

① If STI made on this nanotopography

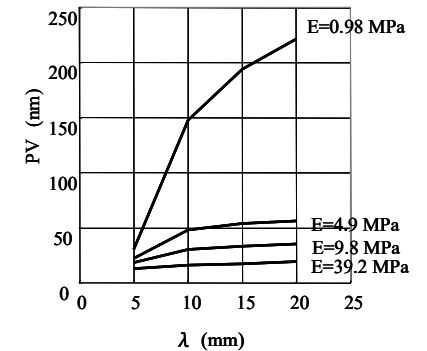
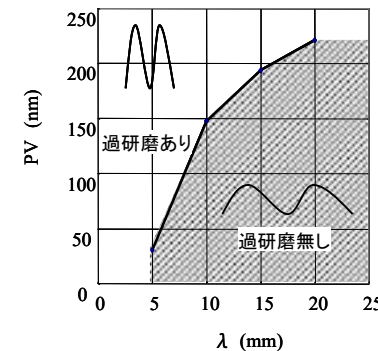
③ you would know part over-polished.

FEM input

② is analyzed by FEM,

④ Then, you also can decide the optimum pad stiffness.

- $\Delta V = 20 \text{ nm}$
- Pad stiffness $E = 0.98 \text{ MPa}$



Roll-off : Wafer Edge 가 늘어지다

Roll-off 문제란?

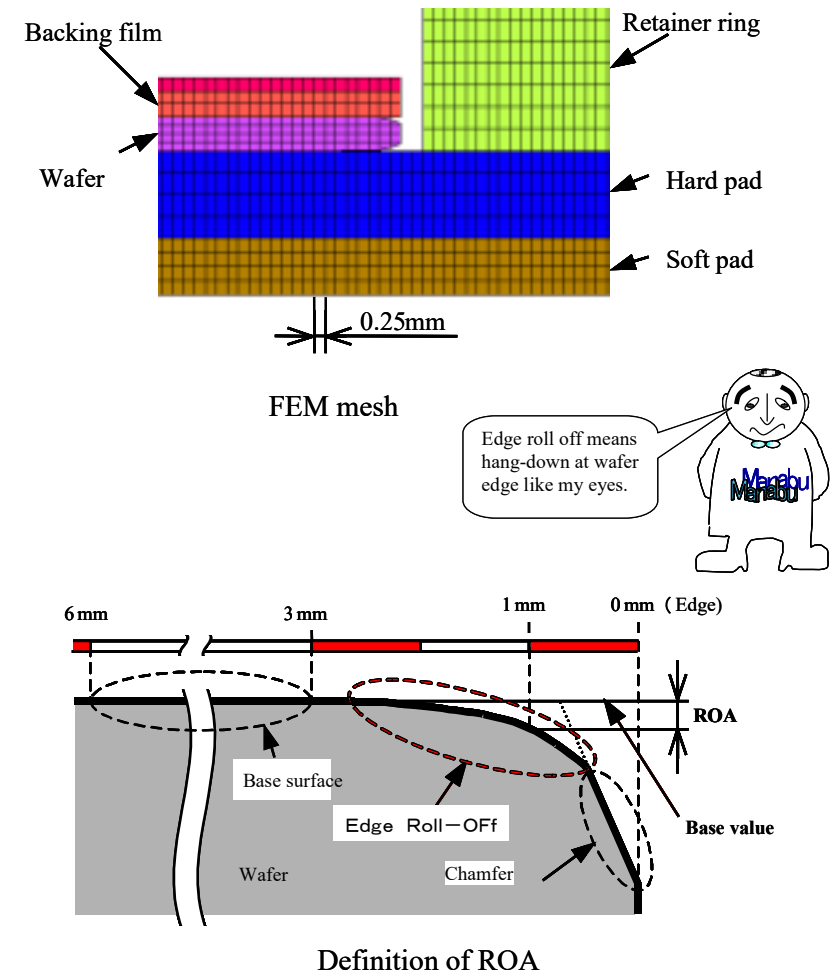
Wafer 의 Edge 부근의 처리는, Wafer 중앙부와 비교해서 평탄도가 떨어지고, Wafer 의 평탄면 보다도 일반적으로 조금 쳐져있는 부분, 즉 Edge Roll-off(ERO)부분이 존재한다. 이 ERO 는, 양면 연마 300mm Wafer 에 대해서도, ITRS2003 년판에서 2mm 로 되어 있는 Edge Exclusion(E.E.)의 안쪽(Fixed Quality Area : FQA)까지 이르게 되는 것을 잘 알수 있게 되었다. 그 때문에, Lithography 공정에 대해서는, Wafer Edge 부에서 최첨단 Device 에 요구되는 평탄화를 이루는 것이 되지 않아, 문제가 발견되고 있다.

이 ERO 가, CMP 공정에 대해서도 문제가 될지 말지는, 무척 중요한 문제이다. 여기서 CMP 연마 Profile 에 끼치는 ERO 의 영향에 대해서 유한 요소법(Finite Element Method : FEM) 해석을 이용해서 검토한다.

해석 수법

CMP 의 연마 Rate 는, Preston's Law 에 의해 나타내는 것으로서, ERO 를 가진 Wafer 의 연마 Profile 을 예측할 수 있기 때문에, FEM 해석을 이용하여 면에 대한 압력의 분포를 계산한다. 해석은, Wafer 나 패드의 회전을 무시하고, 수직면 방향으로 누르는 압력만을 고려하는 것이다. 또한, Wafer 중심을 대칭축인 이차원 원통 좌표로 해석한다.

Wafer Edge 부 주변의 해석 메뉴를 그림과 같이 나타냈다. Wafer 는 300mm, 두께 0.775mm, Edge 처리 형상을 설명한다. 연마 패드는, 하부층이 Soft 패드, 상부층은 Hard 패드의 Stack 으로 되어 있다. Wafer 표면에는 Backing Film 을 끼우고 균일한 분포 압력 (Wafer 누르는 압력)을 가했다. Wafer 의 주위는 Retainer Ring 에 의해서 누른다.



Edge 1mm Target

ERO 의 영향

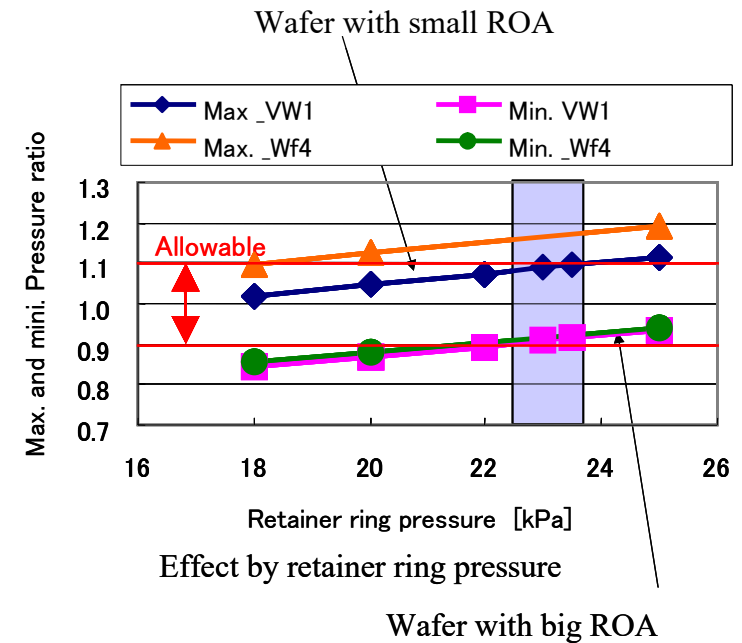
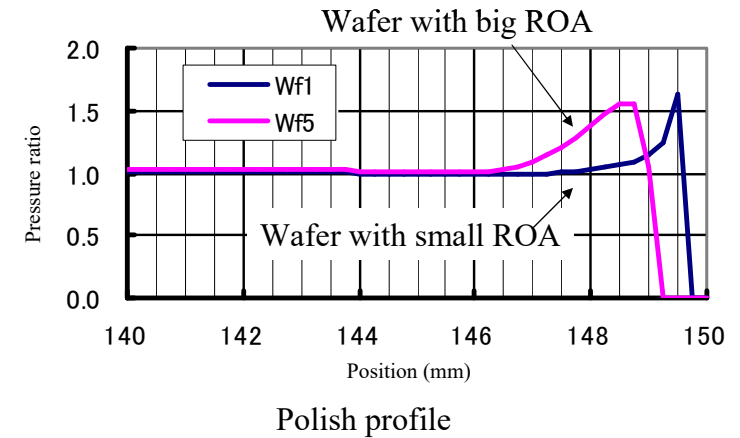
Wafer 가압 압력과 Retainer Ring 압력을 동일하게 30kPa 로 했을 경우에, Wafer Edge 부의 면압 분포를 그림으로 나타냈다. 여기서, 세로축은, Wafer 중앙부에서의 면압을 1 이라고 했을경우에 상대적 면압이고, 앞서 기술한 바와 같이 대체적인 연마 Profile 과 경향이 일치한다고 여겨도 좋다. ROA(Roll-off Amount)가 적은 Wafer 의 경우에는 반경 148mm 보다도 안쪽이라고 하면 상대 면압이 거의 평탄함을 알수 있다. 한편, ROA 가 큰 Wafer 의 경우에는 반경이 146mm 보다 큰 경우에 상대면압이 크고, 반경 148mm 에 있어서는 Wafer 중앙부 보다도 약 30% 상대면압이 커짐을 알았다.

또, E.E.를 2mm 로 한 경우의 FQA에 대한 연마량을 Hunting 허용 범위를 임의로 $\pm 10\%$, 즉 상대 면압에서 1.0 ± 0.1 이라고 설정한다면, ROA 가 적은 Wafer 에서는 상대 면압이 허용범위에 들어가지만, ROA 가 큰 Wafer 에서는 상대면압이 허용범위를 크게 초과한다. 따라서 ERO 는 Wafer Edge 부의 연마 Profile 의 큰 영향을 미치며, CMP 공정에 있어서 문제가 될 수 있음을 알았다.

Retainer Ring 압력의 영향

E.E.를 2mm 로 했을 경우 FQA 에 있어 최대 상대 면압 및 최소 상대 면압과 R.R. 압력과의 관계를 서로 다른 Wafer 에 대해서 조사한 결과를 오른쪽 그림과 같이 나타냈다. 여기서 Wafer 가압 압력은 30kPa 로 고정했다. 이 R.R. 압력 범위에서는 최대 상대 면압 및 최소 상대 면압은 R.R. 압력이 크면 클수록 크게 되었다. 여기서 ROA 가 적은 Wafer 에 있어서는 R.R. 압력이 22.3kPa 로부터 23.8kPa 범위에서 상대 면압의 허용 범위에 들어가있음을 알았다. 한편, ROA 가 큰 Wafer 에 있어서는 최대 상대 면압과 최소 상대 면압의 차가 크고, 허용 범위에 들어가는 R.R. 압력이 존재하지 않는다. 이 결과는 ROA 가 작으면 R.R. 압력을 조절하므로 ROA 에 대응할 수 있음을 나타낸다. 그러나, ROA 가 지나치게 크면, R.R. 압력을 조정해도 허용범위를 벗어난다.

Wafer Edge Roll-off 를 CMP 연마 Profile 에의 영향에 대해서 FEM 해석을 이용해 검토했다. 그 결과 Edge Roll-off 와 Wafer Edge 부의 연마 Profile 에 큰 영향을 미치고, ROA 가 1.27 의 경우 반경 148mm 에 있어서는 Wafer 의 중앙부 보다 약 30%나 크게 됨을 알았다. 그러나 CMP Process 에서 허용 가능한 Edge Roll-off 에는 차이가 있어, ROA 의 크기와 Hunting 이 작으면, Retainer Ring 압력을 조정하는 것으로 대응하는 것이 가능함을 알았다.



km 에서 nm 까지 FEM

Nano Level 에 적용 가능한 구조 해석

LSI 의 고 집적화나 고속화에 의해, 종래의 SiO₂ 보다 유전율이 낮은 재료 (Low-k 재료)의 사용이 검토되고 있다. Low-k 가 재료로는 내부에 다수의 정공 (비 유전율 1)을 가지고 있으므로 다공질재료랑 유기재료가 유망하지만, 이러한 재료의 기계적 강도가 낮으므로, 제조 Process 상에서 소자의 소실 원인이 되고, 수율과 신뢰성을 떨어뜨릴 가능성을 지적 받고있다. 반도체 제조 Process 에서는 열과 가공 반력등으로 배선 구조에 다양한 부하가 작용하지만, 여기에서는 장래적으로 채용되는 재료의 기계적 특수성을 예측하여 CMP 시 배선 구조에 작용하는 응력을 유한요소법에 의해 분석한다.

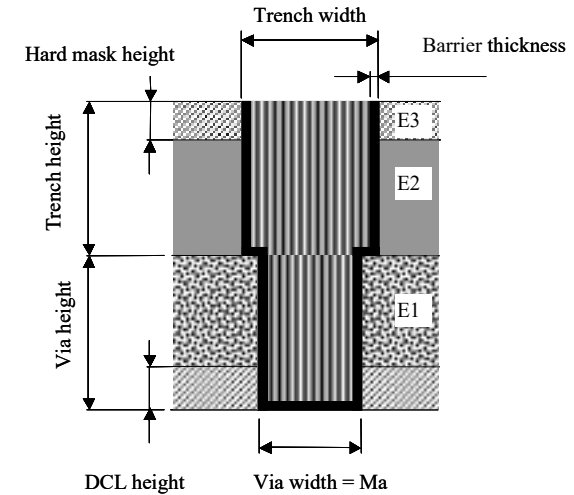
해석조건

아래에서는 Dual Damascene 에 의해 형성되는 배선구조에 대해 CMP 에 의한 평탄화 Process 중에 발생하는 응력을, 장래적인 절연재료의 기계적 특성과 배선의 Size, 구조를 가정해서, 유한요소법으로 분석한다.

(1) 배선 구조와 Size : 그림의 Via 와 그 상층의 배선의 모식도를 나타낸다. 표에 가장한 치수를 Via 부의 직경을 대표 치수로 표시한다. (단위는 nm). 또한 해석은 ①E1, E2, E3 가 균일한 재료인 Homogenous without HM 구조, ②E3 만 다른 Homogenous without HM 구조, ③E1~E3 이 모두 다른 Hybrid with HM 구조의 3 종 구조에 관해 실시 했다.

(2) 재료의 기계적 특성 : E1~E3 의 재료는, ITRS 등에서 각 Technology Node (T.N.)마다 재창되어지고 있는 Bulk 의 비 유전율로부터 Low-k 재료의 Young's Modulus 예측치를 결정한다. 또한 배선재료 (Cu), Barrier 막 (Ta/TaN), 확산 방지막 (SiCN)은 치수에 의하지 않고, 일정한 것으로 한다.

(3) 해석 Mesh 와 하중 조건 : 해석 모델은 그림의 배선(최소폭)과 Via 가 더해져, 최대폭의 배선을 하층에 모의한 일층 반정도에 상당하는 3 차원 모델이고, M1=100nm 인 경우에는 모델 전체에서 1 μm x 1 μm x 0.6 μm 이다. Via 부의 중심을 대칭축으로 해서, 해석 모델의 최 하층은 구속되어져 있다. 해석 Mesh 의 양단에는 무한 원 방향을 모의하는 반 무한요소를 이용했다. CMP 시에 작용하는 부하 하중으로써 해석 모델의 상면 전체에 3.45kPa(0.5psi)의 수직 하중과 마찰계수 0.43 의 전단 응력을 균등하게 작용시켰다.



Damascene structure

FEM input values (nm)

M1		140	100	70	50
Trench	W (min)	160	114	80	57
	W (max)	1000	500	300	100
	Height	230	170	125	90
Via	Dia.	140	100	70	50
	Height	210	150	110	80
Hard mask	Height	50	35	25	25
DCL	Height	50	35	25	20
Ta/TaN	Thickness	10	7	5	3.5

다마신 강도를 확인해 보자

뿌리가 가장 힘든가?

배선 구조부의 Via 중심의 대칭축 면부터 본 von Mises 상대 응력 분포와 그때의 변형 상태의 하나의 예를 그림으로 나타냈다. Via 아랫부분은 확산 방지막(SiCN)에 의해 지탱될 수 있고, 응력은 Via의 중간 혹은 옆면에서 가장 크게 된다. 감각으로 말해도 이해할 수 있는 결과다.

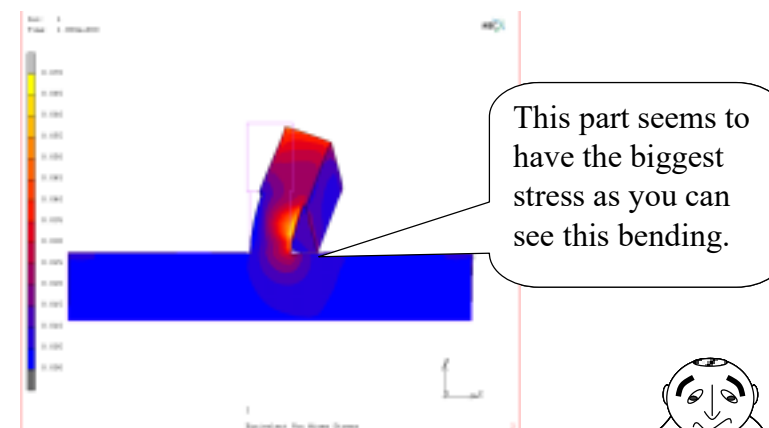
더욱이, 이 Via 부의 응력을 미세화 측정법 M1 을 Parameter 로 하고 구상한 내용도 그림으로 나타냈다. 세대에 따라 어느 정도 응력이 상승할지 이해 할 수 있다.

대책은?

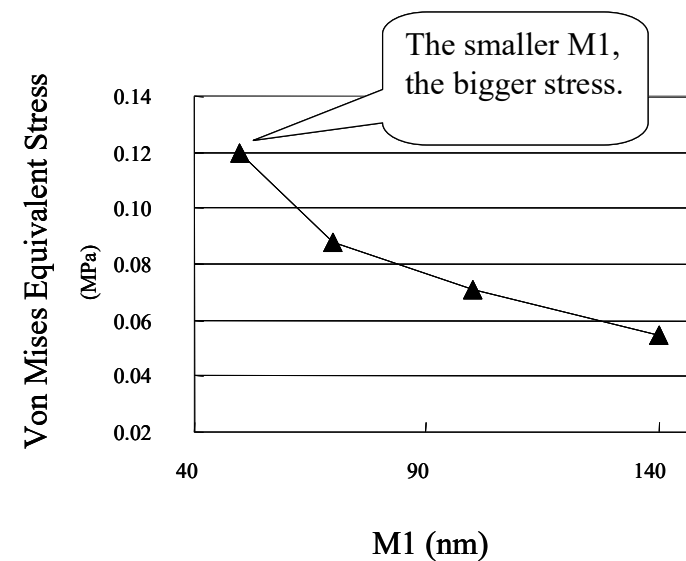
LSI 의 고성능화에 반해 Low-k 재료의 추이를 예측하고, CMP 시 배선 구조에 작용하는 응력의 해석을 실시한다. Via 부의 응력은 Low-k 재료의 Young's Modulus 에 의존하는 경향을 보이는 것에 변화율은 크지않고, 32nm 세대 (2010 년)에 상당한 경우에도 아쉽지만 거의 비슷하게 힘든 조건으로는 되기 어렵다고 생각 할 수 있다. 이것은 Via 부의 응력의 관점부터는 CMP 시의 가공 압력을 극단으로 낮추는 필연성은 없는 것을 시사한다.

여기에서는 변형이나 내려 앉음의 관점으로 von Mises 상대 응력에 대해 검토한다. 결과적으로 FEM 은 기계공학의 'kilometer' Level 부터, 반도체의 'Nanometer'의 해석에 성립하는 것이 이해할 수 있다고 생각된다. 기계실은 어디나 있다. 충분히 활용하기 바란다.

마지막으로 「Low-k 는 무슨 재료이므로 응력 해석만으로는 불충분한가?」라는 질문에 답하겠다. 그와 같다. 박판(벗겨짐)과 전단(자름) 등의 관점에서 배선구조에 작용하는 응력에 대해 검토하기 위해서는 파괴능력을 고려한 해석이 필요하다. 단지 그 해석에 사용하는 응력은 여기에서 해석한 것과 같다. 요약하면 응력은 FEM 에서 해석한다. 그것을 사용한 허용응력으로서 진단할 지 파괴응력으로서 에너지를 다시 계산 할지이다. 파괴응력에 관해서도 이런식의 해석이 가능하다.



This part seems to have the biggest stress as you can see this bending.



◆ Who's Law ?

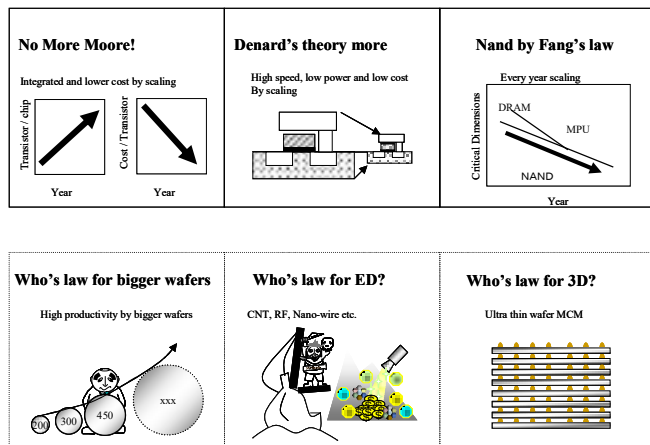
반도체는 과거 60 년, 미세화화 대구경화의 반복에 의해 이 세상의 봄날을 이루어 왔다. 이 반도체 기술의 선봉자는 누구일까?

미세화라고하는 Intel 의 Gordon Moore 박사의 Moore's Law(경험치)이 유명하지만, 실제로 이것을 이론적으로 지지한 것은 IBM 의 Robert H.Dennard 박사의 CMOS 상의법칙이다. Moore 박사는 자사의 Device 생산 기술을 반대로 「반도체의 집적 밀도는 18~24 개월로 배증한다」라는 경험적으로 예측했다. Dennard 박사는 CMOS Device 는 미세화하면, ①고속화하고, ②저소비 전력이되어 더욱이, ③저비용화 된다는 논문 발표로 학술적인 검증을 했다. 이후, 반도체는 미세화의 일로를 걸어왔지만, 그중 이런 선봉 기술은 DRAM Memory 이었다. 이 Memory 에서는 「매년 미세화를 촉진한다」라는 Hwang 의 법칙 (자사계획)역시 유명하다.

여기서 Wafer 의 대구경화에는 법칙이 존재하는가? 8 인치용 공장이 300 개소가 되었을 때 Wafer 는 12 인치로 변했는데, 12 인치용 공장이 300 개소가 되었을 때 18 인치로 바뀔지도 모른다. 이것은 누구의 법칙?

계대가 3 차원 실장 및 신탐구 Device 등 반도체의 패러다임의 대변동은 지금까지 되고 있다. 이것은 누가 선봉했는가?

Who's Law? 세계는 영웅의 출현을 기대하고 있다.



Chapter IV

Wet Surface Treatment: Cleaning and Drying



세정은 전쟁?

반도체 디바이스의 세정이란?

세탁이나 청소시에 가장 큰 실수는 무엇일까? 세정이라면 색이 바래기 쉬운 옷들과 밝은색 옷들을 함께 세탁을 할 때? 청소라면 더러운 발인 상태로 당신의 아들과 딸이 청소를 도와줄 때? 이와 같은 것을 세정기술에서는 「Contamination(오염)」이라고 정의한다.

반도체 Wafer 에서는 세정면에서 여러가지 재료가 존재한다. 노출된 Cu 배선 표면을 세정하기 위해서는 산화 필름 주변에 있는 Cu 가 제거되어야 하지만, 그렇게 닦는 것이 Cu 가 담겨져있는 병을 통과하는 것이 될 수 있을까? 잉크 병을 닦으면서 잉크를 닦으려고 하는 것과 같다. 이와 같이 해서는 깨끗이 세정할 수 없지 않는가.

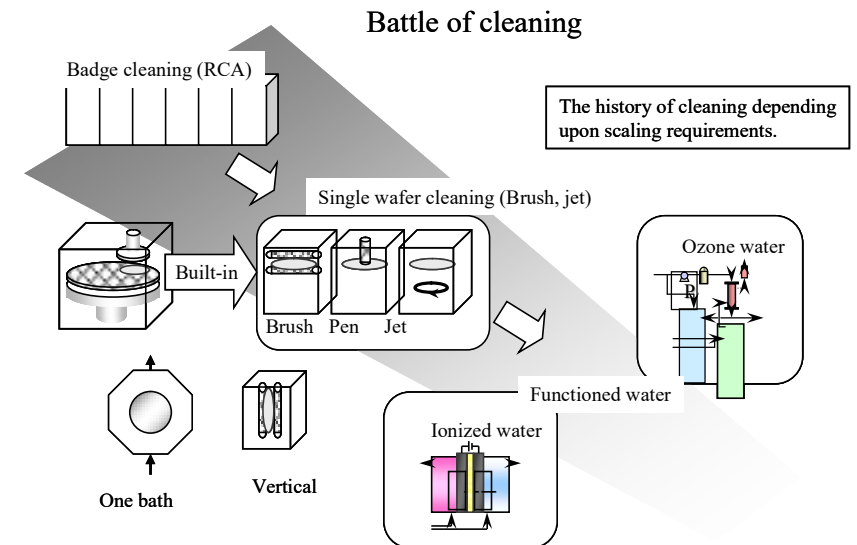
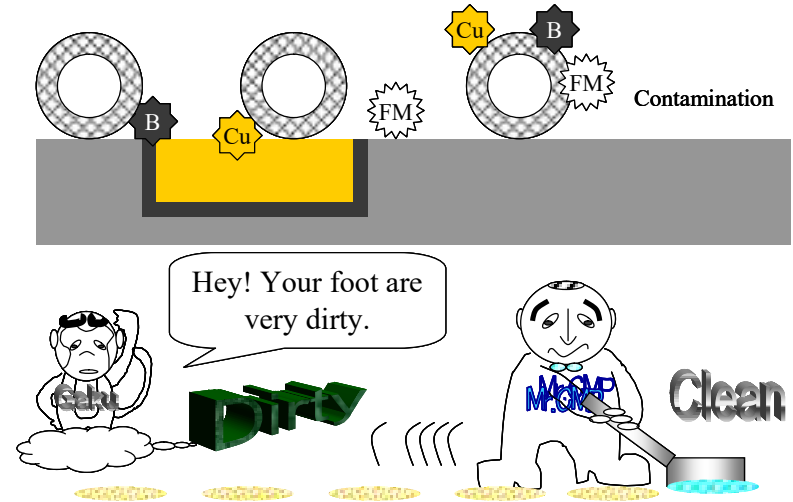
우선 Wafer 세정의 기초부터 배우도록 하자.

이것을 위해서는 최근에는 비접촉식 세정과 soft 세정이라고 불리는 것이 개발되고 있다. 비 접촉식은 잉크병에 접촉되지 않도록, soft 세정은 Cu 의 손상을 막기 위함이다. 건조 역시 어렵다. 건조할 때 얼룩을 남기지 않기 위한 건조 방식은 필수적이다. 섬유 연화제의 향기가 나지 않게 마무리하는 것과 같다.

웨이퍼 세정의 역사

옆 페이지에 있는 그림은 Wafer 세정의 역사를 도식화한 것이다. 과거에는 RCA 사에 의해 개발된 batch 식 RCA 세정 공정이 주류였으나, CMP 나 도금등과 같이 Wet Process 장비가 등장하면서 Dry-in/Dry-out Concept 이 Defect 화와 같이, 각각의 장치에 매엽(single Wafer 세정)형 세정기를 built-in 하는 생각이 일반적이게 되었다. 이후 매엽에 적합한 다양한 종류의 세정 시스템과 공정들이 개발되었다. 장치로서는 대부분의 Process 를 하나의 bath 내에서 진행하는 「one-bath 형」이나, Wafer 를 수직으로 놓고 수행되는 vertical 시스템의 이용 가능하다. Process 로는 이온수나 오존수와 같은 기능수가 등장한다. ITRS 에서 명시한 신 재료나 high aspect ratio 세대에서는 세정 개발이 Key Technology 로 되는 것은 필수적이다. 한 마디로 세정이라도 말해도, 그 것이야 말로 백화요란·천차만별. 틀림없이 세정 업계는 '전쟁상태'이다.

Do you know the basic rule of cleaning?



무엇을 어떻게 깨끗하게 할까?

여기에서는 어떻게 오염물질을 세정대상으로 할까, 그리고 그것들을 어떻게 Mechanism 으로 세정할까를 CMP 만 별도로 하여 서술한다.

세정 대상은?

우선 CMP 만으로 하고 서술한다. CMP Process 후에는 Particle 도 금속오염도, Process 에 따라서는 특정된 슬러리(Silica 계, Alumina 계, Mangan 계 등), 패드잔류물 그리고 연마물로 부터 오염된 상태이다. 이것을 연마로 발생한 Micro Scratch 를 성장시키므로, wafer 의 표면, 뒷면, Edge 면 모두를 세정하는 것이 필요하다. 피 세정 대상은 위에서 언급했던 것과 같이 CMP 대상으로 있는 산화막, W, 배선, Barrier 등으로, 오염물질과 비 세정 대상과의 조합에 따라 세정 방법도 적합한 방법이 바뀐다. 특히 Chemical 을 투입하는 경우면, 세정 결과만으로 하지않고 이후 Device Process 상 사용가능한 제한이 있기 때문에, 선정은 CMP Maker 만으로는 결정할 수 없다.

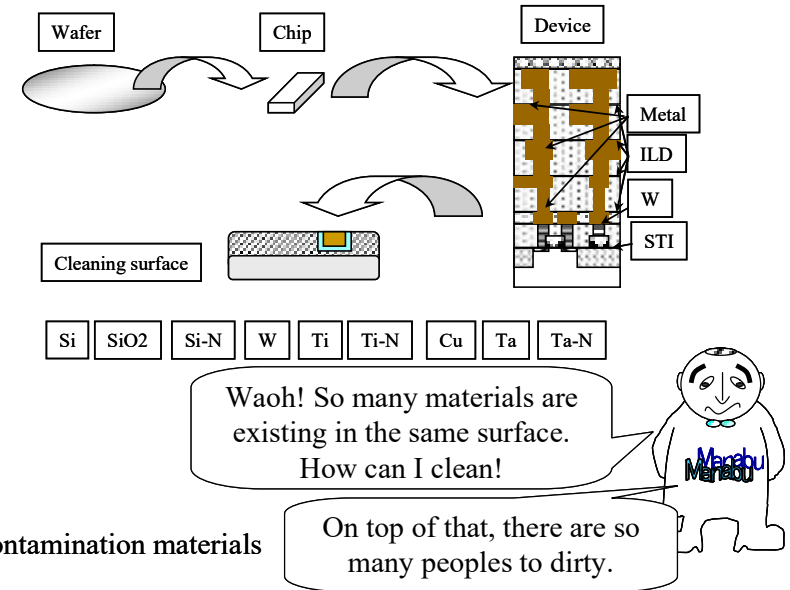
CMP Process에서의 세정대상의 Wafer 표면의 재질을 그림과 같이 표시했다. 각 Process 에 따라 표면재질은 달라지지만, 주의할 점은, 예를 들어 Cu 배선 Process 이므로라고 말하고 세정 표면은 Cu 만이 아니다. Si · SiO₂ · Si-N · W · Ti · Ti-N · Cu · Ta · T-N 등과 같이 관련하는 물질이 존재한다. Zeta Potential 과 부식 대책을 고려할 때 주의해야할 점이 있다. 도금에서는 도금액이 포함된 부식물인, 금속이온이나 유기물, 더욱더 장치로부터 발생하는 먼지등을 고려해야한다.

세정의 Mechanism 을 알아

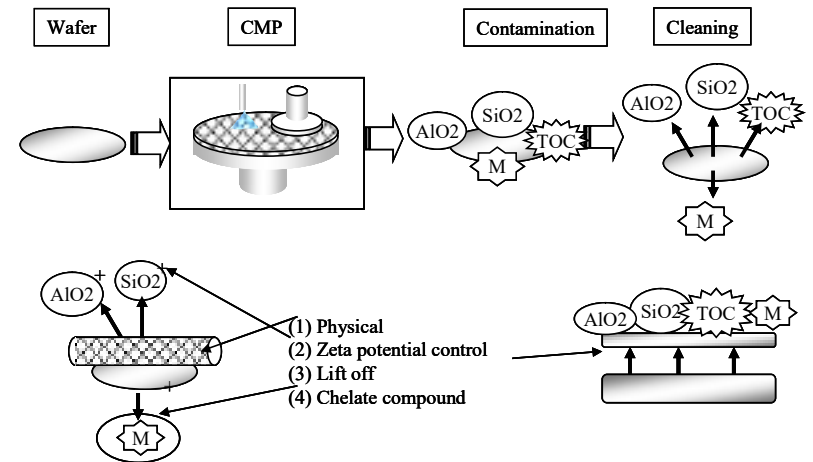
CMP 만으로 하고 오염 상황과 세정 Mechanism 을 Image 로 표현하였다. CMP 로 부터는 슬러리 · 패드 · 장치로부터의 오염에 따라, 연마제 · 금속 · 유기물(TOC)오염 등을 생각해 볼 수 있다. 세정의 Mechanism 의 기본은 아래의 4 단계로 나누어지게 된다.

- 오염물질을 세정표면으로부터 Brush 나 Jet 등으로의 물리력으로 제거한다.
- 오염물질과 세정표면이 전기적 결합을 약화시키기 위해, 세정 용액의 pH 를 변화시키기 위해서는 Zeta Potential 를 제어한다.
- 세정대상을 오염물질과 함께 식각시킨다.
- 오염물질을 용해시키거나, 또는 세정액의 chelate 효과에 의해 제거한다.

Materials of cleaning surfaces in CMP process



Contamination materials



깨끗한 세정은 깨끗한 장비로부터

그림에 세정 Module 의 예를 나타내고, 특징은 아래와 같다.

우선 Roll 유형의 세정부터

이것은 수가지 세정기의 기본이다. 이것은 수백 Rpm 으로 돌아가는 롤(PVA 등)을 위·아래 동시에 회전시켜 웨이퍼의 앞·뒤 표면을 세정하는 Single Wafer 세정의 기본 방식이다. 롤의 모양은 시스템 제조업자의 축적된 노하우를 바탕으로 구성된다. 세정시에, 예를들어 수백 pp 정도의 알칼리용액을 넣어 Zeta Potential 을 조절하거나, Cu 화합물을 제거하기 쉽게 Chelate 액을 넣거나, Recipe 도 천차만별이다. 그래서 산 · 알칼리등의 용액 대응도 필수다. 이처럼, 적은양의 용액을 넣는 것 만으로도 미립자 세정 결과향상 · 수명향상 · 금속 오염물 제거등의 결과를 기대할 수 있다.

다음은 Pencil 형

기본의 PVA 등의 Roll 과 같은 방식으로 Pencil 을 수백 Rpm 으로 회전시켜 Wafer 의 표면을 세정한다. 세정 재료의 형태가 Roll 이 아닌 Pencil 형태가 되어 이것을 Pencil 유형의 세정이라고 부른다. Chemical 투입에 대해서는 Roll 형과 전부 같은 기능이 필요하다.

그리고 Jet 형

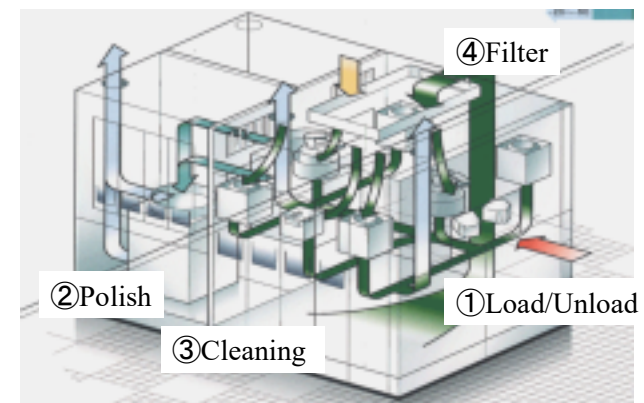
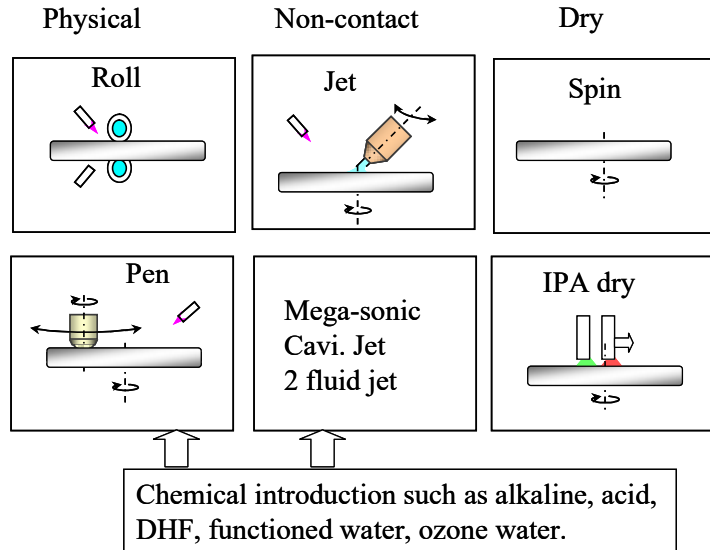
통상의 Jet 형, 초음파를 가미한 Type, Cavitation 을 응용한 특수 Jet 세정이 있다. Caviation Jet 에서는 종래의 Jet 보다 더 넓은 범위의 세정에 사용될 수 있다. 또한 Gas 와 액체의 2 가지 유체를 이용한 Jet 방식도 개발되어 있다. 여기에서도 Chemical 투입의 가능성도 적은 것은 아니다.

건조

Single 웨이퍼 건조는 전형적으로 수천 rpm 으로 웨이퍼를 회전시켜 건조하는 SRD(Spin Rinse Dry) 방식을 사용한다. SRD 방식은 산화 박막과 같은 친수성을 띄는 박막에서 좋은 성능을 가진다. low-k 물질과 같은 소수성을 띄는 박막의 표면을 위한 건조 방법은 물반점이 생기지 않도록 하는 IPA(isopropyl alcohol)를 사용하는 방식이 개발 중에 있다. 이러한 방법들은 박막 표면의 유형에 따라서 선택된다.

그리고 이러한 세정 · 건조 Module 은 dry-in · dry-out Concept 로, 충분히 관리된 장치내에 설치되는 것으로, 최적의 세정 · 건조결과를 발휘한다.

Cleaning modules



Clean CMP concept

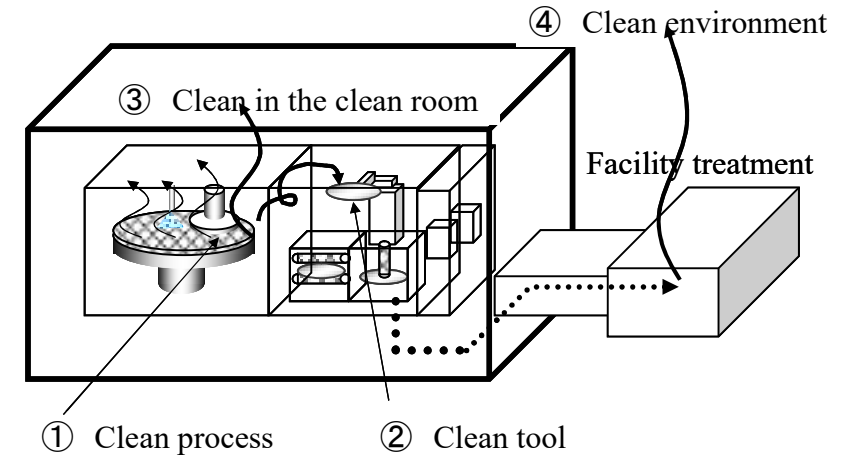
환경을 Clean 화 하자

환경의 청정화 (신 재료 대책)

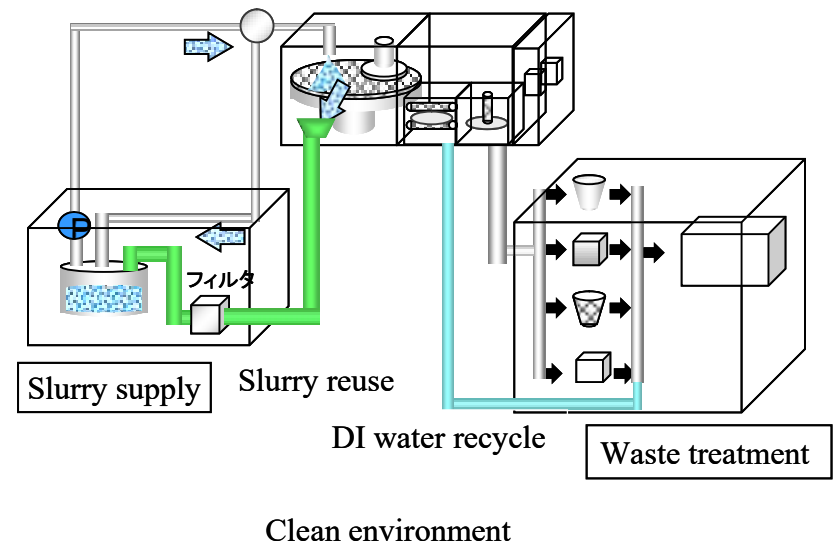
Clean Room 으로부터 바깥, 환경으로의 오염대책에 대해서도 논의하자. 반도체 Deive 도 점점더 여러 종류의 신 재료를 사용하고 있다. 배선으로는 물론 AI 에서 Cu 로 바뀌게 되었고 나중에는 합금으로 바뀌게 될 것이다. ILD(Inter-Layer Dielectric)에서 무기 low-k 물질과 유기 low-k 물질의 개발이 붐을 일으키고 있다. capacitor 에 사용될 수 있는 물질의 후보로는 high-k 물질(Ta_2O_5 , STO, BST 등)과 귀금속(Pt, Ru, Ir 등)을 포함한다. transistor gate 에 사용될 수 있는 후보 물질로는 HfO_2 와 같은 high-k 물질이 적용될 수 있다. 틀림없이 반도체 Device 재료는 백화요란의 상태이다. 이와 관련해서 나는 주기율표에서 이 원소들을 찾는 데 시간이 걸렸다. 혼합물에서는 발견할 수 없는 원소들도 꽤나 있다. 이러한 물질들로 구성되어 있는 공정 디바이스들은 폐수 처리를 더 복잡하게 만드는 그 물질이나 그에 따른 부산물 등 폐기물을 생산한다. 물론 CMP 만의 테마는 아니지만, 더욱더 폐수 처리는 CMP 에서 다루고 있는 주요 쟁점 중의 하나이다. 뿐만 아니라 이것은 가장 더러운 공정 중의 하나로 알려져 있는(이것은 절대로 자랑이 아니다.) CMP 와 함께 시작하는 것이 바람직하다. CMP 는 실제로 CMP 의 시작부터 환경 문제에 대한 의식을 가지고 개발되었다.

예를 들어 슬러리나 재사용을 시도했었고, 폐수 역시 재사용 되었다. bare Si 을 연마시킬 때 슬러리는 몇 번씩 재사용된다. 이것은 가능하다. 왜냐하면 반도체 디바이스 공정에서 산화 박막이나 poly-Si 의 연마는 다른 물질들을 포함하는 부산물을 발생시키지 않기 때문이다. 반면에 폐수 재사용은 단점들을 가지므로 폐수 재활용의 사용 여부는 엔지니어들의 선택에 달려있다. 폐수 처리에 대해서는, CMP 는 연마입자라고 하는 특별한 것이 포함된 폐수를 제외하고 다른 공정과 똑같다. 폐수 처리 시스템 제조업자들은 다른 공정에서 폐수 처리가 요구 되어 개발되었던 것처럼 CMP 를 위한 폐수 처리 시스템을 개발시킬 수 있다. 이와 같은 시스템들은 적용하기 쉽다; 이와 같은 시스템을 적용시키는 여부는 엔지니어의 선택에 달려있다.

위에서 말했던 것처럼 미래에 새로운 물질의 사용이 증가한다면 슬러리와 폐수의 구성 성분은 바뀔 것이다. 개발이 완성된 후에 폐수 처리를 고려하는 것 대신에 CMP 를 시작할 때부터 친환경적인 슬러리의 선택과 폐수 처리를 고려해서 CMP 공정을 개발하는 것이 바람직하다. 환경 오염에 대한 해결책은 반드시 필요하며 가장 오염이 심한 공정 중의 하나로서의 CMP 에 대한 인식이 없어져야 할 것이다.



Several clean technologies



바라고 있는 비접촉식 세정

왜, 지금, 비 접촉식 세정인가?

Pattern 이 미세화되어 짐에 따라 엄격한 Particle 제어가 요구되고 있다. CD(Critical Dimension)의 반 크기 정도인 Particle 을 제어하기 위해서 45nm 세대의 Particle 관리크기는 22.5nm 이다. 그와 같은 크기는 CMP 에서 발생하는 Dishing 의 크기와 거의 같고, 크기로만 보았을 때 검출된 Defect 이 급험인지 Particle 인지 구별하는 것이 점점 어려워지고 있다. 따라서 세정에 대한 접근이 접촉식 세정에서 비접촉식 세정으로 옮겨지고 있다.

비접촉식 세정의 가장 일반적인 유형은 물 분사에 기반된 것이다. 게다가 초음파를 사용하는 물 분사 세정, Ice 분사 세정, Two-Fluid 분사 세정과 같은 다양한 유형의 비접촉식 세정이 개발되고 있다. 이 절에서는 비접촉식 세정의 예로서 Cavitation 이 바탕이 되는 세정 방법을 소개한다.

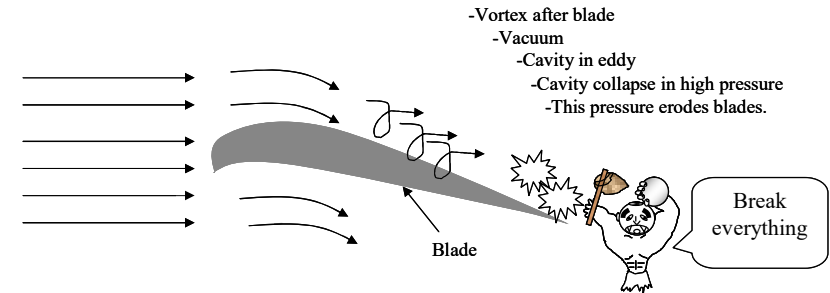
Cavitation 분사는 물 분사와 같이 비접촉식 세정의 한 종류이다. 이것은 초음파를 사용하고 목적에 따라 주입되는 기능수를 쉽게 바꿀 수 있다. 또한 높은 압력의 증폭과 Cavitation 에 의한 압력을 받고 있는 넓은 면적을 제공할 수 있다.

Cavitation 분사의 원리

Cavitation 분사 세정은 종종 유체 역학 영역에서 바라지 않은 Cavitation 의 물리적인 힘을 바탕으로 한 웨이퍼 세정 방법이다. 유체의 압력이 포화 수증기압 아래로 떨어진다면 유체에서 공동들이 발생된다. 이 공동들은 유체 압력이 올라가거나 포화 수증기압 이상으로 올라가면 터진다. 터지는 순간 고압이 발생한다.

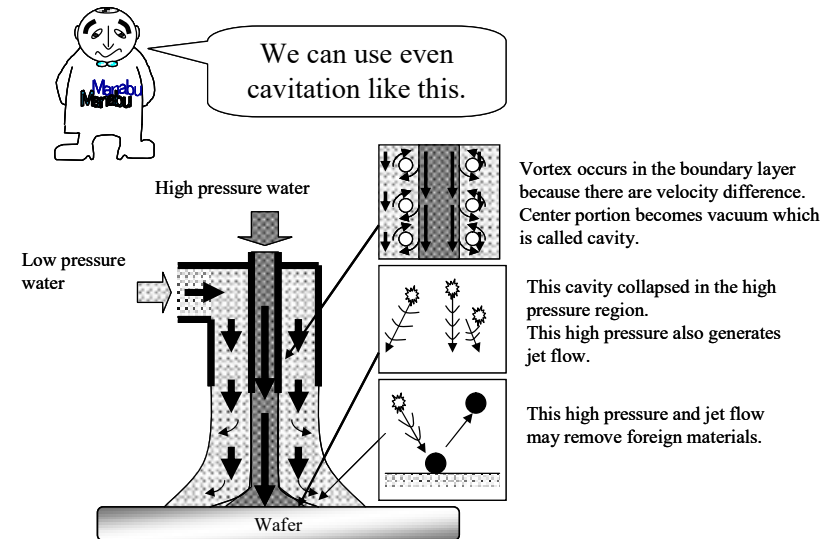
옆 페이지에 있는 그림에서 보는 것처럼 고압의 물이 저압의 물 중앙에 흐르고 있다. 고압과 저압 사이에서의 압력 차이가 경계 면에서 소용돌이를 발생시킨다. 저압 지역이 공동이 발생되면서 각각의 소용돌이의 중앙에 형성된다. 공동들은 웨이퍼 표면에서 터지고 웨이퍼 표면에 있는 파티클들이 효과적으로 제거 될 수 있도록 Cavitation 붕괴 압력을 발생시킨다.

What is cavitation?



Cavitation should be avoided in fluid dynamics.

Mechanism of cavitation jet



야생마를 타는 것

Cavitation 발생상황

Cavitation 발생 상황을 고속 비디오 카메라로 직접 관찰한다. 압력을 1Mpa~13MPa 까지 변경해 Cavitation 의 발생 상황을 확인한다. 이것은 마치 폭풍을 관찰하는 것과 같다. Cavitation Jet 은 본래 야생마 타는 시도를 하는 것과 같다.

압력을 받는부분이 넓다!

Stand Off 거리를 Parameter 로 압력 영향영역의 비교로한다. 결과적으로 Cavitation Jet 와 Water Jet 의 영향영역이 충분히 몇십배 넓다는 것이 비교되었다. 압력을 받는 영역이 넓을수록 마치 큰 빗자루가 더 빨리 청소할 수 있는 것처럼 Single 웨이퍼 세정의 시간을 감소시킬 수 있다.

여러가지의 주파수가 혼재되어 있는 결과를 발생!

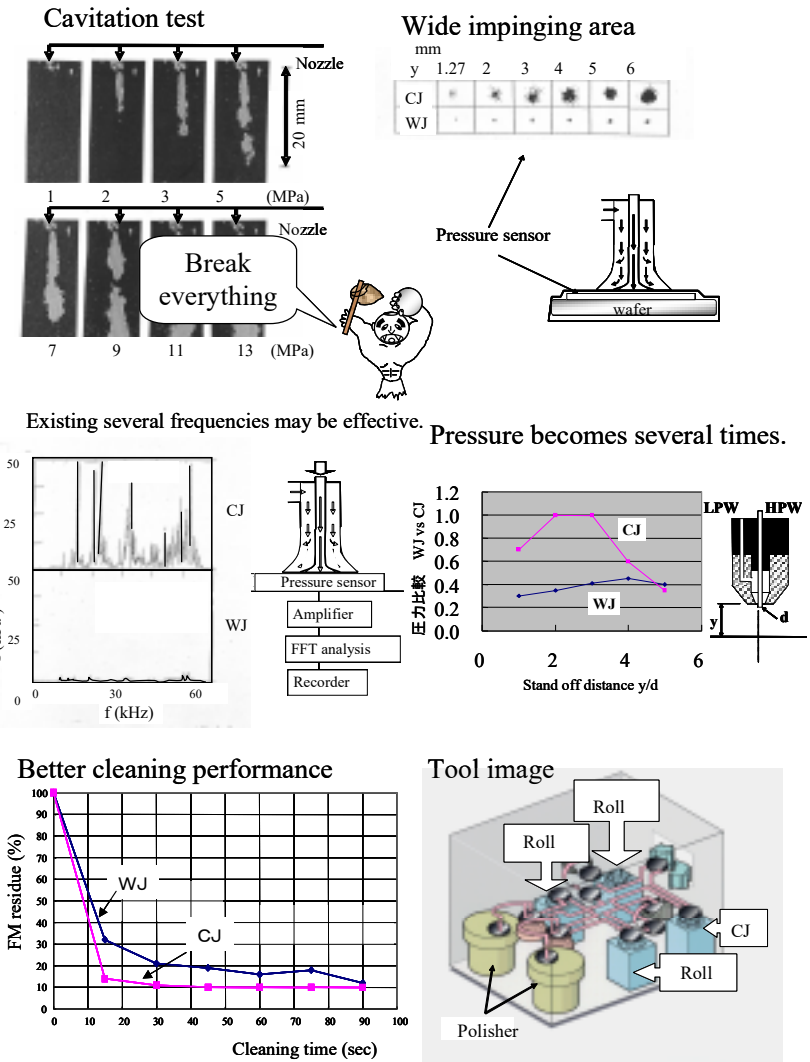
Cavitation Jet 는 60kHz 까지 여러 주파수에서 발생되었다. 한 가지 주파수를 사용하는 일반적인 초음파 세정과 비교했을 때, Cavitation 분사는 각각의 웨이퍼 크기에 맞는 주파수를 제공하면서 다양한 범위의 주파수를 이용할 수 있다는 것이 확인되었다.

압력이 수배!

옆 페이지에 중간에 있는 오른쪽 그래프에서 볼 수 있는 것처럼 웨이퍼 표면이 받는 Cavitation Jet 압력은 매개변수로 Stand Off 거리를 사용함으로써 물 분사 압력과 비교되었다. 그래프에서 보는 것처럼 전자의 압력 증폭율이 후자의 압력 증폭률보다 약 2 배정도 높다는 것을 확인할 수 있다. Local 수준에서 Cavitation 붕괴 압력에 더하여 Cavitation Jet는 Global 수준에서 물 분사보다 약 2배 더 높은 압력이 제공될 것으로 예상된다. 압력을 조절하는 노하우가 요구된다. 과장시켜 말하는 거지만 엄청난 Cavitation 분사 압력이 돌을 뚫을 수 있지 않을까?

결과적으로 세정효과 발군!

최종 세정 성능은 초기 슬러리 양(100%)에 비해 남아있는 슬러리 잔유물 양(%)을 바탕으로 Water Jet 와 Caviatation Jet 이 비교될 수 있다. 전자는 슬러리 잔유물이 약 20%였고 후자는 10%였다. 슬러리 잔유물이 20%까지 감소할 때까지의 시간이 Water Jet 은 30 초가 걸렸고 Cavitation Jet 은 12 초가 걸렸다. 이 결과는 시간당 세정 성능의 관점에서 Cavitation Jet 가 Water Jet 보다 우수하다는 것을 보여준다.



건조가 어려운 소수성을 띄는 표면을 위한 IPA

IPA 건조란?

Cu/low-k 배선을 위한 CMP Process에서는 low-k 박막에 손상이 없는 연마, 세정 그리고 건조 기술을 요구한다. 소수성인 low-k 박막의 표면은 전기적 특성에 영향을 미치는 물반점이 생기는 경향이 있다. IPA 건조 기술은 앞 공정에서 소수성 박막에 물반점 형성을 막기 위해서 발명되었다. 위에서 언급했던 것처럼 이 기술은 배선 공정에서 최근에 세정과 소수성인 low-k 박막의 건조에 사용되고 있다. 또한 IPA 건조는 친수성을 띄는 박막에도 적용하고 있다. 그러나 IPA 건조가 친수성을 띄는 박막에 효과적인지는 증명되어야 할 것이다.

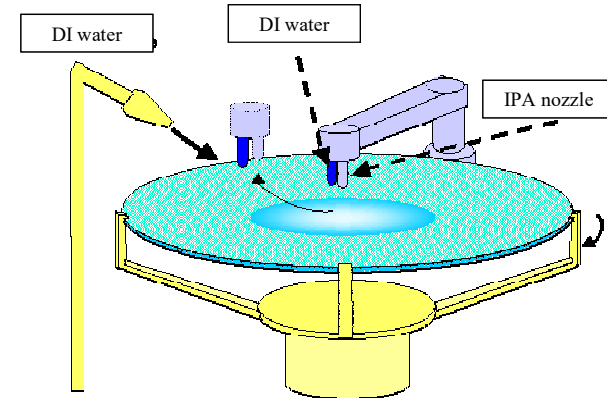
IPA 건조는 Marangoni 건조(IPA에 웨이퍼를 담그는)와 Rotagoni™ 건조(face-up 공정을 위해 IMEC에서 개발한)를 포함한다. 이 절은 CMP에서 사용되는 건조 기술에 대해 설명한다. 소수성인 웨이퍼 표면과 친수성인 웨이퍼 표면에서의 Rotagoni™ 건조의 효과는 보통 SRD의 효과와 비교된다.

소수성인 박막은 건조가 어려운 기판을 의미한다. 그러나 소수성인 박막의 건조는 low-k 물질을 바탕으로 한 최신 디바이스의 건조를 하기 위해 요구된다. 이것은 큰 도전이다.

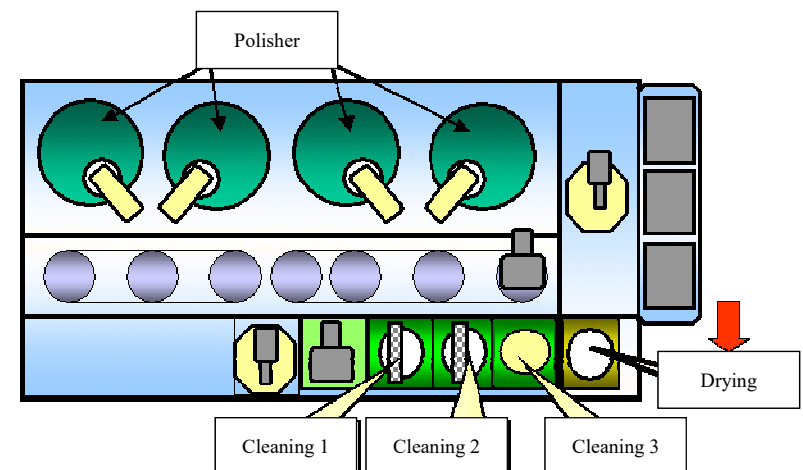
Rotagoni™ 건조

옆 페이지 맨 위에 있는 그림은 Rotagoni™ 건조 구성을 도식적으로 보여준다. 노즐이 웨이퍼 중심에서 끝으로 움직이는 동안 회전하고 있는 웨이퍼 위에 있는 노즐로부터 IPA 증기와 DIW를 공급한다. Rotagoni™ 건조는 회전하고 있는 웨이퍼의 원심력과 IPA 증기를 이용하는 Marangoni 효과를 바탕으로 한다. 아래 그림은 Rotagoni™ 건조 장치를 넣은 CMP 시스템을 보여주는 그림이다.

Rotagoni™ type IPA drying module



CMP with Rotagoni™ type drying module



대단해 ! 소수성 박막에서도 간단하게

실제 IPA 로 건조를 해보자

산화막과 같이 친수성, poly-Si 과 같이 소수성과 같이 막질은 여러가지다. 더욱이 소수성을 띄는 표면은 CMP 후에 친수성으로 변하게 되는 것 처럼, 표면의 성질이 바뀌는 경우가 있다. IPA 건조는 소수성 박막에 효과적이지만, 반면에 Through-put 면에서는 Spin Rinse Dry(SRD)방식이 적합하다.

그리고, bare-Si 을 표면 처리를 위해서는 소수도(친수도)를 변화시켜, 각각의 경우의 SRD 와 IPA 건조의 결과를 비교한다.

그리고 건조 결과는?

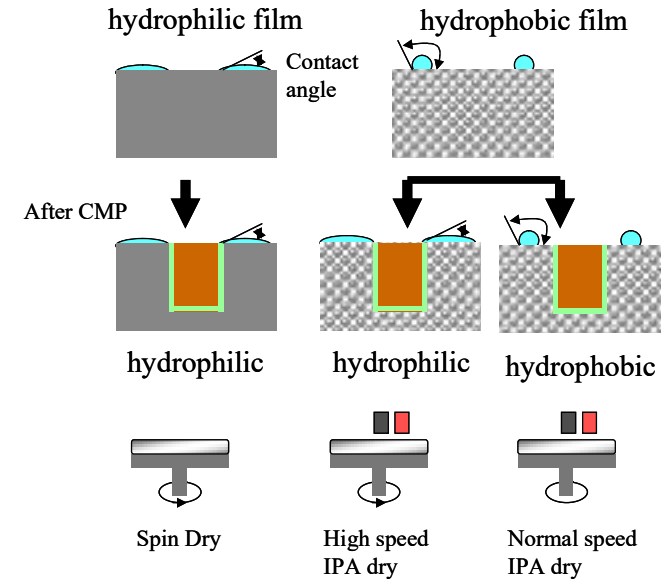
bare-Si Wafer 를 SRD 및 IPA 건조한 후에 Wafer 표면의 접촉각에서 Defect 의 수를 보여준다. 일반적으로 접촉각에 Wafer 표면의 소수성과 친수성 특성이 나타난다. 접촉각이 60°에 가까운 소수성 막에 대해서는, SRD 에 비교가 될 정도의 IPA Process 에서 Defect 수가 훨씬 더 적었다. 접촉각이 30°에 가까운 친수성 박막에서는 Defect 의 수가 SRD 와 IPA 건조가 거의 같았다.

이 결과는 소수성 박막에서 IPA 건조가 defect 의 수를 감소시키는데 더 효과적임을 입증한다. 또한 이것은 친수성 박막에서 SRD 와 IPA 건조가 별 차이가 없음을 보여준다. (건조 방법에 대한 의존성이 없다는 것이 발견된다.)

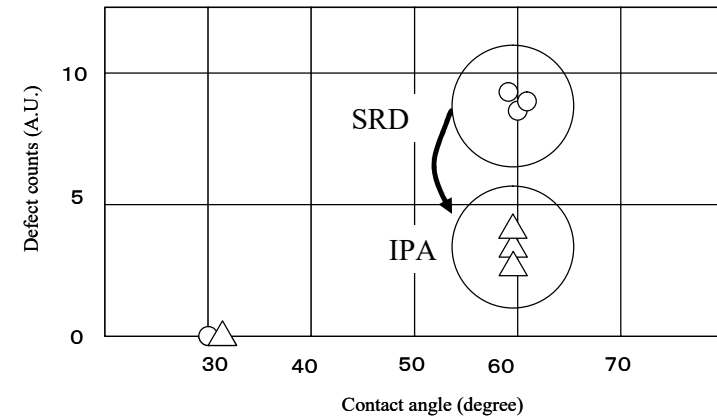
SRD 와 IPA 건조

위에서 언급했던 것처럼 CMP 는 조건에 따라 박막 표면의 특성을 변경해야 한다. 반면에 높은 처리 능력이 요구된다. IPA 건조 시간은 처리량을 증가시키기 위해 표면의 소수성 정도에 따라서 바뀌게 된다. Single Wafer System 은 원래 SRD 를 사용한다. 또한 이 시스템은 Rotagoni™ 건조의 기능을 추가함으로써 SRD 와 IPA 건조 둘 다 사용할 수 있다. 이리하여 친환경적인 Single Wafer System 은 각각의 Wafer 표면의 특성에 맞는 IPA 건조를 사용함으로써 처리량을 증가시키는데 제공될 수 있다.

Drying methods of hydrophobic and hydrophilic films



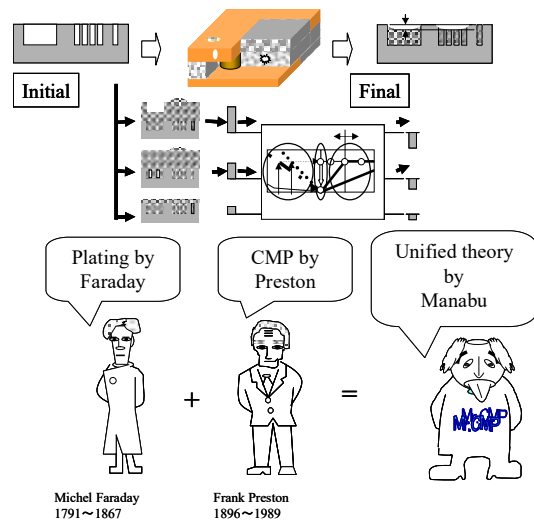
Drying performance



◆ Manabu 의 법칙 !

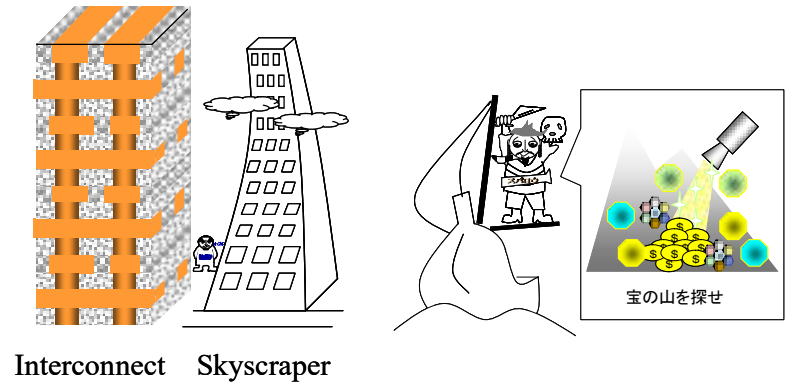
나의 「연마와 도금」이라고 불리는 작은 기술의 세계에서, 기술 혁신의 바람이 불고 있다. 그 「연마와 도금」의 분야를 이끈 사람들은 누구일까? 연마라고 하면 Preston 법칙으로 유명한 Frank William Preston 박사(1896~1989)이다. 도금에서는 위대한 자연주의 철학자 Michael Faraday(1791~1867)를 포함한다. Preston 과 Faraday 의 생각은 일본의 Einstein(즉, 나?)에 의해 완성되었다. 이것이 이 책에서 언급되는 '특수 · 일반 평탄화 유일론'이다. 반도체 Device 의 영원한 숙제인 '평탄화'에 대해서 막 성장 기술로 해결하는 방법, 막 제거 기술로 해결하는 방법, 그리고 그 종합기술을 제안한다. 과장해서 말하는 거지만 연마와 도금은 Manabu 의 법칙을 따르지 않을까?

Moore 박사와 Dennard 박사는 반도체 산업을 이끌었다. 과거에 Preston 박사와 Faraday 는 3,000 년 전에 발견된 연마와 도금을 과학으로 발전시켰다. 나는 연마와 도금에 대한 새로운 기술과 반도체 산업을 이끌 엔지니어(과학자)의 출현을 학수고대한다. 새로운 법칙을 발견하고 공식화할 사람은 누구인가? 나는 포부 있는 엔지니어와 과학자가 주저하지 않고 무대 위로 나오기를 희망한다.



Chapter V

Wet Process Application: Interconnects



초고층빌딩과 다층 문제

다층학회 ADMETA(Advanced Metallization Conference)에서 자주 논의되는 다층배선의 문제를 옆 페이지에 있는 그림들에서 보여준다. 어떤 한 문제가 해결된 것처럼 보이지만 세대가 진행될수록 똑같은 문제가 다시 발생되고 있다. 실망하겠지만, 우선은 문제들의 본질 파악을 시작하자. 도금과 연마 기술 개발하고있는 엔지니어들은 이렇듯 Device 제조의 다른 공정들의 문제도 이해하고 있는 것이 좋다.

장치적으로 보여지는 다층의 문제는?

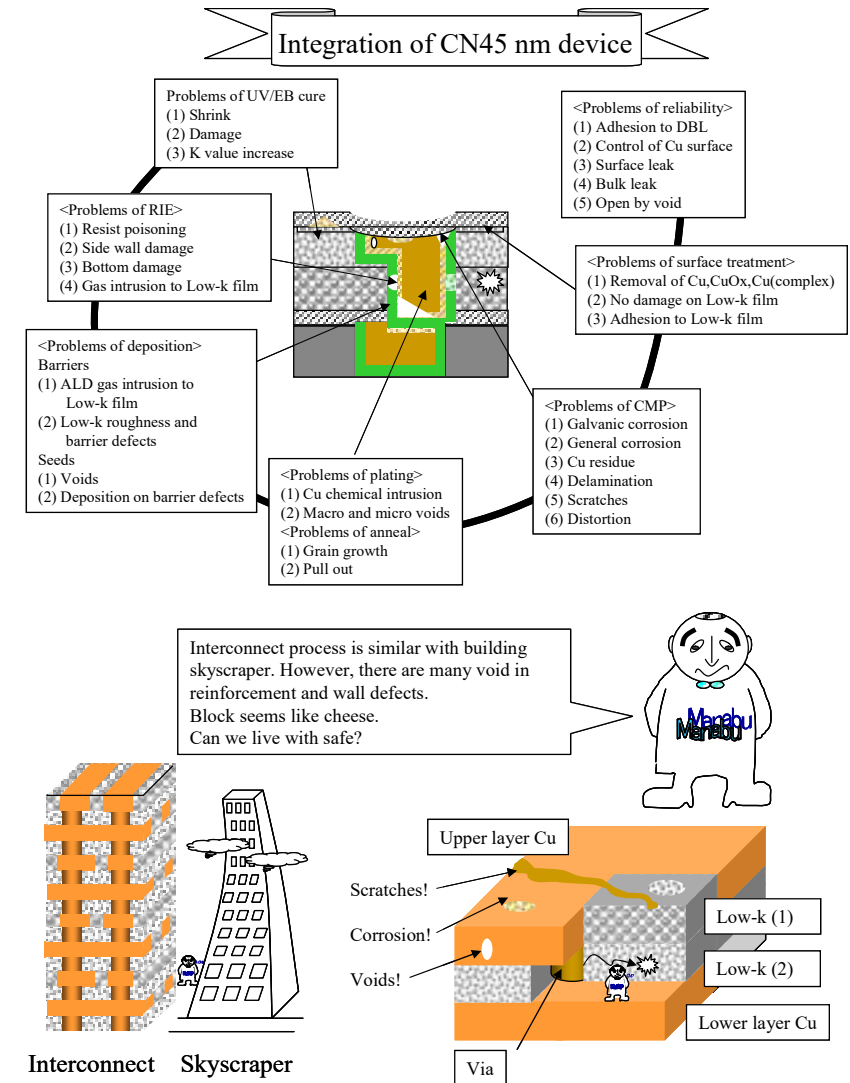
도금과 연마는 Device process 에서는, (1)FEOL 의 STI 연마, (2)다층배선의 다마신용 도금, 연마, 고 용융점의 Metal cap, Bump 도금, (3) Implementation 에서 재분배 배선 도금 등을 위해 사용되지만, 이 절에서는 그 「다층 배선」의 최근 문제 및 과제에 대해 논의한다. 다층 배선 Process 는 연마, 도금뿐만 아니라 식각, CVD(Chemical Vapor Deposition), PVD(Physical Vapor Deposition), 세정, Annealing, Ashing 그리고 Lithography 을 포함한다. 다층 배선 문제들의 기본적인 것들에 대한 간단한 설명이 전형적인 다마신 구조의 예와 함께 밑에 설명된다. 도금과 연마에 종사하고 있는 엔지니어들은 밑에 기본 지식을 알고 있기를 추천한다. 나는 Device 의 전문가가 아니지만, 비 전문가가 보았을 때 「이것이 전부다! 다층문제」라고 소개하고 싶다.

다마신 구조와 그 문제

우선은 다층 배선 공정을 여기서 설명하자면, 다음과 같은 단계를 거친다.

Lithography → Low-k 박막 Deposition → Low-k 박막을 위한 경화 → Etching → Ashing → Barrier layer deposition → Cu Seed layer deposition → Cu 도금 → 세정 → Annealing → 연마 → 세정 → DCL (Dielectric Cap Layer)박막 또는 금속 cap 의 Deposition → Packaging

각각의 다층 배선 공정에서 일어날 수도 있는 문제들은 다음 페이지에서 논의된다. Void, 녹, 균열, 강도 부족 등등을 포함하고, 다층 배선의 문제들과 아파트나 고층건물의 문제들은 서로 비슷한 것처럼 보인다. 세부적으로 보도록 하자.



Low-k 치즈? Low-k 재질

최초는 아래 Cu 배선부터

DBL(Dielectric Barrier Layer)로 알려진 DCL(Dielectric Cap Layer)은 절연막과 Cu seed 층을 위한 Barrier 로 작용한다. DCL 은 Co-W 와 같은 금속을 사용하는 금속 cap 으로 부터 구분되는 '절연체'로 언급된다. DCL 에 요구되는 조건들은, (1)낮은 유전 상수, (2)Barrier 성질, (3)기판의 Low-k 박막과 Cu 의 뛰어난 밀착력을 포함한다.

Low-k 물질의 Deposition

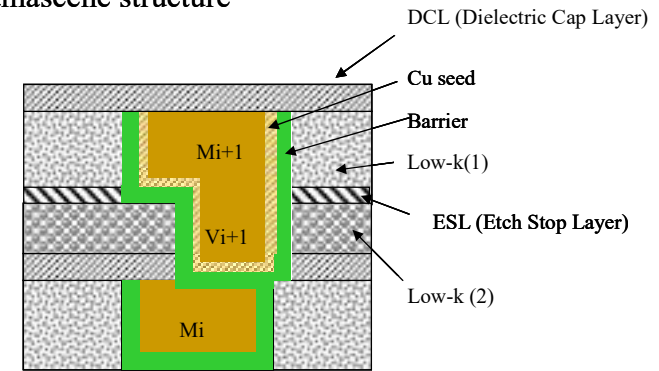
먼저 Low-k 의 종류에 대해 공부하자. 많은 Low-k 물질들이 이용 가능하기 때문에 이 절에서는 간단한 요약만 서술한다.

- SiOF ($k = 3.4 \sim 3.8$)은 SiO_2 ($k = 3.9 \sim 4.3$)를 플루오르화함으로써 얻어지게 된다.
- 다음의 물질들은 더 낮은 k 값(약 $2.8 \sim 3.1$)을 얻기 위해서 SiO_2 를 혼합함으로써 얻어지게 된다.
 - $\text{HSQ}(\text{H}-\text{SiO}_3)^{2-n}$
 - $\text{MSQ}(\text{CH}_3-\text{SiO}_3)^{2-n}$
 - $\text{SiOC}(\text{CH}_3-\text{SiO}_3)^{2-n}$
- 위의 물질들을 다공성 구조로 형성시킴으로써 2.5 보다 더 낮은 k 값을 얻을 수 있다.
- 다음과 같은 유기 Low-k 물질은 약 2.6 ~ 3.0 의 k 값을 가진다.
 - PAE(SiLK™, FLARE™ 등)
- 위의 물질들을 다공성 구조를 형성시킴으로써 2.5 보다 더 낮은 k 값을 얻을 수 있다.

위의 기본 지식을 바탕으로 다음 페이지에서 세부적으로 보도록 하자. CVD 나 SOG(SOG 용액 적용)의 형성된 박막은 그들의 구조가 밀집되어 있을 때 약 2.8 ~ 3.0의 k 값을 가진다; k 값은 다공성 구조로 형성시킴으로써 2.5보다 낮아지게 된다. 당신이 기공은 더 큰 구조에 SiO_2 의 O 대신 H 나 O 보다 더 큰 분자량인 CH_3 , C_3H_7 을 주입시킴으로써 형성된다는 것과 이에 따라 k 값이 낮아진다는 개념을 가지고 있다면 충분하다.

그런데 Low-k 박막은 치즈 같지 않나?

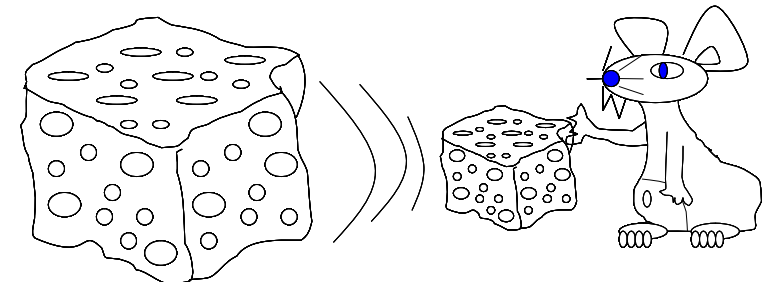
Damascene structure



There are many problems;
 (1) Low- k deposition and cure
 (2) Etching and ashing
 (3) Barrier and seed deposition
 (4) Cu plating
 (5) CMP
 (6) Cleaning
 (7) Cap deposition
 (8) Surface treatment
 (9) Packaging

Low-k film seems like cheese.

It becomes small.
 Who eats my cheese?



치즈를 데운다: Cure

Low-k 막의 문제

어쨌든 Low-k 막은 약하다. 약하다는 것은 무엇을 의미하는가? Low-k 박막의 특징들은 일반적으로 다음과 같은 6 개 매개변수에 의해 표현된다.

- 1) 유전 상수: k
- 2) Young's modulus (탄성 계수) : 강도를 나타내는 E (단위: GPa)
10 GPa 정도가 바람직하다.
- 3) 경도: H (unit: GPa)

일반적으로 E 값의 약 20% 값. 예를 들어 E 값이 10 GPa 일 때 H 값은 2 GPa 이 될 것이다.

4) CTE(Coefficient of Thermal Expansion, 열팽창계수): 17ppm/ $^{\circ}\text{C}$ (Cu 의 CTE)가 바람직하다.

5) 부착력: J/m^2 . 일반적으로 약 5 J/m^2 . 10 J/m^2 또는 그 이상이 바람직하다.

6) 내부 응력: Low-k 박막은 일반적으로 압축력 이지만 Cu 박막은 장력을 보여준다.

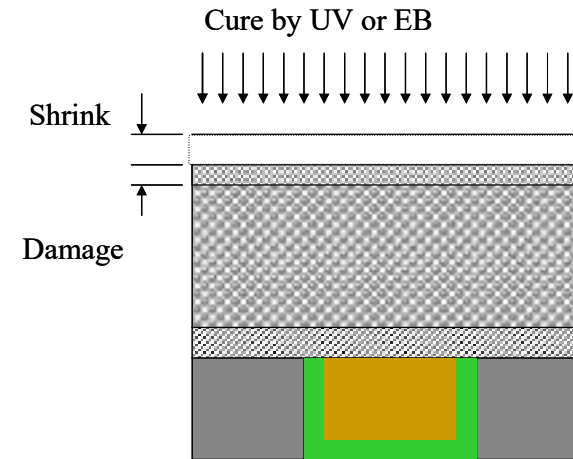
문제는 k 값이 낮아질수록 E 값 역시 감소한다는 것이다. 특히 k 값은 기공이 많아질수록 감소하기 때문에 기공이 있는 Low-k 박막은 본래 역학적으로 약하다. 경화 기술이 밑에서 설명되는 것처럼 k 값 증가의 위험이 있는 곳에 부분적으로 기공을 증가시킴으로써 강도를 향상시키는데 사용된다.

Cure

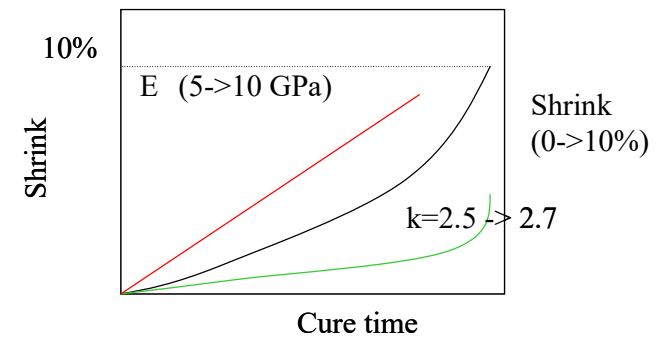
UV(Ultraviolet)/EB(Electron Beam) Curing 공정은 강도를 향상시키는데 사용된다. 예를 들어 5 GPa 의 Young's modulus 를 가지는 Low-k 물질은 Curing 공정을 거침으로써 10 GPa 로 향상될 수 있다. 연마에선 Young's Modulus 의 값이 8 GPa 또는 그 이상이 요구되기 때문에 10 GPa 은 바람직한 값이다. 그러나 부작용이 있다. 위에서 언급했던 것처럼 Curing 공정은 박막의 수축을 야기시키고 밀도를 증가시켜 k 값이 커지는 결과를 가져온다. 또한 표면에 손상을 가할 수도 있다. 강도를 향상시키기 위해 Curing 공정을 사용할 때 표면 손상을 피하는 동시에 적절한 k 값을 결정하는 것이 중요하다.

박막 수축은 위험하다. Curing 공정은 보통 약 10%의 박막 수축을 야기시킨다. 박막 수축은 응력과 밀도를 증가시켜 k 값을 증가시키는 결과를 가져온다. 강도 향상과 적절한 k 값 사이의 균형을 유지함으로써 Curing 공정은 효과적으로 실행되어야 한다.

이 치즈는 열을 받은 후에 줄어들면서 더 단단해진 것처럼 보인다.



Purpose is to increase strength.
Problems are;
(1) Shrink
(2) Damage
(3) K value increase



파고, 파고 또 판다 : Etching

Low-k 의 건식 식각과 DCL 의 하부 손상

Dry Etching 에선 다양한 문제들이 일어난다. 주요 문제들은 다음과 같다.

1) N 에 의해 poisoning 야기: resist poisoning 로 알려져 있다. N 을 포함한 Etching 된 박막은 resist 로 확산하는 NH_3 을 형성한다. 이것은 T-Top 형성시 논의된다. 화학적으로 확장된 resist 는 N 에 약하다.

2) 측벽 문제: bowing(바깥쪽에서), via 장애물(위에서 물질 투영), 평면이 아닌 벽에 의해 Barrier 성능의 퇴화를 포함하는 문제들

3) 가스 침입: Low-k 박막과 물로 들어온 식각 가스(특히 F)와의 화학 반응에 의해 생성된 HF 로 인해 Low-k 박막 손상

다음은 DCL 의 하부 손상의 문제들은 다음과 같다.

- 1) 측벽에 Cu sputtering
- 2) via 의 하부 손상(산화 등)
- 3) via 하부를 통한 식각(의도적으로 공정을 통해 구멍 같은 것은 상관없다.)
- 4) Low-k 박막 손상

Barrier 와 Seed Deposition 의 문제들

Barrier 문제들은 방법에 의존한다: PVD, CVD, ALD(Atomic Layer Deposition)

1) PVD 는 균일한 Deposition 이 되지 않기 때문에 ALD 와 CVD 에 대한 기대가 증가하고 있다.

2) CVD 는 오염 제어와 부착력이 떨어진다. ALD 에 기대가 더 높지만 여전히 Deposition 속도와 오염 문제가 있다.

3) ALD 가스는 Low-k 박막으로 들어가고 Barrier 물질을 산화시킨다.

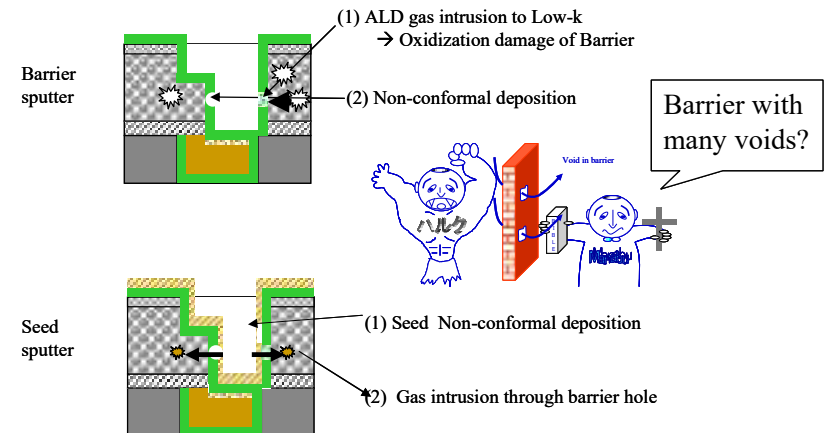
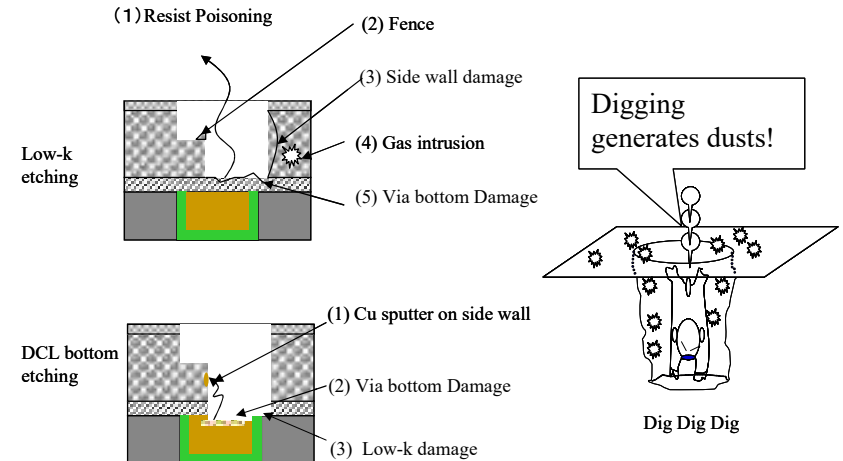
4) 울퉁불퉁한 Low-k 박막과 균일하지 않은 Barrier Deposition 은 Defect 을 야기시킨다.

Seed Deposition 에서도 비슷한 문제들이 일어난다.

1) 불균일한 Seed Deposition. 개선이 요구된다.

2) Barrier Deposition 에서 정공과 Defect 들은 어떻게 다루어져야 하는가? 그것들을 완전히 다룰 수 있나?

Barrier 두께는 현재 최소한의 Etch-Stopper 기능을 유지하기 위해서 5nm 에서 제어되고 있다. 미래에는 2nm 로 예상된다. Seed Deposition 은 5nm 나 그 이하로 목표를 두고 있다. Defect 없이 얇은 박막의 균일한 Deposition 이 가능한 날이 올까? 울퉁불퉁한 기판의 Low-k 박막 위에 코팅이 될 수 있을까?



도금과 CMP 의 문제가

도금이나 Annealing 의 문제

도금의 주요한 문제들은 다음과 같다.

(1) Cu 수용액 침투 : Cu 수용액은 불균일한 Barrier 박막을 통해 침투한다. Cu 이온은 Barrier 박막을 통해 Low-k 박막으로 침투한다고 여겨졌다. 하지만 Cu 이온은 그렇지 않다. Barrier 나 Seed 박막에서 정공(defect)의 존재는 그와 같은 침투가 발생한다. Defect 없이 Barrier 와 Seed Deposition 이 이루어져야 한다. 앞공정에서 Etching 에 의해 손상된 표면을 향상시키기 위한 종합적인 해결책이 필요하다.

(2) Void : Macro 와 Micro Void 가 있다. Micro Void 형성은 후공정에서 EM 이나 SM 에 대한 예방을 할 때 문제가 된다. 또한 Macro Void 는 문제가 되지 않지만 Micro Void 는 Cu seed 표면에서 문제가 된다. grain boundary 에서 nano 크기의 Void 형성은 더 심각하다. DCL 이 형성되고 열이 주어질 때 nano 크기의 Void 은 별 문제가 없는 듯 보이다가 갑자기 Void 가 커지게 된다. 그와 같은 틈을 SIV(Stress Induced Voids)라고 부른다. Cu 는 deposition 하는 동안 장력을 가지지만 열을 받게 되면 압축력으로 변하게 된다. 열을 가하는 시간과 DCL 사이에서 CTE 차이는 Cu 의 응력을 감소시키거나 증가시킨다.

(3) 도금 용액과 EM/SM 저항의 순도 : 도금에서 해결되어야 할 또 다른 문제이다. 불순물이 많은 도금 용액은 EM 저항을 증가시키지만 변화가 큰 편은 아니다. 적은 양의 불순물이 포함된 도금 용액을 사용하면서 EM, SM, 틈을 제거할 수 있는 강력한 용액이 요구된다.

Annealing: 해결되어야 할 문제들

1) annealing 이 진행되는 동안 grain 크기를 조절하는 노하우가 요구된다. 더 큰 grain 크기는 scattering 문제를 고려하는데 더 낫다.

2) Via pull out: 불충분한 annealing 은 via 하단의 pulling out 일으키는데 사용된다. 비록 이 문제가 이미 해결되었을지 몰라도 불충분한 annealing 은 잠재적으로 응력을 증가시킨다.

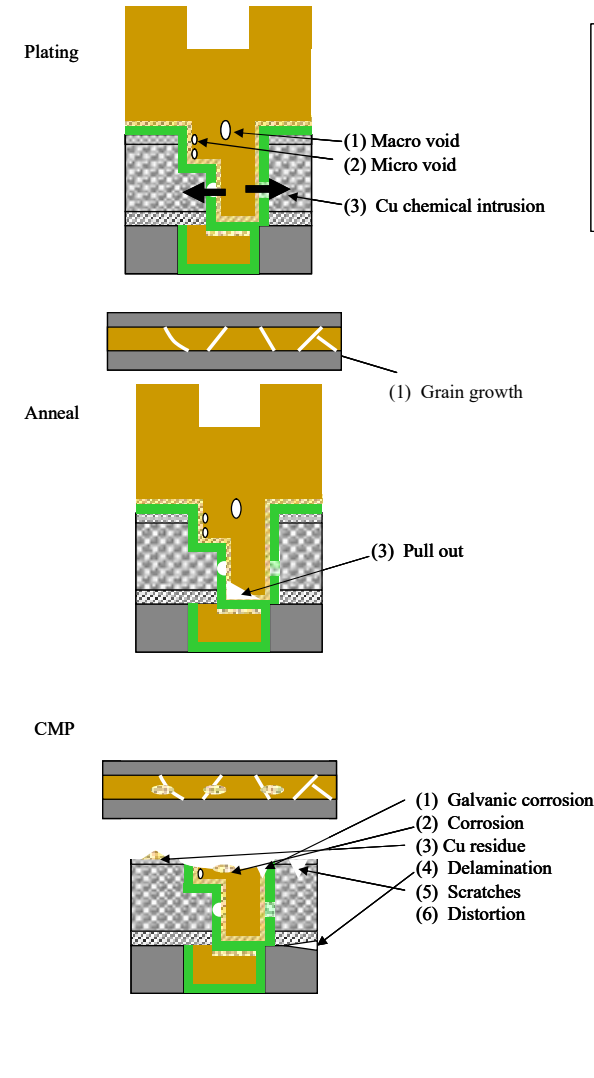
CMP: 해결되어야 할 문제들

연마의 주요한 문제들은 다음과 같다.

- (1) Galvanic corrosion
- (2) 전면 corrosion
- (3) Cu 잔유물
- (4) 벗겨짐

(5) 굽힘

(6) 일그러짐



누전이! 안심할 수 없다 : 신뢰성

표면 처리의 문제

표면 처리는 DCL deposition 전에 연마와 plasma 처리 후 세정과 건조를 포함한다. 연마 후에 세정과 건조에선 얇은 산화 박막이나 Cu(complex)는 기다리는 동안 부식을 막기 위해 Cu 표면에 남겨진다. 세정과 건조는 Low-k 박막으로부터 Cu, CuO_x, Cu complex 를 완전히 제거하기 위해 수행된다.

DCL deposition 전에 plasma 처리는 많은 자료에서 논의된다. NH₃, H₂, He 과 같은 plasma 가스는 세정 효과는 좋지만 손상을 입힌다. 허락되는 손상의 정도를 정하는 것은 노하우이다.

신뢰성 평가

위의 문제들을 말하기 위해서 신뢰성 시험이 수행된다. 옆 페이지 그림에서 보는 것처럼 일반적으로 5 가지 정도 확인한다.

(1) DCL 의 부착력: 개선이 요구된다(예를 들어 표면 plasma 처리에 의해서). 약 10 J/m²

정도의 부착력이 바람직하다.

(2) Cu 표면에 틈: EM/SM 을 가속화 시킨다.

(3) 표면 누출: 충분하지 않은 표면 세정이나 Low-k 박막 손상에 의해 일어난다.

(4) bulk 누출: 충분하지 않은 Barrier deposition 이나 Barrier 금속의 산화 변질에 의해

일어난다.

(5) 열린 회로(물질 사이의 틈에 의해서): 도금하면서 많은 틈과 표면 손실은 여전히

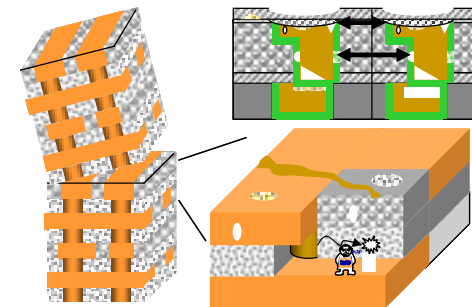
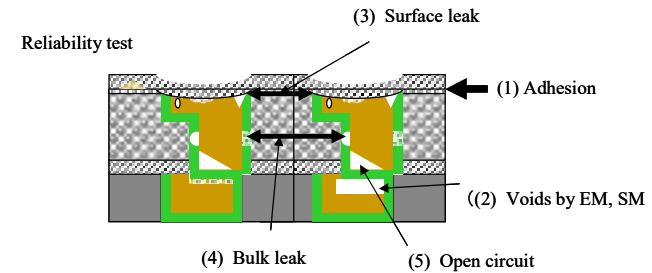
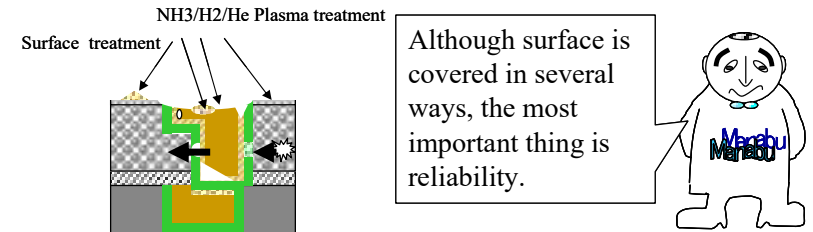
발생한다.

Metal Cap 의 문제

금속 cap 도금(Co-W 과 같은 물질을 사용하는)은 여전히 해결되어야 할 문제들이 많이 있다. EM 저항이 이미 개선되었기 때문에 이 기술은 흔히 사용될 것 같다.

실제 적용 문제

접합 공정에서 응력 분석은 중요한 과제이다. wire pull, 열을 가하는 시간, 전단 응력을 포함한 응력 분석이 요구된다.



Interconnect problems

However, do not worry so much. Engineers have always done their best to overcome those problems.



7 가지 문제와 7 가지 해결책

Seven See's 란?

지금까지는 다층 배선의 다양한 문제들을 살펴보았다. 이 문제점들에 대한 해결책들이 아래에 나와 있다. 사용자의 로드맵(ITRS 포함하여)으로부터 발췌한 7 가지 주요 문제들을 살펴보자. 7 가지 문제들을 말하기 위한 7 가지 발견들을 seven see's 라고 언급한다. 이 언급은 몇 가지 해결책들은 모험적인 기술을 포함하고 있기 때문에 신박트의 7 대양 모험에 의해 영감을 받았다.

로드맵의 요구 조건으로부터

7 가지 발견과 사용자의 로드맵의 요구 조건을 만족시키는 촉망 받는 해결책이 밑에 나와있다.

1'st See : Low-k 층의 직접 CMP(Direct CMP) →

Porous low-k($k=2.5$)막의 직접연마 문제

2'nd See : 저압화요구(Low Down Force Planarization)

수년 전부터 문제에 대해 저압이 요구되어졌지만 어디까지

필요할지 미결정

3'rd See : Ru barrier 적용

Ru barrier/seed 의 적용 했지만 45nm 세대에서 적용할지 아직 미 결정

4'th See : Water Mark 없음(Water Mark free)

1 의 직접 CMP 와 관련있으나, $k=2.5$ 의 소수성 박막의 세정과 건조

5'th See : Particle Size CD(Critical Dimension)의 1/2(Small FM size of 1/2 CD)

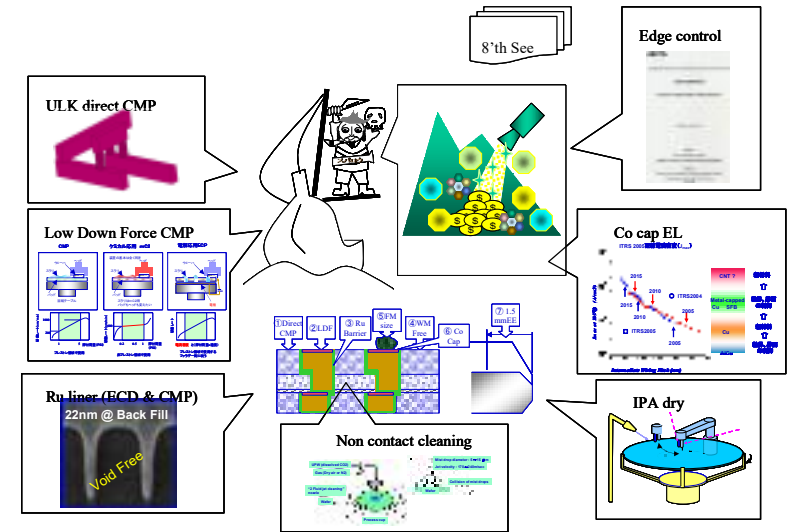
CD 가 더욱 작아져, 어디까지 Size 를 관리할지의 문제

6'th See : Co 금속 cap

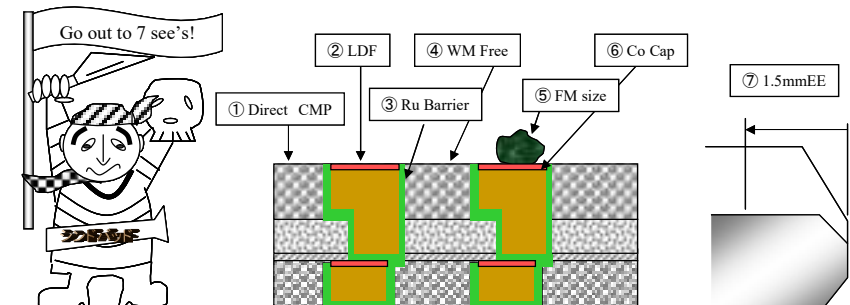
증가하는 J_{max} 에 대해 EM 향상의 수단으로써

7'th See : Edge Exclusion 의 1.5mm 달성

위의 7 개의 문제는 중요하다. 65nm 세대에서 논의된 문제였으나, 45nm 세대와 32nm 세대에서도 중요하게 될 문제이다. 완전히 이해하기를 추천한다.



Seven major problems are picked up.



1'st See Direct CMP

Direct CMP 필요는?

다층 배선 다마신 구조의 집적화에서 다음 세가지 경우가 논의 중이다.

- Case 1: HM(hard mask) 없는 경우; 같은 유전 상수를 가지는 배선과 via
 - Case 2: HM 이 있는 경우; 같은 유전 상수를 가지는 배선과 via
 - Case 3: HM 이 있는 경우; 다른 유전 상수를 가지는 배선과 via
- 여기 Case 1 이 Low-k 박막의 직접 CMP 에 해당된다.

문제점과 해결책

어떤 문제들이 있는지 보자.

Case 1 에서는 RIE 뿐만 아니라 CMP 에 의한 손상이 관계가 있다. 적은 손상을 가지고 Low-k 박막을 개발하는 것은 필수적이다. 손상 처리(복구) 기술들 또한 요구된다.

RIE 에 의한 손상이 불가피할지라도 Case 2 와 Case 3 은 CMP 에 의한 손상을 HM에 의해 막을 수 있기 때문에 Case 1 보다 손상이 덜 된다. 집적화에서 RC의 C, 효과적인 유전 상수, k_{eff} 를 감소시키기 위한 Low-k 박막은 중요하다. 각각 사용자는 설계에 의해 요구되는 k_{eff} 와 제조 기술(신뢰성이 보장되어 있는)을 비교하여 적절한 Case 를 선택할 것이다. HM 을 사용하는 경우 얇은 HM 의 준비가 중요하다.

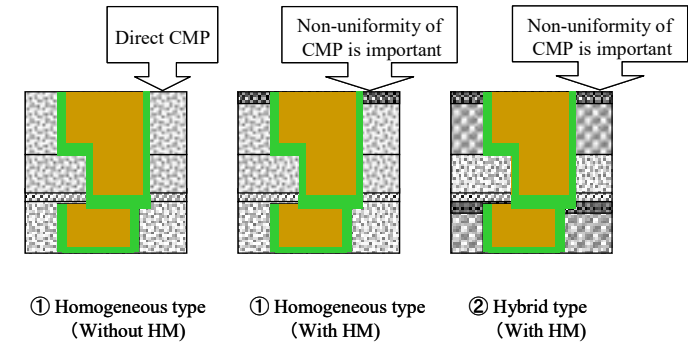
옆 페이지에 있는 가운데 오른쪽 그래프는 HM 의 공정 정확도가 $\pm 5\text{nm}$ 에서 $\pm 10\text{nm}$ 까지 범위일 때 RC 의 변화를 보여준다.

RC 변화 감소는 미세화시키는데 큰 쟁점이다. 밑에 그림은 피드백 장치로 자동 조정되는 시스템에서 와상 전류 모니터를 사용함에 따른 변화도 조절의 예를 보여준다.

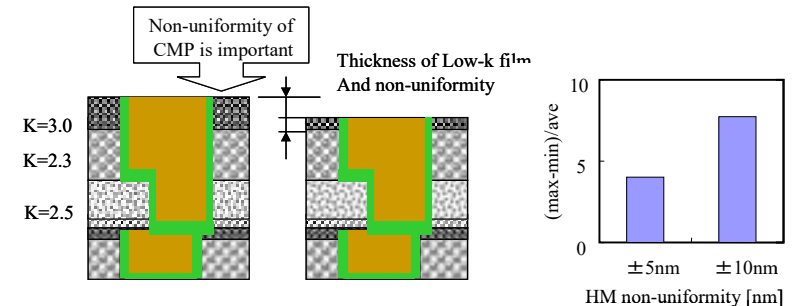
SiLK™이라고 불리는 유기 박막이 도입되었기 때문에 직접 CMP 는 절대 해결되지 않을 문제이다. 유기 박막은 k_{eff} 를 감소시키는데 효과적이지만 손상을 입히기 쉽다. HM 의 사용여부는 엔지니어의 결정이다. 다양한 도전과 타협은 CMP 의 향상과 개발 및 손상 처리 기술 과정에서 다가올 것이다.

직접 CMP 를 위한 도전은 끝나지 않는다.

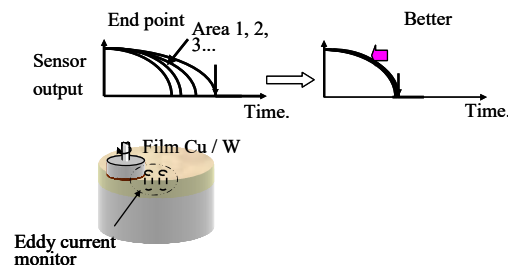
Three cases of integration



The effect on RC variation by CMP non-uniformity becomes bigger!



Eddy current monitor is important.



2'nd See : CMP 저 Down Force 요구 : mC²란?

낮은 downforce 로의 CMP 를 위한 요구 조건은 무엇인가?

Low-k 물질의 강도는 CMP 과정이 이루어지는 동안 부러질 수도 있을 만큼 낮다; 이 Low-k 물질의 특징은 한때 낮은 downforce 로 하기 위한 CMP 의 원동력이었다. Young's modulus 는 강도의 크기이다. 10 μPa 혹은 그 이상의 Young's modulus 은 다음과 같이 요구되었다(내가 알기로는 SEMATECH 에서 처음 언급되었던거 같다.);경화 공정에 의한 Young's modulus 의 기준값은 10 μPa 이었다. 그리고 나서 열 문제의 논의 되었다. 부착력은 열의 크기이지만 완전한 기준이라고 할 수 없다. 보통 four-point bending 시험에 의한 파괴 역학이나 실험 자료에 사용되는 Gc 값이 열의 크기로 사용된다. 이 문제를 말하기 위해서 낮은 downforce CMP 에 대해 말해야 한다. 처음에 0.5psi 혹은 그 이하만큼 낮은 downforce 가 논의 되었고 ECP 가 도입되었다. 지금 사용자들은 CoC 가 문제가 생겼을 때 1psi 와 3psi 값 사이에서 downforce 를 선택한다.

해결책의 예

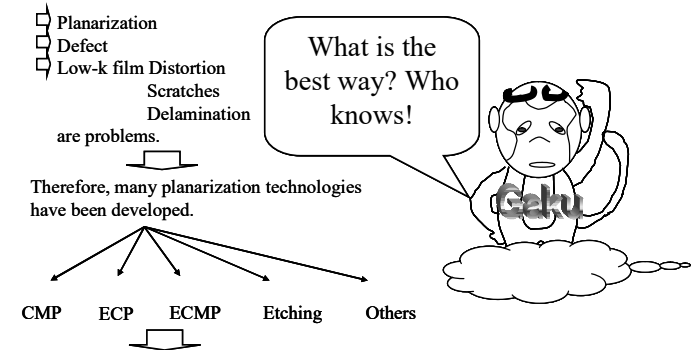
'평탄화 기술의 원리' 단원에서 세부적으로 보자. 이 단원은 포괄적으로 CMP, ECP, ECMP, CE 를 포함하는 다양한 낮은 downforce 평탄화 기술의 일반적인 원리를 설명한다. 뿐만 아니라 CMP 와 ECMP 가 원리적으로 같다는 설명과 mC²도 소개한다(식각을 결합한 연마 방법). CoC 를 고려하면서 사용자들은 최적의 시스템을 선택할 것이다.

ECMP vs mC²

이 단원은 local 배선 또는 global 배선의 경우에서 ECMP 와 mC²를 비교한다. 옆 페이지 중간에 있는 그림은 CEP(Chemically Enhanced 연마)의 한 종류인 ECMP 와 mC²의 결과에 대한 비교를 보여준다. CoC 를 고려하면서 사용자들은 자신들이 사용할 방법을 선택한다.

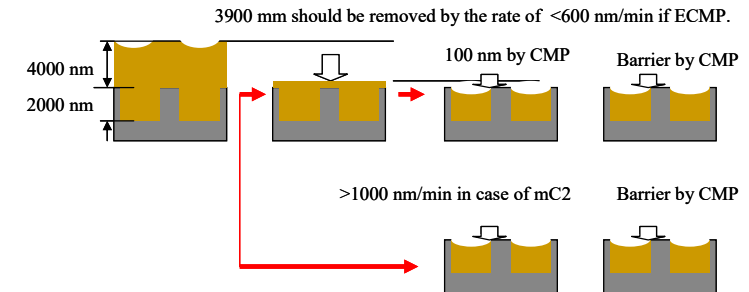
우선, 방법을 사용할 사용자들에게 달려있다. CoC 를 고려하면서 1.5psi 와 3psi 값 사이에서 최적의 downforce 를 선택한다.

Why LDF is necessary? So many ways.

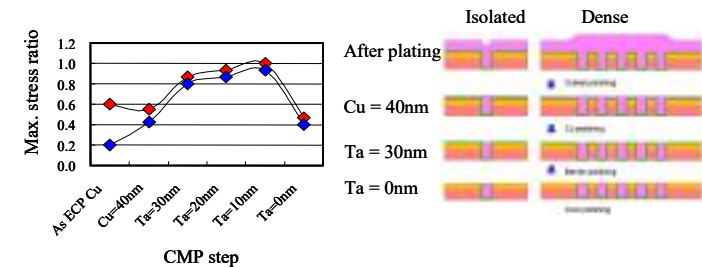


Unify those technologies by the general principle of planarization technologies.

The comparison of mC² and ECMP in global interconnect



You may know its necessity by FEM stress analysis.



3'rd See : Ru Barrier Application

박막 · Conformal Barrier 란?

ITRS 는 간단하게 새로운 물질들을 소개하였지만 더 얇은 Barrier 에 사용될 수 있는 물질을 명확하게 나타내지는 않았다. 얇은 Barrier 는 RC 를 감소시키기 위해 필수적이다. 일반적인 PVD 로 얇은 barrier 를 만드는 것은 어렵다. 얇으면서 균일한 Deposition 을 형성하기 위한 다른 해결책이 발견되지 않았기 때문에 CVD(ALD 도 포함하여) 수년 동안 재출현 하였다. 최근에 Deposition 후에 Resputtering 을 함으로써 균일한 침전을 형성시키는 PVD 가 도입되었다. 이 같은 기술 추세에서 Ru 새로운 물질 후보로 나타났다.

해결되어야 할 문제들은 무엇인가?

박막 Cu seed 는 저항을 증가 시키고 저항이 증가하면서 Terminal Effect 와 불균일한 Deposition 의 결과를 초래한다. Dummy 저항 또는 나뉘어진 양극은 Terminal Effect 를 감소시키기 위해 사용된다.

박막 Cu seed 뿐만 아니라 Ru 위에 직접적인 도금에 대한 필요성은 이미 논의 되었다.

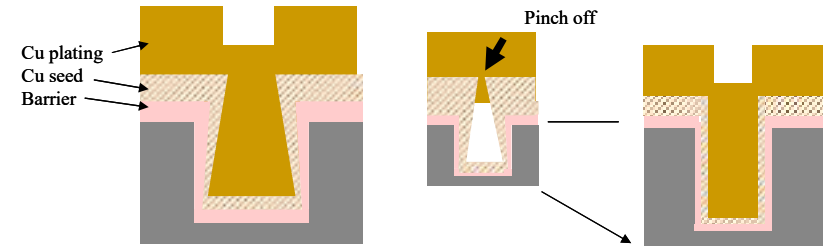
Terminal Effect) Wafer 의 가장자리 보다 중심의 저항 값이 높기 때문에 웨이퍼 가장자리 위에 더 두껍게 도금하는 효과.

해결책의 예

옆 페이지 밑에 있는 그림은 Ru 위에 Dummy 재료를 사용한 도금 방법의 예를 보여 준다.

Ru 을 사용하는 것은 디바이스의 신뢰도를 증가시키고 더 얇은 박막을 위한 좋은 해결책 중에 하나로 간주된다. Ru liner를 사용한 웨이퍼의 CMP를 고려 했을 때 Ru 에 알맞은 슬러리를 아직 개발하지 못했다. 일단 Ru liner 를 시험적으로 사용하면 Ru 전용 슬러리의 개발이 가속화 될 것이다.

Filling performance will be more severe in accordance with scaling.



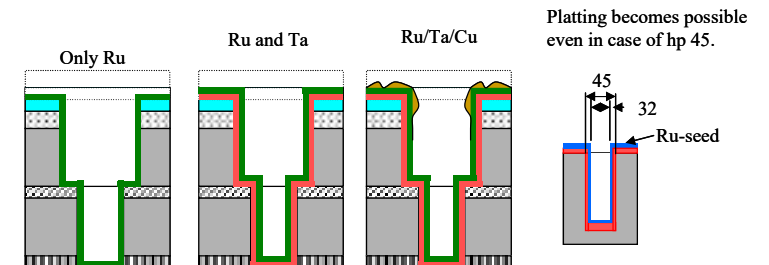
In case of bigger scaling,

- ① No pinch off even if PVD seed is thick.
- ② No terminal effect in plating.

In case of smaller scaling such as beyond 45 nm,

- ① Pinch off if PVD seed is thick.
 - ② Worse filling (voids)
- Therefore, thin and conformal deposition technologies for barrier and sees are required.

Example to use Ru



Example of plating on Ru by dummy resistance plating



4'th See : Water Mark 가 없는 것의 요구

Water Mark=0

Water Mark 는 0 으로 줄여야만 한다. 즉, Water Mark 는 없어져야만 한다. Water Mark 는 SiHxOy 로 표현 되는 Liquid Glass 로 불린다. Si 표면 위에 물이 존재하면 대기 중에 있는 산소와 표면에 있는 Si 이 물 속으로 녹아 들면서 SiHxOy 를 형성한다. 물이 증발하면서 SiHxOy 가 배꼽과 같은 모양으로 응축된다. 이것을 Water Mark 라고 부른다. 친수성 박막은 (TEOS 와 같은) Water Mark 를 남기지 않는다. Water Mark 는 소수성 박막(ULK 과 같은)에서 형성된다. IPA 건조는 Water Mark 를 방지하는 효과적인 방법이다. IPA 는 물을 없애고 liquid glass 형성을 막는다. 옆 페이지에 있는 그림은 TEOS, 다른 소수성 특징을 가지는 밀도가 높은 ULK 과 다공성 ULK 위에서의 Water Mark 형성을 나타낸다. 물방울의 접촉각은 각 박막의 소수성 특성에 의존한다; 건조 후에 Water Mark 형성은 박막의 소수성 특성에 비례하여 증가한다.

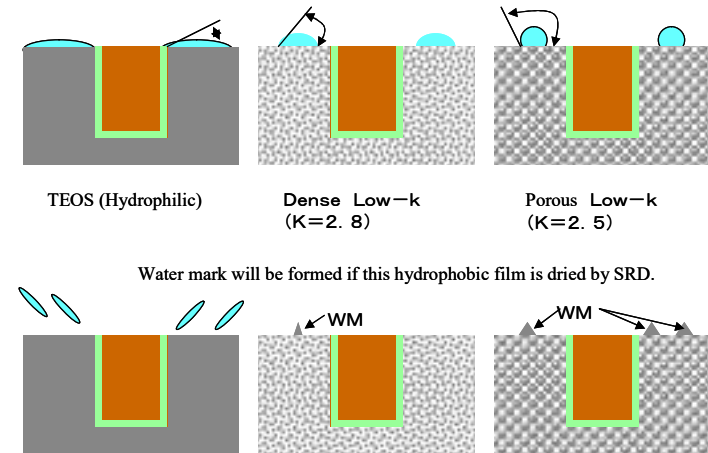
대책의 예

Rotagoni™ 건조의 예는 밑에 설명되었다.

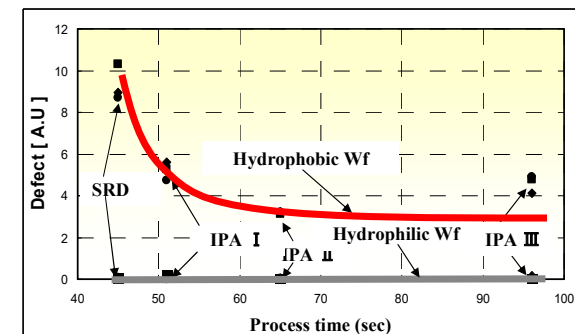
Rotagoni™ 건조는 IMEC 으로부터 개발되었다. Single Wafer System 에서 Marangoni 효과를 적용시킨 기술은 Through-put 이 좋은 기술이다. Rotagoni™ 건조는 Wafer 표면 위에 DIW 와 IPA 기체를 주입하고 이것을 회전시키면서 물을 건조시킨다.

Rotagoni™ 건조는 IPA 없이 SRD 공정에 사용할 수 있다; IPA 효과는 박막의 소수성 특성에 따라 사용된다. 옆 페이지 아래 그래프는 Rotagoni™ 건조가 소수성이 큰 박막은 천천히 건조 시키고 소수성이 작은 박막(거의 친수성을 띄는 박막)은 매우 빨리 건조 시킨다는 것을 보여준다. Rotagoni™ 건조를 선택하는 것의 목적은 빠른 건조로부터 Through-put 을 높이는 것이다. 예를 들어 Rotagoni™ 건조는 연마 후에 플래시 메모리에 사용되는 poly-Si 박막의 친수성을 강화시키고 또한 SRD 공정에서 사용될 때 좋은 성능을 제공한다. 더 환경적인 의식과 CoC 를 덜 포함하는 건조 기술의 개발은 연마와 세정 후에 박막의 소수성인 특성을 고려하는 동시에 최적의 IPA 건조 시간을 결정함으로써 이루어져야 한다.

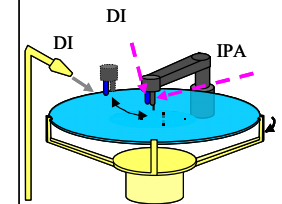
Water mark in hydrophobic and hydrophilic films:



Rotagoni™ type drying technology



Rotagoni™ type tool



5'th See : 1/2 CD Particle Size

1/2 CD Particle Size 요구란?

ITRS에서 요구되었듯이 Pattern의 미세화에 따라 Defect의 크기는 더 작은 것을 제어해야 한다. 그러나 이것은 실제로 측정 장비의 검출 성능에 의존한다. 현재 UV 빛 측정 장비는 100 nm (0.1 μm) Particle 까지 검출할 수 있다. 어떤 측정 장비들의 제공자들은 45 nm 또는 32 nm 크기의 Particle 검출이 그들의 로드맵에서 가능할 것이라고 예견한다. 그러나 193 nm 파장의 UV 빛을 사용하는 측정 원리에 기초하여 100 nm Particle (UV 파장의 반)의 검출은 적을 것이다. 물론 검출 민감도가 강화된 다양한 기술을 실현 시킴으로써 45 nm와 32 nm의 Particle을 검출하는 것은 항상 환영한다.

그럼 우리가 볼 수 없는 Particle (FM)의 제어는 어떻게 할 수 있는가? 통계적인 방법이 해결책이 될 수 있다. 공정실에서 Particle의 수는 Particle Size의 제곱 또는 세제곱에 반비례한다는 개념을 적용시키면 검출 가능한 Particle의 크기는 이론적으로 줄어 들 수 있다. 어떤 속도에서 수율의 최적화에 대해 간단하고 신뢰도가 높은 품질 제어 방법은 사용자와 협력하면서 고려되어야 한다.

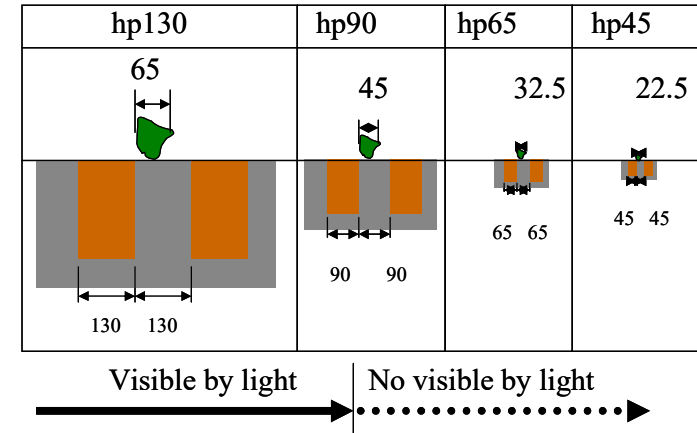
대책의 예

첫 번째 예는 세정하는 동안 Particle 제어를 향상시키는 기술이다. 45 nm 세대와 그 이하의 세정 공정에서 검출된 defect이 굵힘인지 Particle인지 구별하는 것은 더 어려워 질 것이다. 그러므로 비접촉식 세정은 세정 공정 동안 손상을 없게 하기 위한 필수적인 방법이다.

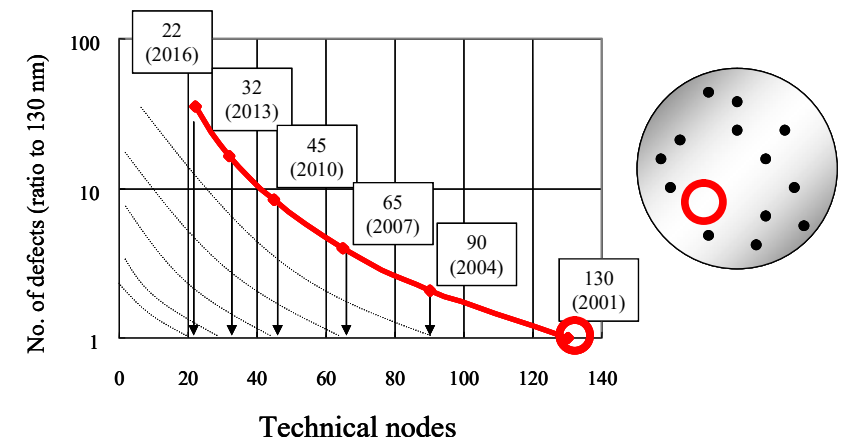
옆 페이지에 있는 그래프는 다음 세대에서 허용 가능한 defect과 Particle Size의 관계를 보여준다. 이것은 130 nm세대의 것에 근거하여 추정된 값이다. 이것은 비록 다음 세대에서 진행될지라도 검출 가능한 Particle 크기의 변화 없이 허용 가능한 defect의 수를 감소시킴으로써 입자의 제어가 가능하다는 것이다.

검사와 공정은 cat & mouse의 게임과 같다. 다른 산업에서 검사는 공정 중에 완료된다. 그러나 반도체 산업에서는 어려움이 남아있다. 이것이 검사 능력보다 공정 정확도가 더 높아 필요로 되기 때문이다.

Scaling and FM image



Control by statistic methods



6'th See : Metal Cap

Metal Cap 의 필요 조건은 무엇인가?

옆 페이지에 있는 위의 그림은 Co cap 이 사용될 때와 일반적인 DCL 이 사용될 때 집적도의 예이다. 일반적인 DCL(Dielectric Cap Layer) 은 높은 유전 상수(k) 값을 가진다; 그러므로 절연층의 유전 상수 값을 줄이는 것은 우리의 바람처럼 전체 keff 값을 줄이는 결과는 가져오지 않는다. 원래 금속 cap 은 다층 배선의 keff 값이 줄어든 것이라는 기대와 함께 개발되었다. 현재 금속 cap 을 사용함으로써 개선된 EM 저항 값의 기대는 점점 keff 값 감소의 기대보다 커지고 있다.

EM 저항을 개선시키기 위해 금속 cap 은 DCL 에서 사용된다. DCL 과 구리 박막 사이의 부착력이 낮을 때 EM 저항 값은 감소한다. 금속 cap 의 사용은 흡착력을 향상시키고 EM 저항을 100 배 이상 높은 결과가 보고되었다.

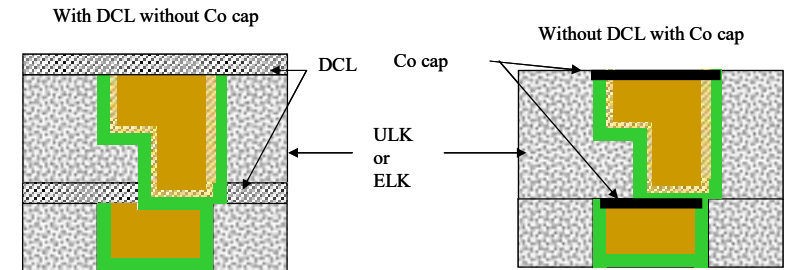
Co Cap Deposition 의 예

Co Cap Deposition 은 비전착성 도금으로부터 형성된다. Co Cap Deposition 의 종류는 도금 용액에 따라서 Co-W, Co-B 가 있다. 비전착성 도금은 사실상 비선택적인 도금을 할 수 있게 한다; 그러나 Metal Cap Deposition 은 Cu 배선 위에 형성되어야만 한다. 이 같은 선택적인 Deposition 을 하기 위해 디바이스 제조사들은 광장한 기술을 보유하고 있다.

다음 사진은 Co 의 도금 두께를 5 nm에서 20 nm사이로 제어한 Co Cap Deposition 의 예를 보여준다.

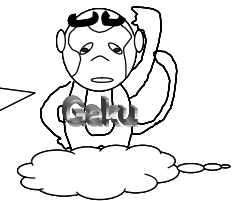
금속 Cap 는 응용 범위가 넓지 않다. 이 기술의 장점은 이해된다; 그러나 어떤 오랜 망설임은 사용자들 사이에서 발견되었다. 32 nm 세대가 올 때 금속 cap 기술이 실제로 우수한 기술일지 단지 과도한 기술일지는 판단될 수 있을 것이다.

Co cap vs DCL

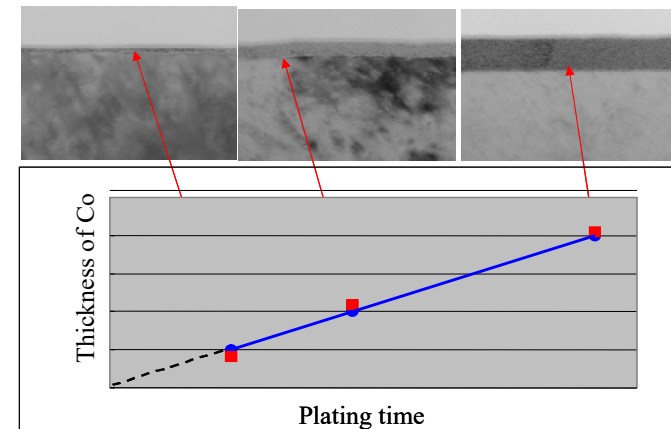


Even if k value of low-k is decreased, the effective k value is not so decreased as k value of DCL is big. If DCL is able to eliminate, k value can be much decreased.

Super technology?
Or over technology?



Example of Co cap by electro-less plating



7'th See : Edge Exclusion

1.5mmEE 의 요구는?

이미 Starting Material 인 bare Si 웨이퍼의 mm EE 는 이미 요구되었고 2005 년에 이미 성취되었다. deposition 과 CMP 에서 이것의 필요 조건(2mmEE)은 가장자리 roll-off 와 같은 문제점 때문에 충족되지 않았다. 게다가 1.5mmEE 의 필요 조건은 2007 년에 나타났다.

해결책의 예

2mmEE 는 현재 이용 가능한 ROA 제어 기술로 성취될 수 있다. 미래에는 1.5mm 또는 더 낮은 EE 를 달성하기 위해 ROA 의 세심한 고려가 웨이퍼 제조업자들의 토론을 통해 필요하다. 디바이스 제조업의 엔지니어들이 포괄적인 시각으로부터 제조 디바이스의 1.5mm EE 가 필요한지에 대한 판단을 할 때까지 토론이 이루어져야 한다.

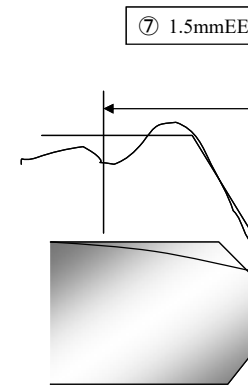
PV- λ 평탄화 범위

당신의 기준에서 “PV- λ 평탄화 범위”의 유용한 도표는 반도체 디바이스의 평탄화 범위에 대한 빠른 개요(예로 Deposition, CMP, Nanotopography, roll-off 등)를 옆 페이지에서 보여준다.

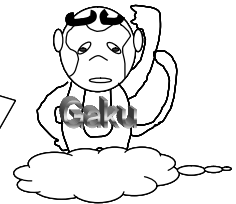
x 축은 파의 진동수에서 연마된 박막의 지형을 가리키고 y 축은 연마된 박막 표면의 PV값을 나타낸다. IC1000 ™패드로 연마된 윤곽은 최고점으로부터 20 nm 더 연마 되었다. 그러므로 패드, 슬러리, CMP 의 조건이 변할 때 이 연마 윤곽은 변할 수 있다.

도표는 또한 디바이스 패턴이 항상 연마 범위 안에 있고 최고점과 Nanotopography 는 과한 연마를 야기시키지 않는 범위 안에 있다. 도금 Deposition 과 roll-off 의 profile 은 회색 영역에 있다. 1.5mm EE 는 이 Profile 을 이해하지 않고 이루어질 수 없다.

Edge control



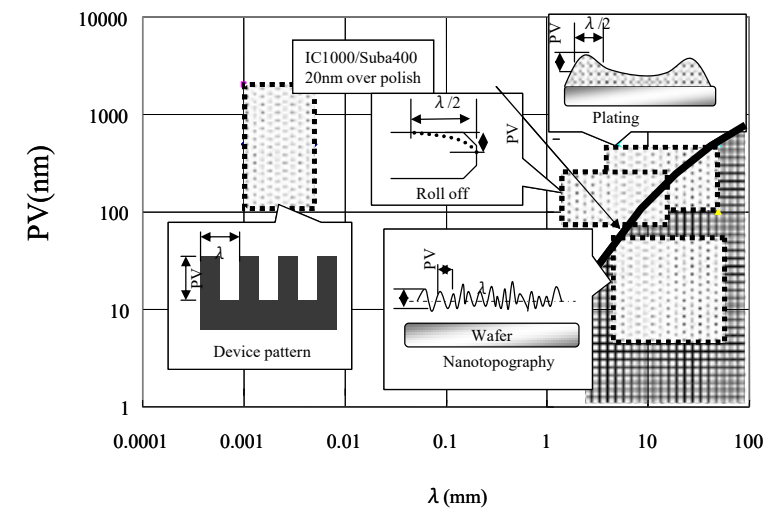
Which is more difficult to get the world end or to get the good wafer edge?



Deposition film is also rough In edge portion.

Wafer edge is rolled off.

PV- λ diagram



Stand-by ME

Stand-by ME

Stand-by ME 는 내가 가장 좋아하는 영화 중에 하나이다. 그러나 내가 의미하는 Stand-by ME 는 반도체 기술을 ME(Mechanical Engineering)으로 지지하는 것을 의미한다. 여기엔 나의 의도 또한 포함된다.

어떻게 ME 가 반도체 기술을 지지할 수 있을까? 이것이 질문이다.

ME 으로부터 지지되는 반도체 기술

200X 년에 기술은 한계에 도달한다!

ITRS 는 항상 반도체 기술의 방향을 제시하고 해결되어야 할 문제들을 제기한다. ITRS 는 끊임없이 반도체 산업의 기술적인 한계를 말하며 불안하게 한다. 이 같은 걱정은 오랜 기간 동안 염려되어 왔지만 실제로 발생하지는 않는 오일 고갈과 같은 것이다. 개발 엔지니어가 기술적인 한계를 기술 혁명으로 바꿀 수 있는 기회로 받아들이는 것이 더 좋다.

ME 는 모든 종류의 기술의 원천이다. ME 의 기술적인 세련됨은 다양한 방법으로 반도체와 같은 새로운 산업을 지지한다. 다음은 미세화, 웨이퍼 크기 변화, 새로운 재료에서의 ME 의 유용한 응용의 예이다.

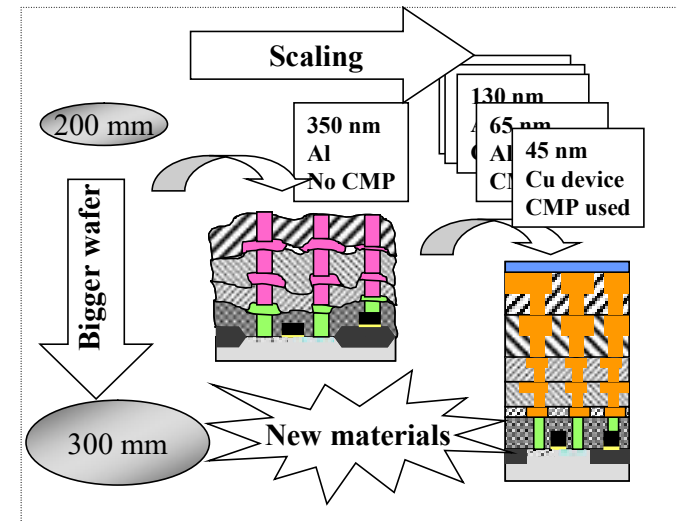
- 새로운 재료의 구조적인 강도 문제를 다루기 위한 재료역학과 금속조직학.
- 습식 공정의 사용을 증가시키기 위한 유체 역학 (연마/도금)
- 열적인 문제를 다루기 위한 열역학

반도체 기술들은 차용된 기술들의 조각보라고 말해진다. 숙련된 영역으로부터의 기술을 가장 유용하게 사용하도록 만드는 것은 중요하다. 다른 기계 공학 영역의 엔지니어들은 해결을 위해 더 고군 분투 할 것으로 기대된다; 어떻게 ME 가 반도체 기술을 지지할 수 있는지. 다음은 ME 가 잠재적으로 해결한 기술적인 이슈들이다.

- ① 새로운 재료를 이용한 습식 공정
- ② 매우 높은 aspect ratio 의 배선 도금
- ③ 다마신공정에 사용되는 매우 높은 평탄화(연마)
- ④ 강화된 오염 제어
- ⑤ 소비 전력 증가에 따른 열 손실 제거

이 것들을 받아드릴 수 있다. 물론 이 것들은 단지 나노와 마이크로 수준에서 해결될 수 있는 전체적인 이슈의 한 부분이다.

이것은 말 그대로 stand-by ME 이다!



Scaling

- > Smaller FM control
FEM flow analysis
Cavitation application
- > Low-k becomes weak
FEM stress analysis

New materials

- > Corrosion countermeasure
SCC analysis

Bigger wafer

- > Precise control
Stick slip analysis
Magnetic bearing application

Semiconductor (Baby)



Mechanical Engineering (Adult)

FEM(유한요소법)은 모든 것이다

FEM 는 유력 수단

FEM 은 ME 분야에서 모든 분석 영역에 사용된다. 다마신 구조의 분석을 예로 위에서 설명했듯이 FEM 은 나노 수준과 킬로미터 수준 사이의 넓은 범위의 사이즈에서 응력 분석에 사용된다.

디바이스를 완성(포장)하는 동안 하중을 가하는 CMP 와 bonding 에 대해 FEM 은 응력을 받는 영역과 각 영역에서 응력의 정도를 알아내는데 사용될 수 있다. 이것은 당신이 큰 응력을 받기 쉬운 부분의 강도를 강화시키는데 도움을 줄 것이다. 게다가 FEM 은 역시 유체 분석과 전계 분석에 효과적이다. 이것은 모든 현장에서 엔지니어들에게 사용된다.

장비의 Contamination 제어

극도의 청정함은 반도체 제조에서 필수적이다. 특히 Particle 제어는 필수적이다. Particle 제어는 FEM 이 유용한 기류 조절을 필요로 한다. 옆 페이지 밑에 있는 그림은 CMP 시스템에서 기류를 분석의 결과를 나타낸다. CMP 시스템에서 연마 하부시스템은 엄청난 양의 Particle 을 생성한다. 그러나 이것은 가장 청정해야 하는 세정 하부 시스템에 인접해 있다. 기압과 그것의 흐름은 연마 하부 시스템으로부터 생성된 Particle 들이 세정 하부시스템의 오염을 일으키는 것을 막기 위해 제어되어야만 한다.

dry in/ dry out 의 개념은 FEM 의 근원 덕분이다. 이 개념이 나오기 전에 먼지 발생기라고 불리는 연마 하부 시스템과 극도의 청정함이 필요로 되는 세정 하부 시스템이 통합될 수 있다는 것을 이해하는 사람은 아무도 없었다. 그러나 엔지니어들은 어느 세대에서나 모험심이 매우 강했다. FEM 을 사용하여 그들은 연마와 세정 하부 시스템이 통합될 수 있다고 결정했다.

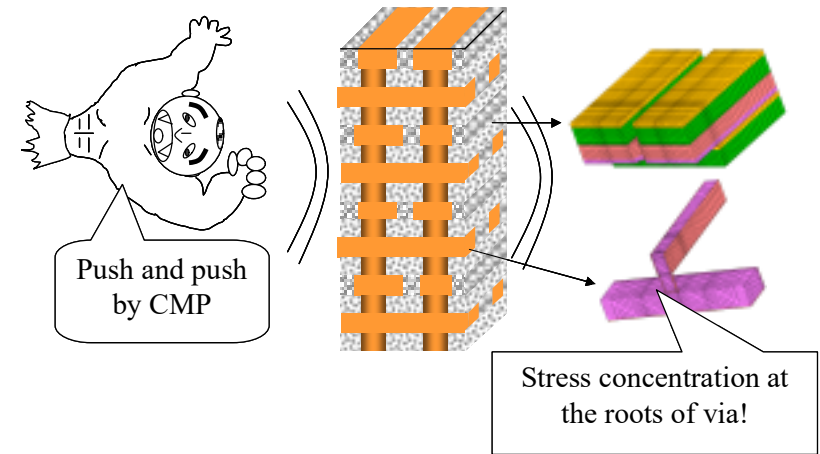
그 뒤에 매우 청정한 세정 하부 시스템과 매우 오염이 심한 연마 하부 시스템의 통합을 실현하고 목표를 달성하기 위해 그들은 열심히 노력했다. 현재에는 이 배치가 매우 흔하다.

FEM 는 진화하고

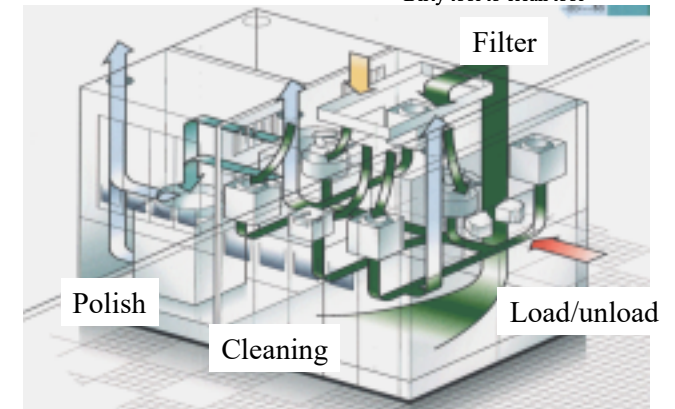
FEM 은 공기의 흐름과 응력 분석에 꽤 효과적이다. 다음 페이지에서 CMP/도금의 성능을 분석하기 위한 독특한 FEM 의 사용이 소개된다.

전형적인 3K 기술로 알려진 연마와 도금은 FEM 의 응용 과학으로써 간주되고 있다. 이것은 역시 엔지니어들의 업적이다.

Damascene stress analysis by FEM



Flow analysis by FEM



도금과 CMP 에 FEM 을 응용하자

연마 속도의 profile 분석

첫 번째로 반도체 디바이스의 평탄화를 위한 CMP 분석이 논의된다. 반도체 디바이스 연마에서 연마 공정의 특성은 연마 속도의 적절한 profile 제어하기 위해 완전히 이해되어야 한다. 분석적인 예측은 과학으로서의 CMP 를 더 발전시킨다. CMP 연마 속도가 Preston 방정식을 따른다고 가정하면 웨이퍼의 다양한 부분에서 연마 압력은 FEM 에 의해 분석되고 이는 전체적인 웨이퍼에 대한 연마 속도의 profile 제공한다. FEM 에 의해 얻어진 결과를 보면 실험 결과와 맞는다는 것을 알 수 있다; 현재 FEM 은 CMP 연마 속도를 분석하기 위한 필수적인 기술이다.

nanotopography 분석

다음은 웨이퍼 지형 분석에 대해 논의하겠다. 10 nm ~ 20 nm 의 파장에서 웨이퍼는 10 nm ~ 50 nm 높이 차이를 갖는다. 이러한 지형은 nanotopography 로 정의된다. 과거에는 nanotopography 가 STI CMP 수율을 감소시키는 것으로 생각되었다. STI 는 이 같은 높이 차이가 있었다. 겉보기에는 부드러운 nanotopography 은 CMP 평탄화 특성을 향상시키기 위해 딱딱한 패드를 사용할 때 연마되는 볼록한 부분을 포함한다. FEM 분석은 이 과도하게 된 연마 부분이 STI CMP 수율을 감소시킨다고 설명한다. 현재 STI CMP 수율을 감소시키는 문제는 과한 연마를 야기시키지 않는 범위 안에서 CMP 를 수행 함으로써 극복될 수 있다.

roll-off 분석

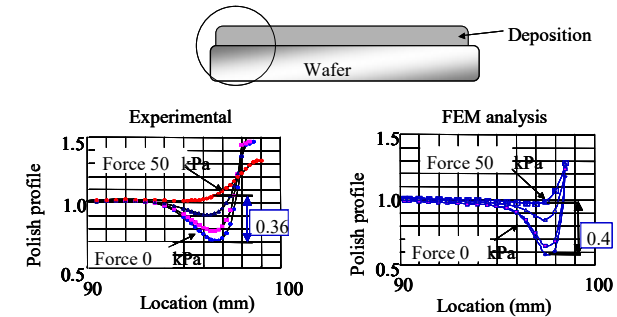
현재 웨이퍼 공정 상의 또 다른 문제에 대해 논의해보자. 웨이퍼 가장자리로부터 5 nm ~ 10 nm 영역은 균일하지 않고 웨이퍼 표면의 평균 수준 보다 더 낮은 표면 수준을 가진다. 이 영역은 roll-off 영역으로 정의 된다. 웨이퍼 연마 후에 roll-off 영역의 연마 profile 은 다른 영역과 다르며 이것은 웨이퍼 가장자리의 연마 제어를 어렵게 만든다. 그러므로 최종 연마 profile 은 최초의 웨이퍼 roll-off 의 허용 가능한 수준을 결정하는데 고려되어야 한다.

도금 성능 예측

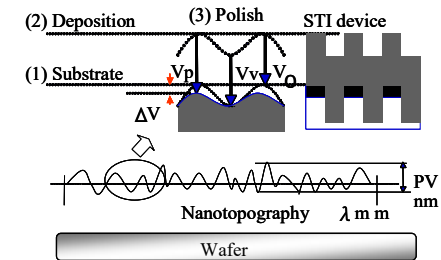
dummy 도금의 전계 분석은 도금 성능을 예측하기 위해 FEM 으로 행해진다.

위에서 설명했듯이 도금과 연마의 분야는 엔지니어로부터 결정된다.

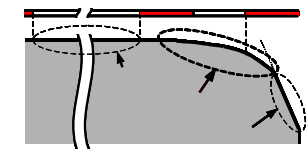
Polish profile prediction by FEM



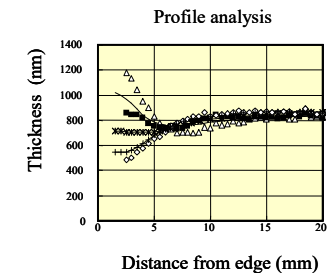
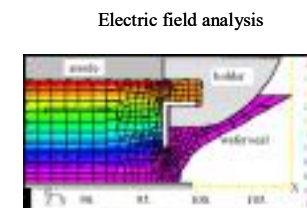
Nanotopography analysis



Roll off analysis



Plating performance analysis



진동으로부터의 재료, 유체, 자성까지 기술의 넓은 응용

Stick Slip Analysis (진동 역학)

공정(연마)을 위해 큰 하중을 사용하는 CMP 에서 웨이퍼는 웨이퍼 박막, 패드, 슬러리 종류에 따라 패드 위에서 교착되거나 헐거워 질수도 있다. 그리고 이것은 시스템의 진동을 발생시킨다. 옆 페이지 맨 위에 있는 그림은 진동 분석에 기초된 가능한 anti-vibration 측정을 보여준다. 진동 분석과 anti-vibration 측정은 ME 에 의해 이루어질 수 있다. 맨 위의 그래프는 CMP 의 회전 속도와 하중에 따라 생성되는 진동 발생 영역을 보여준다. 진동은 낮은 회전 속도와 높은 하중, 적은 양의 슬러리에서 발생하는 경향을 보인다. 진동을 막기 위해 서는 이러한 범위에서 작동을 피해야 하고 진동 방지 표시를 제공해야 한다(예) damper).

SCC Analysis (재료 역학)

다마신 구조에서 다른 물질들(예) Cu 와 Barrier 물질) 사이에서의 갈바니 부식은 잘 일어난다고 알려져 있다; 응력의 집중에 의한 부식의 가속화 또한 잘 알려져 있다. Cu 배선과 Barrier 사이에 가해진 응력의 다양한 pattern 과 다마신 구조에서의 응력을 FEM 으로 분석하므로써 특정한 구조가 갈바니 부식을 촉진시키는 것이 발견 되었다. 사진은 FEM 의 결과로 실제 부식을 나타낸다. 만약 절연막이 분리된 pattern 에 취약한 Low-k 물질이라면 박막은 내려앉게 되고 배선과 Barrier 의 높이 차이가 응력을 촉진시킨다. 응력이 Cu 배선과 Barrier 사이의 갈바니 부식을 촉진시킨다고 가정하면 방지 표시는 얻어진다.

Cavitation Jet (유체 역학)

cavitation 은 특별하게 고안된 노즐을 통해 높은 압력(약 20atm)의 물이 낮은 압력(1atm)의 물 중앙으로 흐르면서 정공을 발생시키는 cavitation 에 기반한 세정 방법이다. 정공에 의해 발생된 수직파와 보통의 물 분사보다 몇 십배나 넓은 영역에 분사되는 압력은 세정 성능을 더 향상 시켰다.

Magnetic Application (자기 응용)

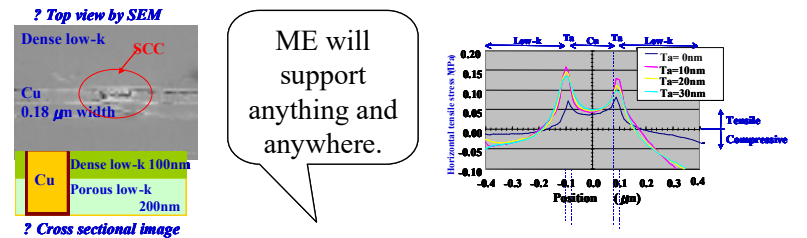
터보 분자 펌프와 자성 공중부양 시스템에 사용되는 자성 방식은 CMP head 와 table 에 적용된다. CMP head 에서 이것의 기울어짐은 연마하는 동안 연마 성능을 제어하기 위해 조절된다.

엔지니어들은 지속적인 노력을 하고 반도체 디바이스 제조의 미래를 위해 그들의 경험을 사용한다. 이것은 말 그대로 Stand-by ME 이다.

Vibration analysis



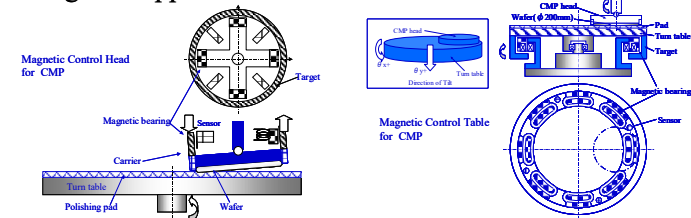
Material analysis



Fluid analysis



Even magnetic application



Paradigm Shift 45

No More Moore?

반도체 산업에서 분석가와 엔지니어, 과학자가 다음과 같은 대화를 하고 있다고 가정하자. 분석가가 날카롭게 “더 이상 Moore 는 아니야! (Moore 의 법칙은 더 이상 적용될 수 없다.) 이제껏 pattern 의 미세화로 이득을 본 패러다임은 거의 끝났어”라고 말한다.

엔지니어가 화를 내면서 “아냐! Moore 는 그 이상이야! (Moore 의 법칙은 여전히 적용될 수 있다.) 기술적인 혁신에 의한 pattern 의 미세화는 계속 될거야.”라며 반박한다.

그러자 과학자가 빠르게 “Moore 보다 훨씬 그 이상이야. (Moore 의 법칙을 압도할 해결책이 존재한다.) 우리는 최근 만들어진 연구 장비를 가지고 수행하기 시작해야해.”라고 대답한다.

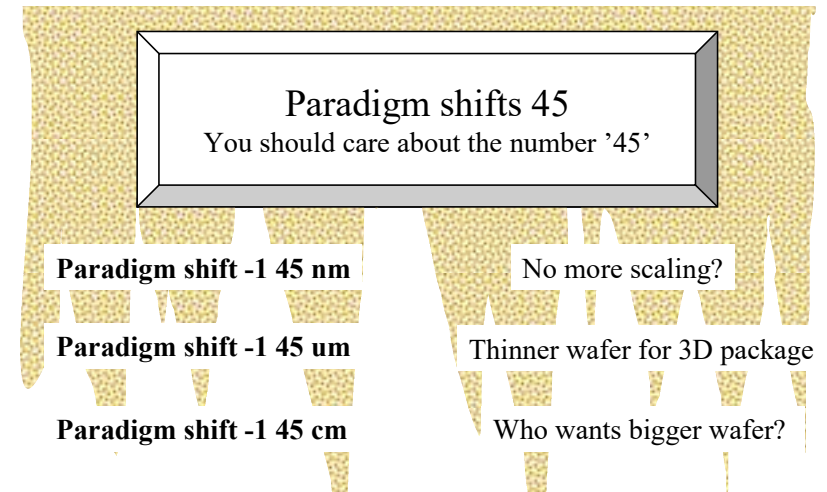
사실 위처럼 열띤 토론은 지금도 진행되고 있다. 반도체 기술이 고안 된지 약 60 년이 지났다. 반도체 디바이스 산업은 미세화와 Wafer 크기 변화를 통해 번영을 누렸다. 그러나 이 같은 Paradigm 은 미래에 옮겨질 것으로 보인다. 당신이 이것이 억지라고 느꼈다면 유감이지만 현재 추세는 밑에 묘사되는 것처럼 45 가 돌파구의 상징적인 숫자가 될 것처럼 보인다. 나는 이 가정을 45 로의 Paradigm Shift 이라고 부른다.

Paradigm Shift 45 란

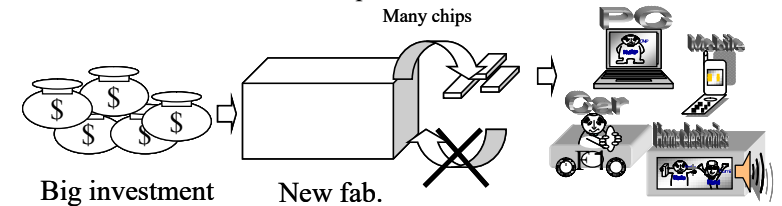
- 1) 45 nm: 미세화의 종료, 그 때는 무엇이?
- 2) 45 μ m: 3D 적용, 그 때는 무엇이?
- 3) 45 cm: 대구경화, 그 때는 무엇이?

이 가정은 반도체 산업이 이와 같은 Paradigm 이동이 살아남을 수 있을지에 대해 의심하는 투자자들에 의해 문제시된다. 엔지니어와 과학자는 이 질문에 대답해야 할 의무가 있다. 과감한 Paradigm 이동은 항상 기술 혁명의 발생과 동반된다. 미래에 고안된 기술의 개략적인 설명은 상징적인 숫자 45 의 관점에서 밑에 서술된다.

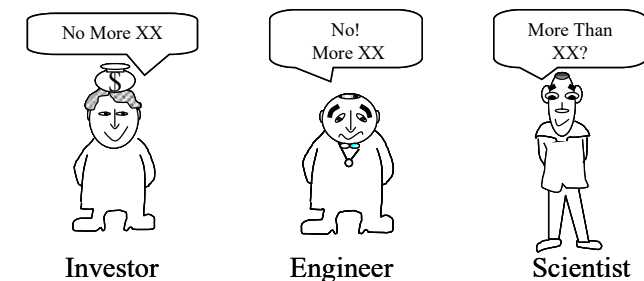
45 로의 Paradigm 이동과 같은 큰 규모의 Paradigm 이동에 직면했을 때 엔지니어는 개발을 다시 고려하고 기초로 다시 돌아가야 한다. 그러므로 최근에 사업이 대학과 에 대한 기대가 커지고 있다. ‘미래를 위한 선생님이 되자’의 개념은 사실로 오고 있다. 노력은 반도체 산업이 Paradigm 이동 후에 괜한 시간만 허비한 분야가 되지 않을 것이라고 보장되어야 한다.



P-45 discussion started from questions from investor



Engineers and scientists would reply to your questions.
(This is called ‘No More Story’)



45 nm 미세화의 종료, 그 때는 무엇이?

반도체 기술은 미세화가 45 nm 세대까지 성공하게 되었을 때 기술과 물리적 한계에 직면하게 될 것이라고 예측되었다. 왜?

공학한계(세정)

세정 기술은 다음과 같은 도전들에 직면한다: 빛은 45 nm이거나 그 이하의 Particle 을 검출할 수 없다; Particle 수는 기하급수적으로 증가한다; 그리고 Particle 은 van der Waals 힘 때문에 제거되기 어렵다. 이것은 기술적인 관점에서 굉장히 어려운 단계이다. 빛 대신에 EB 검사가 주목을 받기 시작했다. 세정되어야 할 Particle 의 시각화가 그들을 제거하기 위한 우리들의 바람을 가속화 시킨다. 혁신의 격동은 세정과 건조 기술에 도달하고 있다.

공학한계(공정)

공정 기술은 45 nm 세대에서 정확한 공정을 하기란 어렵다. 예를 들어 이 세대에서 CMP 에 의해 요구되는 평탄화가 8 nm이거나 그 이하이다. 그러나 CMP 에 의해 생긴 굽힘의 크기는 종종 8 nm보다 더 크다. 이 굽힘은 평탄화와 구별될 수 있을까? Defect 제어 기술은 한계에 도달하고 있다; CMP 를 포함하여 포괄적인 평탄화 기술이 요구된다.

물리한계

45 nm 세대 혹은 그 이상에서 놀라운 사실은 Cu 배선의 저항이 알루미늄의 저항보다 크다는 것이다. 이것은 Cu 의 전자 scattering 효과가 배선 저항을 제공하는 것을 의미한다. 이것은 그 부분이 물리적 상수가 변한다는 것을 말한다.

그 부분에서 기술적인 혁신이 진정으로 요구된다. CNT 의 적용이 그 같은 혁신의 예이다.

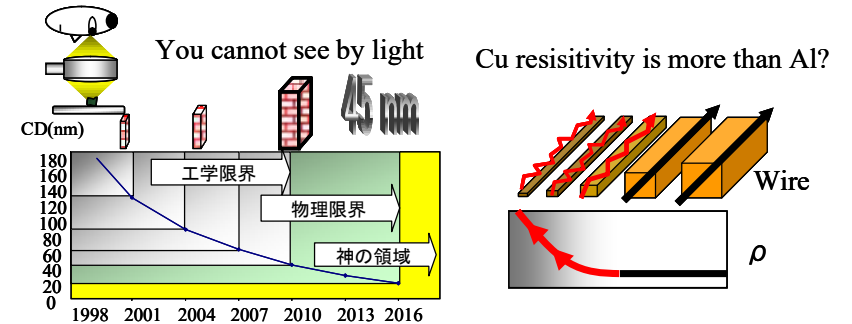
Moore 의 법칙은 끝나지 않는다 (엔지니어로부터의 대답)

엔지니어는 “미세화는 더욱더 진행될 것이다. 이것의 성능은 보장될 수 없지만 기술적인 혁명은 항상 기술적 한계를 돌파한다. 자신감을 가지고 우리의 일을 계속하자”라고 대답한다.

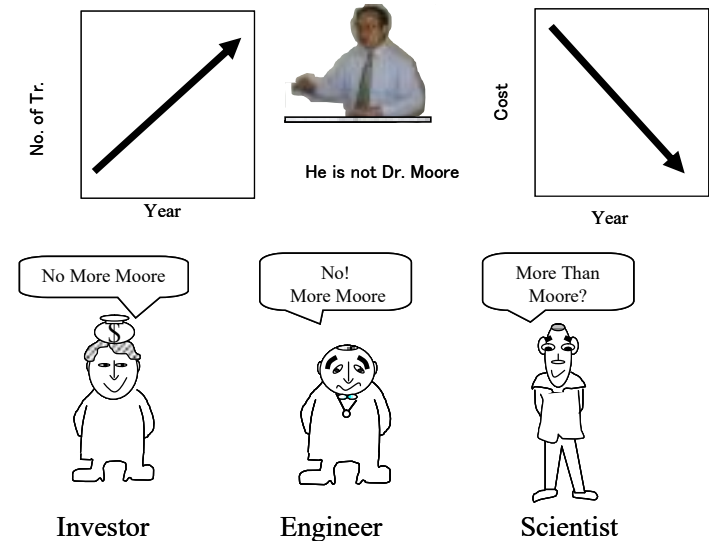
Moore 를 넘어서(과학자로부터의 대답)

과학자는 “우리는 이미 최근 만들어진 연구 장비에 대해 탐구하기 시작했다. 그들은 진정한 패러다임 이동의 계기가 될 것이다. 우리는 끝으로 향한 것이 아니라 여전히 새로운 Paradigm 의 문을 연다.”라고 대답한다.

Paradigm shift 45 nm



P-45 nm No More Moore



45 μm 3D 적용 : 그 때는 무엇이?

3D 적용이 왔다

3D 적용은 주목받고 있다. 과거에 SoC 가 주목을 받았었고 그 이후에 SiP(System in Package)가 제안 되었다. 산업은 현재 CoC(Chip on Chip), PoP(Package on Package)와 같은 다양한 조건과 기술들로 넘쳐 흐르고 있다. 이 완성 기술들 사이에서 가장 중요한 것은 웨이퍼의 얇음이다.

웨이퍼의 얇음은 웨이퍼 크기에 따라 상당히 다른 웨이퍼 공정 기술들을 요구한다. 약 100 μm 혹은 그 이상의 웨이퍼의 얇음과 비교했을 때 45 μm 혹은 그 이하의 웨이퍼를 다루는 것은 매우 어렵다. 비록 이미 5 μm 의 웨이퍼의 얇음이 성공했다고 보고 되었을지라도 대량 생산을 하기 위해서는 해결해야 할 많은 문제들이 있다. 두꺼운 웨이퍼들은 공정 관점에서 3D 완성을 다루기 힘들게 만든다. 반면에 얇은 웨이퍼들은 다루는 것 자체가 힘들다.

지금이야말로 3D (엔지니어로부터의 대답)

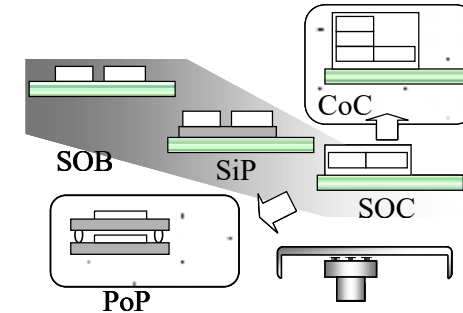
엔지니어는 “미세화는 단지 2D 이다. 3D 완성으로의 전이는 미세화 관점에서 주저하며 머무는 것보다 더 낫다. 이것은 이미 CCD 디바이스에서 입증 되었다. 메모리 디바이스의 3D 완성 또한 시작했다. 이 같은 메모리 logic 디바이스의 완성을 위해서는 여전히 많은 기술적인 개선이 요구된다. 그러나 지금은 3D 완성으로 나아갈 시간이야!”라고 대답한다.

여러가지 3D (과학자로부터의 대답)

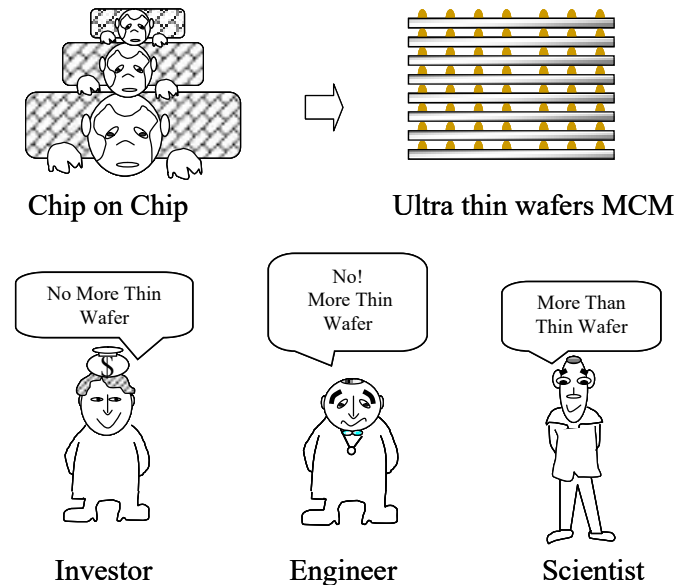
과학자는 “정말로 3D 는 한 접근이다. 그러면 4D 완성의 가능성은 어떤가? 이것은 미래에 개발 방향을 제시할 지도 모른다. 그럼에도 불구하고 3D 완성은 transistor 와 메모리 디바이스에 적용될 수 있다. 반도체 디바이스에 3D 완성의 적용은 과학자의 오랜 역사에서 단지 신생아 단계이다.”라고 말한다.

Paradigm shift 45 μm

How to make it thin in 3D PKG?



3D PKG is on going. Now is the time to start ED



45 cm 대구경화, 그때는 무엇이...그리고 Paradise

대구경은 경제 문제?

웨이퍼 크기 변천은 광선의 불균일함을 포함하는 공정에서 불균일함을 촉진시킨다. 이것은 미세화를 따라 진행된다. 그러므로 일반적으로 미세화 요구 조건이 엄격하게 되면 광선의 균일함 요구 조건은 변천을 따라 엄격해진다. 그것은 시스템 개발에서 두 배로 영향을 미친다. 45 cm 웨이퍼의 개발과 관련된 시스템은 많은 돈을 요구한다. 원가 증가는 우리가 새로운 세대로 들어가는 것을 방해한다. 45 cm 웨이퍼의 도입은 경제적인 한계에 직면하고 있다. 이 상황은 30 cm 웨이퍼가 도입되었을 때 일어났던 논쟁을 되살아나게 한다. 30 cm 웨이퍼는 처음에 미국에서 장비 제조업자에 의해 받아들여졌다. 이 시기를 주도한 사람이 누구인가?

2가지의 역 Scaling?

배선의 미세화는 디바이스의 미세화에 따라 진행되었지만 global 배선은 미세화될 수 없다; 이 문제는 reverse 미세화라고 불린다. 웨이퍼 크기 변천은 더 높은 세대의 디바이스(더 단순한 설계)와 함께 시작했다; 그러나 최신 디바이스에서 웨이퍼 크기의 감소는 가능한 대안이 될지도 모른다. 이것은 웨이퍼의 역미세화라고 불린다. (이것이 놀라운 타협안일지라도)

45 cm 는 이미 되어 있다 (엔지니어로부터의 대답)

엔지니어는 “평탄한 panel display 를 보아라. 2m 혹은 그 이상의 기판이 이미 제조되고 있다. 이 경우 배선 미세화를 포함하는 반도체 디바이스에서 직접적인 사실이 아니라 45 cm 웨이퍼는 가능하다. 그러나 경제적인 문제가 있을지도 모른다.”라고 대답한다.

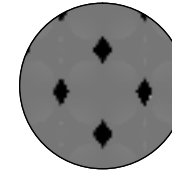
... (과학자로부터의 대답)

과학자는 대답하지 않는다. 대신 “미세화와 웨이퍼 크기 변천은 엔지니어와 투자자들에 의해 논의되어야 한다. 우리는 최근 생긴 연구 장비로서의 더 진보된 장비를 찾는다. 차라리 나은 기판은 그 같은 장비의 제조를 허락하는 것이다. 이 개념은 4D 생각을 반영한다.”라고 대답한다.

45 로의 패러다임이동은 더 논의될 것이다. 하지만 언젠가는 결론에 도달할 것이다. 엔지니어와 과학자는 결론에 도달했을 때 반도체 분야에서 모든 사람들이 행복하게 만들어 줄 창조적인 혁명 기술을 얻으려고 애쓰고 있다. 투자자는 또한 그들을 단순히 비판하는 것이 아니라 그들의 성공을 기대하고 있다. 반도체 기술은 영원히 앞으로 가고 있다. 나는 믿는다.

Paradigm shift 45 cm

More process variation?



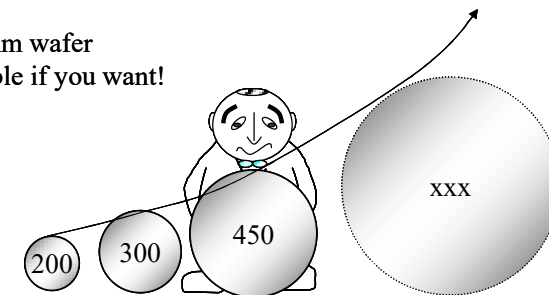
450 mm



300 mm

Wafer process originally has a non-uniformity in radius direction.
The bigger radius has bigger non-uniformity.
How do you overcome this contradiction?

450 mm wafer
Possible if you want!



No More Bigger
Wafer



Investor

No!
More Bigger
Wafer



Engineer

More Than
Bigger Wafer?



Scientist

◆ ‘Paradigm Shift’로부터 ‘Paradise Shift’

반도체여, 연령(60 살) 축하드립니다. 반도체는 산업은 새로운 물질의 사용뿐만 아니라 반복되는 미세화와 웨이퍼 크기 변화를 통해서 성공을 즐겼다. 기술적인 혁신을 증진시키기 위해 ITRS 는 끊임없이 기술적인 장벽과 연관 지어 문제를 제기했다. 위에서 설명했던 것처럼 45 으로의 패러다임 이동은 오늘날 현실이 되고 있고 미세화, 웨이퍼 크기 변천 그리고 완성에서의 모든 기술적인 장벽의 연합은 동시에 나타나고 있다! 투자자는 반도체 산업에 대한 기대하는 것과 동시에 끊임없이 비판적인 의견을 내고 있다. 엔지니어는 기술적인 혁신을 창조하는데 기대를 가지고 또 그것을 자랑스러워해야 한다. 과학자는 45 로의 패러다임 이동을 반도체 기술의 더 나은 진화를 가능하게 하는 좋은 기회로 본다. 모든 어려움을 해결한 후에 천국으로 가는 문이 열리게 된다. 위에 문단을 세세하게 읽어라.

석유의 고갈은 오랫동안 예측되었지만 아직 그것이 현실이 되지는 않았다. 반도체 디바이스의 미세화 역시 끝이라고 예측되었지만 여전히 계속되고 있다. 엔지니어와 과학자의 끊임없는 노력 덕분에 반도체 기술은 이들에 의해 지탱되는 것만큼 오랫동안 영원이 앞으로 가고 있다.

도금과 CMP 역시 빠른 속도로 진화하고 있다. 심지어 이들의 전통적인 기술은 최첨단 반도체 산업에 적용될 수 있다. 습식 공정 기술은 주목을 받고 있고 감탄 받고 있다. 미래에 놀라운 혁신적인 기술이 출현할 것이고 돌파구를 가져올 것이라고 전망하고 있다. 습식 공정 기술 또한 끊임없이 앞으로 가고 있다.

나는 습식 공정 기술 분야에 종사하고 있고 나 역시 끊임없이 앞으로 가고 있다. 마지막으로 나는 정말로 이 책이 가치 있는 본보기를 제공할 것이고 많은 사람들에게 의해 사용될 것을 진심으로 희망한다. 이 책에 대한 당신의 논평은 매우 감사할 것이다. 나는 당신과 함께 재미를 공유할 또 다른 기회를 가질 것을 기대한다.

